

UNIVERSITI SAINS MALAYSIA

**Peperiksaan Semester Tambahan
Sidang Akademik 1992/93**

Jun 1993

IQK 207/3 - SISTEM DIGIT

Masa : [3 Jam]

Sila pastikan bahawa kertas peperiksaan ini mengandungi SEPULUH (10) muka surat (termasuk lampiran) yang bercetak sebelum anda memulakan peperiksaan ini.

Jawab LIMA (5) soalan. Semua soalan mesti dijawab di dalam Bahasa Malaysia.

1. (a) Lukiskan rajah litar bagi fungsi di bawah dengan mengguna,

(i) get-get NAND

(ii) get-get NOR

$$F = \bar{x} \bar{y} \bar{z} + x y \bar{z}$$

(60 markah)

- (b) Suatu kod BCD dihantar kepada suatu penerima jauh. Penerima ini perlu mengandungi suatu litar untuk memastikan bahawa kod yang diterima adalah kod BCD (i.e. ≤ 1001). Rekabentuk litar tersebut untuk mengeluarkan HIGH apabila ia menerima kod BCD yang tidak sah.

(40 markah)

2. (a) Rekabentuk satu litar monostabil menggunakan get-get NOR. Terangkan pengendaliannya.

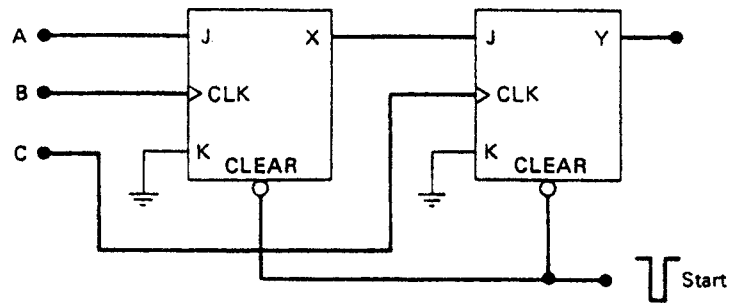
(50 markah)

- (b) Di dalam litar di Rajah (1), input A, B dan C pada mulanya adalah LOW. Output Y sepatutnya HIGH hanya apabila A, B dan C adalah HIGH mengikut turutan tertentu.

(i) Tentukan turutan yang akan menjadikan Y HIGH.

(ii) Terangkan kenapakah denyut MULA (START pulse) diperlukan.

(50 markah)



Rajah (1)

3. (a) Sebuah komputer mengandungi nombor binary yang berikut di dalam ingatannya

nombor perduaan——10100100

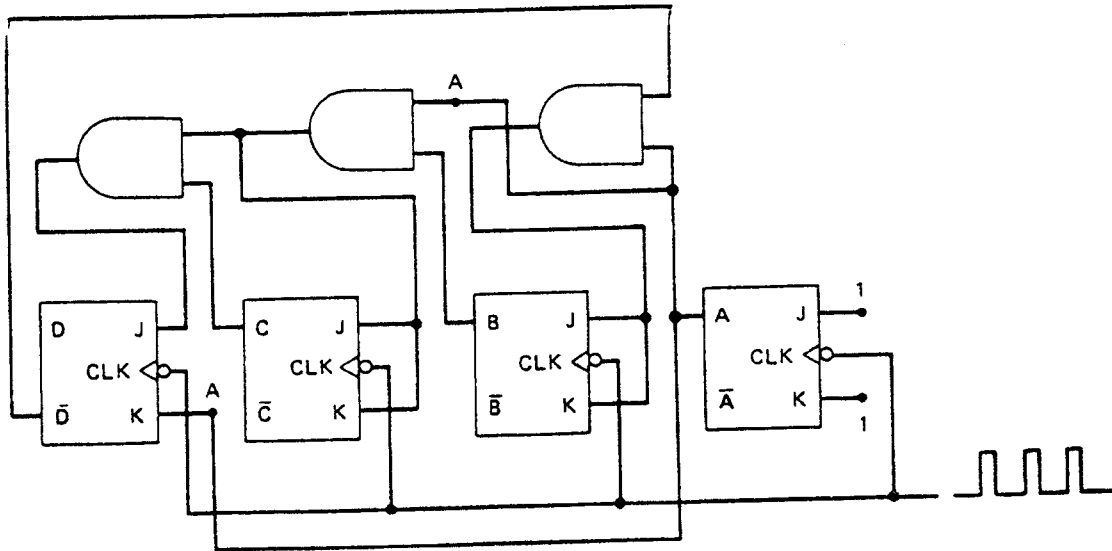
Apakah nilainya jika nombor itu adalah

- (i) suatu nombor decimal tanpa tanda (unsigned decimal number)
- (ii) suatu nombor decimal yang menggunakan "2'S complement"
- (iii) suatu BCD
- (iv) suatu nombor decimal bertanda yang menggunakan sistem "true-magnitude"

(40 markah)

- (b) Apakah jujukan membilang bagi pembilang di rajah (2). Anggap bahawa pembilang diset semula pada awal.

(60 markah)



Rajah (2)

4. (a) Apakah perbezaan di antara pembilang segerak dan pembilang tak segerak. Bincangkan kebaikan atau keburukan setiap satu dengan menggunakan contoh.

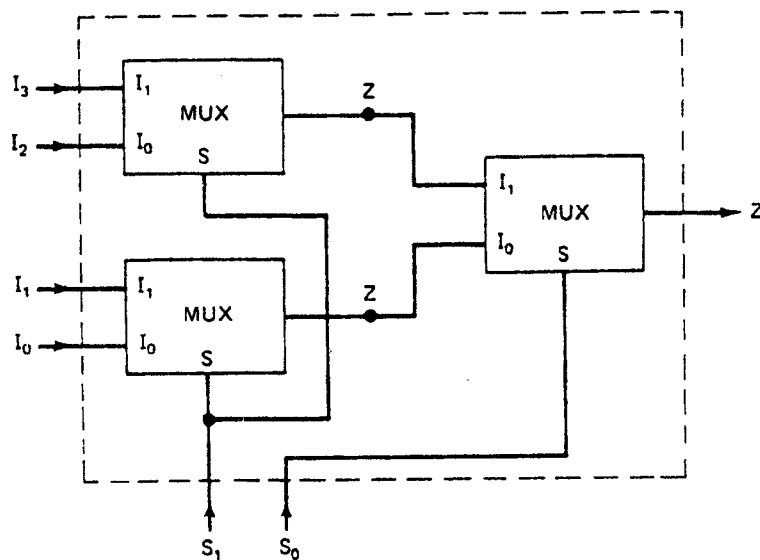
(30 markah)

- (b) Rekabentuk suatu litar untuk membahagikan frekuensi input oleh 20 (MOD-20) dengan menggunakan satu atau lebih 74293 dan jelaskan operasinya dengan ringkas.

NOTA: Sila gunakan kertas data (data sheet) di Lampiran 1.

(70 markah)

5. (a) Rajah (3) menunjukkan penggunaan penyahkod sebagai penjana isyarat kawalan. Anggap bahawa denyut set semula (RESET) diberi pada masa t_0 . Lukiskan isyarat kawalan bagi 32 denyut jam. Sila tulis jadual kebenaran sebelum melukis rajah pemasangan. **NOTA:** Sila gunakan data sheet di Lampiran 1 dan 2.



Rajah (3)

(70 markah)

- (b) Apakah perbezaan di antara pengekod keutamaan dan pengekod biasa?

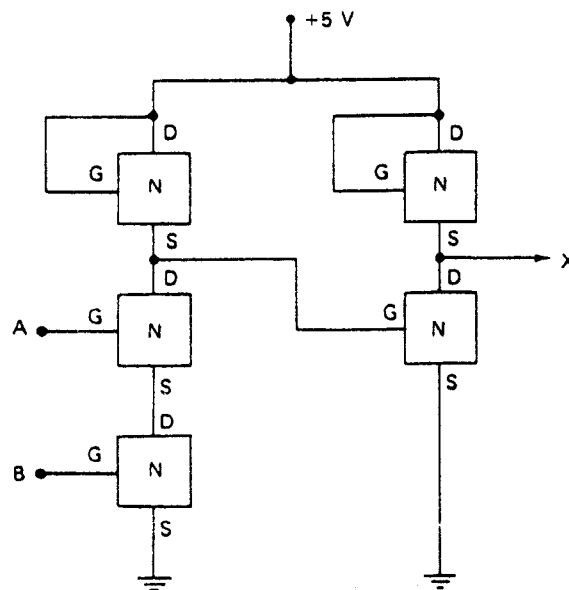
(30 markah)

6. (a) Litar pada Rajah (5) adalah get logik N-MOS. Tentukan jenis get tersebut.

(30 markah)

(b) Terangkan pengendalian get TTL tiga keadaan seperti yang ditunjukkan di Rajah 6.

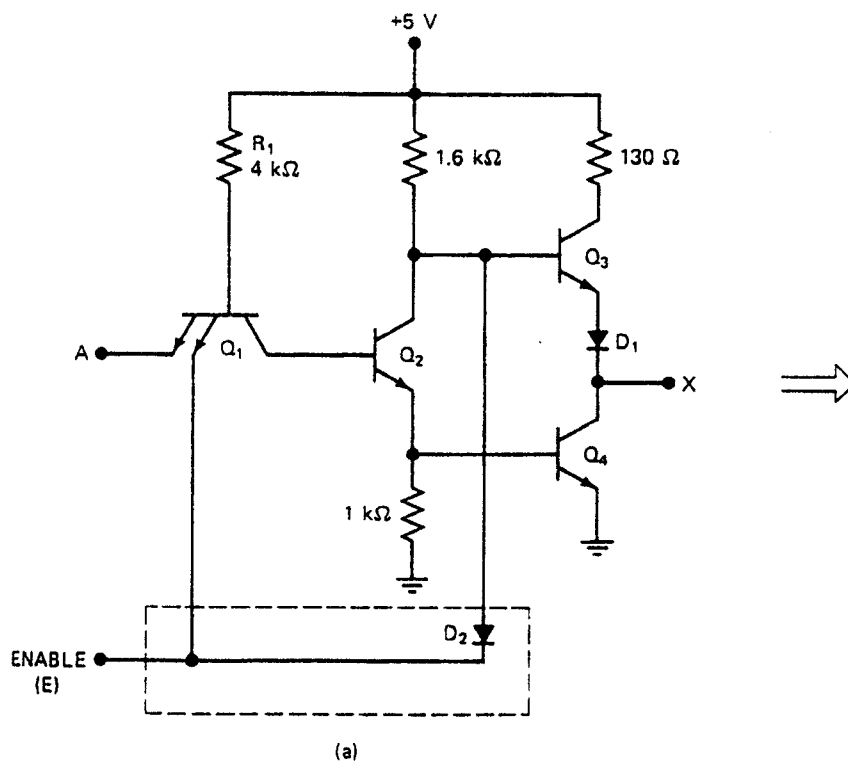
(40 markah)



Rajah (5)

6. (c) Rujuk kepada lampiran data bagi 74LS112 FF JK.
Berapa banyakkah 74LS112 yang lain yang boleh
dipacukan oleh output satu 74LS112 pada input JAM
(clock).

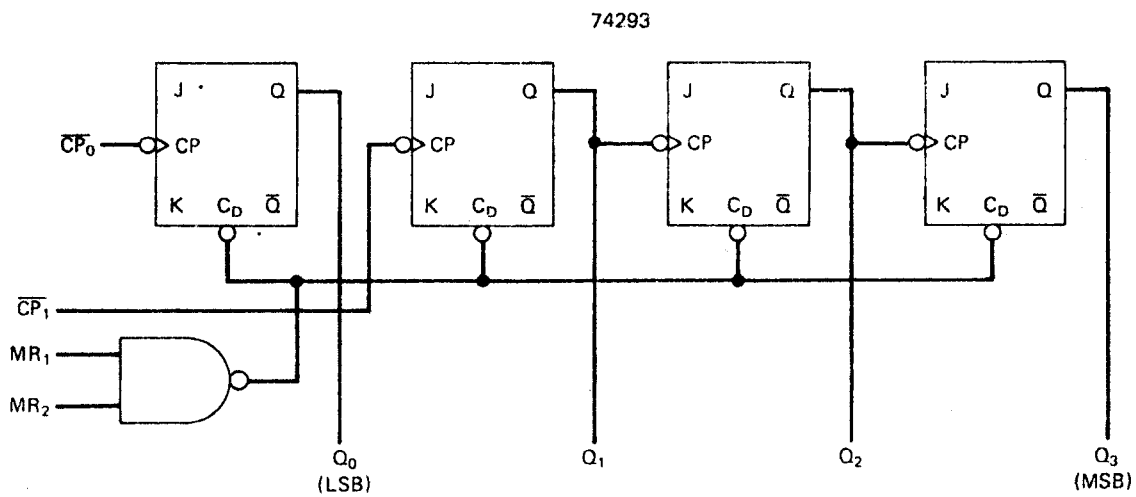
(30 markah)



Rajah (6)

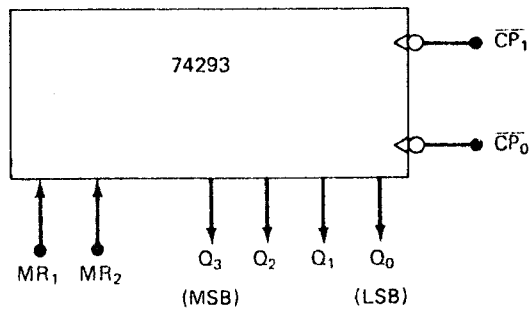
oooooooooooo0000000000oooooooooooo

7493, 74293



*All J, K inputs are internally connected HIGH.

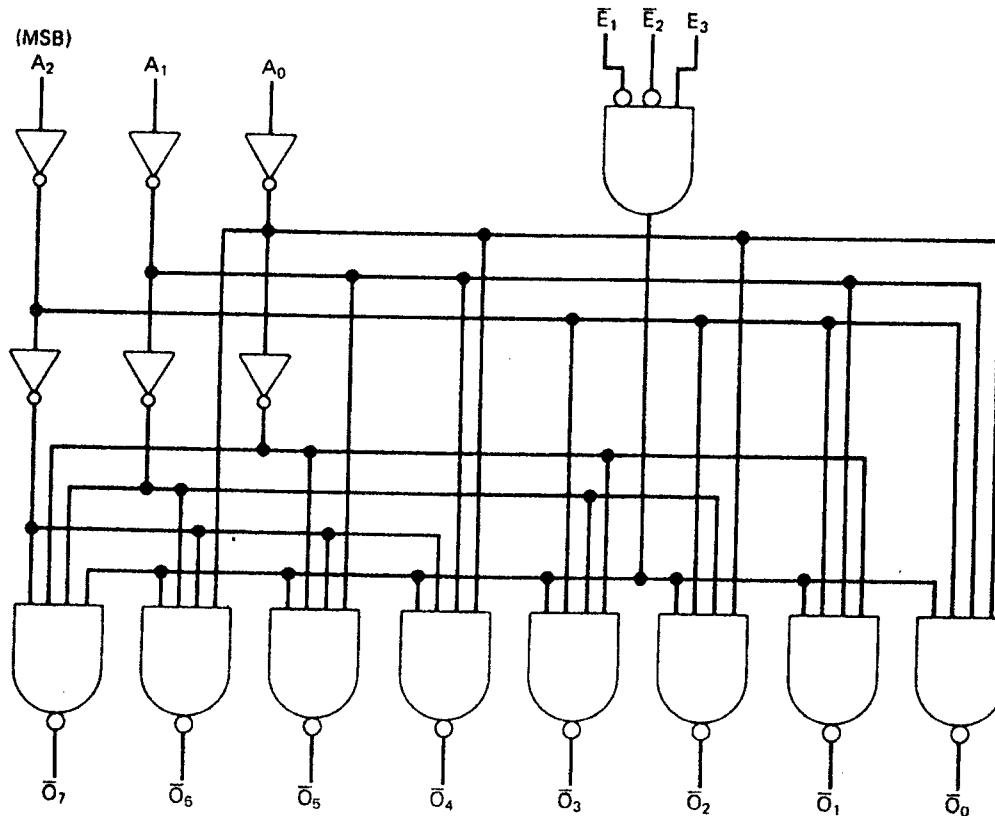
(a)



(b)

- (a) literal logic
- (b) simbol

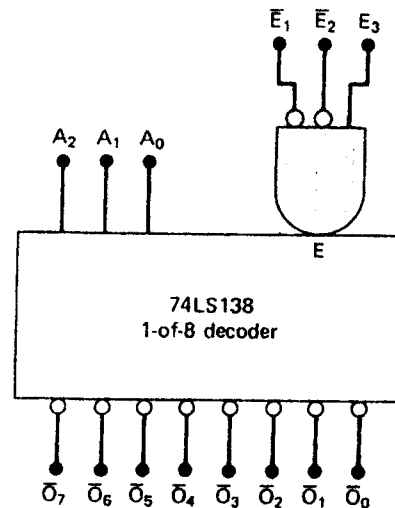
74138



(a)

E_1	E_2	E_3	Outputs
0	0	1	Respond to input code $A_2A_1A_0$
1	X	X	Disabled - all HIGH
X	1	X	Disabled - all HIGH
X	X	0	Disabled - all HIGH

(b)



(c)

- (a) litar logik
- (b) Jadual kebenaran
- (c) simbol

74121

54/74121 MONOSTABLE MULTIVIBRATOR

DESCRIPTION — The '121 features positive and negative dc level triggering inputs and complementary outputs. Input pin 5 directly activates a Schmitt circuit which provides temperature compensated level detection, increases immunity to positive-going noise and assures jitter-free response to slowly rising triggers.

When triggering occurs, internal feedback latches the circuit, prevents re-triggering while the output pulse is in progress and increases immunity to negative-going noise. Noise immunity is typically 1.2 V at the inputs and 1.5 V on Vcc.

Output pulse width stability is primarily a function of the external R_x and C_x chosen for the application. A 2 kΩ internal resistor is provided for optional use where output pulse width stability requirements are less stringent. Maximum duty cycle capability ranges from 67% with a 2 kΩ resistor to 90% with a 40 kΩ resistor. Duty cycles beyond this range tend to reduce the output pulse width. Otherwise, output pulse width follows the relationship:

$$t_w = 0.69 R_x C_x$$

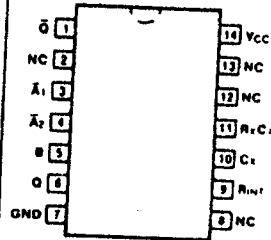
ORDERING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		V _{CC} = +5.0 V ±5%, T _A = 0°C to +70°C	V _{CC} = +5.0 V ±10%, T _A = -55°C to +125°C	
Plastic DIP (P)	A	74121PC		9A
Ceramic DIP (D)	A	74121DC	54121DM	6A
Flatpak (F)	A	74121FC	54121FM	3I

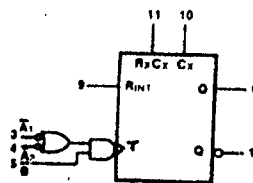
INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

PIN NAMES	DESCRIPTION	54/74 (U.L.) HIGH/LOW
\bar{A}_1, \bar{A}_2	Trigger Inputs (Active Falling Edge)	1.0/1.0
B	Schmitt Trigger Input (Active Rising Edge)	2.0/2.0
Q, \bar{Q}	Outputs	20/10

CONNECTION DIAGRAM PINOUT A



LOGIC SYMBOL



V_{CC} = Pin 14
GND = Pin 7
NC = Pins 2,8,12,13