

UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Pertama
Sidang Akademik 1994/95

Oktober/November 1994

CSS201/CSY201 - Rekabentuk Logik Berdigit

Masa [3 jam]

ARAHAN KEPADA CALON:

- Sila pastikan bahawa kertas peperiksaan ini mengandungi **SEMBILAN (9)** muka surat yang bercetak sebelum memulakan peperiksaan ini.
 - Jawab **SEMUA** soalan
-

1. (a) Beri satu rekabentuk untuk satu litar gabungan yang menghasilkan pelengkap-9 untuk satu digit BCD.

(20/100)

- (b) Satu litar gabungan di jelaskan oleh tiga fungsi boolean di bawah:

$$F1(A,B,C) = \Sigma (2,4,7)$$

$$F2(A,B,C) = \Sigma (0,3)$$

$$F3(A,B,C) = \Sigma(0,2,4,7)$$

Implementasikan litar tersebut menggunakan 3x8 Penyahkod dengan get-get TAK-DAN dan get-get luaran TAK-DAN atau DAN. Minimumkan bilangan input kepada get luaran.

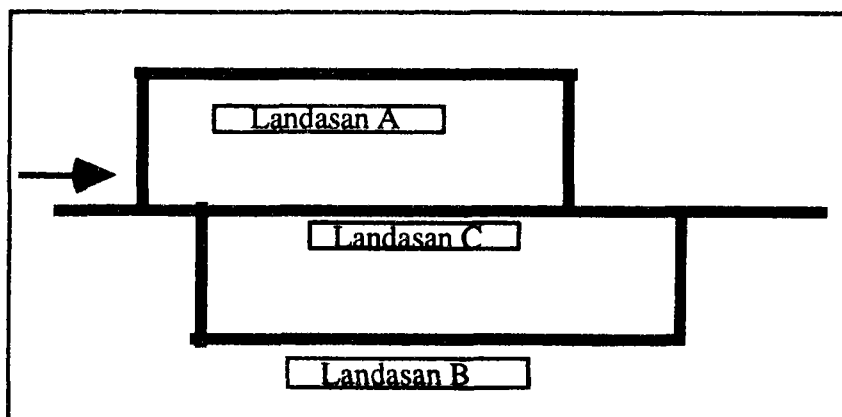
(40/100)

- (c) Manipulasikan ungkapan boolean berikut supaya iannya boleh diimplementasikan menggunakan get ATAU-EKSLUSIF dan get DAN sahaja.

$$F(A,B,C,D) = AB'CD' + A'BCD' + AB'C'D + A'BC'D.$$

(10/100)

- (d) Satu stesen keretapi mempunyai tiga landasan seperti yang ditunjukkan oleh gambarajah dibawah:



Sesebuah keretapi yang datang dari arah anakpanah akan diarahkan ke landasan A,B, atau C. Biasanya ia akan diarahkan ke A jika landasan itu kosong. Hanya jika A dan B digunakan maka ia akan diarahkan ke C. Setiap suis di landasan akan menyala jika ada keretapi di atasnya. Lampu hijau menandakan ia boleh di lalui dan merah sebaliknya . Rekakan satu litar gabungan untuk mengawal lalu lintas keretapi.

(30/100)

2. (a) Permudahkan ungkapan berikut dalam bentuk Hasil Tambah Hasil Darab dan Hasil Darab Hasil Tambah.

(i) $x'z' + y'z' + yz' + xy.$

(ii) $AC' + B'D + A'C'D + ABCD$

(iii) $(A'+B' +D')(A+B'+C') (A'+B +D')(B+C'+D')$

(iv) $F(A,B,C,D) = \Pi(0,1,2,3,4,10,11)$

(20/100)

(b) Permudahkan fungsi-fungsi berikut menggunakan peta-K.

(i) $F(A,B,C,D) = \Sigma(3,7,11,13,14,15)$

(ii) $F(A,B,C,D) = AB'C + B'C'D' + BCD + ACD' + A'B'C + A'BC'D.$

(iii) $F(A,B,C,D) = \Sigma(1,3,5,7,13,15)$

$d(A,B,C,D) = \Sigma(4,6,12,13)$

(iv) $F(A,B,C,D) = \Sigma(3,4,13,15)$

$d(A,B,C,D) = \Sigma(1,2,5,6,8,10,12,14)$

(20/100)

(c) Di berikan fungsi boolean berikut :

$$F = xy'z + x'y'z + w'xy + wx'y + wxy.$$

(i) Lukiskan gambarajah logik berdasarkan fungsi boolean asal.

(ii) Permudahkan fungsi boolean tersebut.

(iii) Tunjukkan bagaimana ungkapan yang di mudahkan sama seperti ungkapan asal.

(20/100)

(d) Tunjukkan dual bagi ATAU-EKSLUSIF sama seperti pelengkapannya.

(20/100)

(e) Satu litar logik mengimplementasikan fungsi boolean berikut:

$$F = A'C + AC'D$$

Didapati kombinasi input $A=C=1$ tidak akan berlaku . Cari ungkapan yang lebih mudah untuk F menggunakan KEADAAN TAK PEDULI yang sesuai.

(20/100)

3. Bina suatu carta ASM untuk suatu sistem berdigit yang mengira bilangan peserta di dalam sebuah bilik. Peserta memasuki bilik daripada satu pintu yang mempunyai selfoto ("photocell") yang menukarkan isyarat x daripada 1 kepada 0 apabila terdapat gangguan cahaya. Mereka meninggalkan bilik tersebut melalui pintu kedua, yang mempunyai fotosel dengan isyarat y . Kedua-dua x dan y disegerakkan dengan jam, tetapi ia boleh dibiarkan hidup atau mati lebih daripada satu denyutan-jam ("Both x and y are synchronized with the clock, but they may stay on or off for more than one clock-pulse period"). Setiap kali peserta memasuki bilik, talian output COUNT-UP akan menghantar satu denyutan masa (0-1-0). Setiap kali peserta meninggalkan bilik, talian output COUNT-DOWN akan menghantar satu denyutan masa (0-1-0).

(100/100)

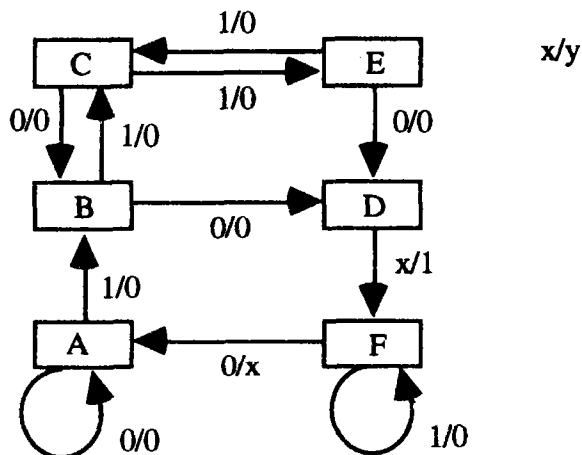
4. (a) Anda dikehendaki membina satu litar pembilang yang akan membilang berulang-ulang dari 0 hingga 12, balik ke 0 hingga 12 dan seterusnya. Gunakan cip pengira 74193. Selesaikan sehingga peringkat gambarajah logik sahaja. (Semua input dan output bagi cip pengira 74193 mesti di tunjukkan.

(50/100)

- (b) Lukiskan gambarajah timing untuk litar di atas (a). Bermula bila pengira mengira nombor 10. Tunjukkan gambarajah timing untuk 20 denyutan yang berikutnya. Hanya input dan output yang digunakan sahaja perlu ditunjukkan.

(50/100)

5. Anda diminta untuk merekabentuk sebuah robot. Robot ini bergerak menggunakan laluan seperti di bawah, bergantung kepada input x . Ia juga mempunyai output LED (y), yang akan kadang-kalanya menyala. Setiap kali ia sampai ke destinasi (segiempat), ia akan menerima suatu denyutan jam, memberitahu destinasi seterusnya.



Bangunkan litar berturutan dengan menggunakan flip-flop JK. Keadaan yang tidak digunakan dianggap sebagai keadaan tak-peduli. Kurangkan bilangan keadaan jika boleh dan gunakan prosedur merekabentuk seperti di bawah :

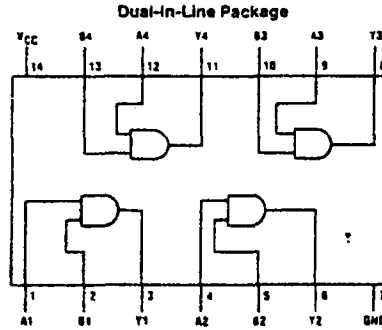
- (a) Jadual Keadaan (State Table)
- (b) Pengurangan Jadual Keadaan (Reduction of State Table)
- (c) Jadual Pertukaran (Transition Table)
- (d) Peta-K (K-Maps)
- (e) Persamaan yang dipermudahkan
- (e) Gambarajah Logik (Logic Diagram)
- (f) Gambarajah Hadwer (Hardware Diagram)

Gunakan flip-flop JK (7476), DAN (7408), ATAU (7432) dan PENYONGSANG (7404) untuk implimentasi rekabentuk.

(100/100)

Connection Diagram

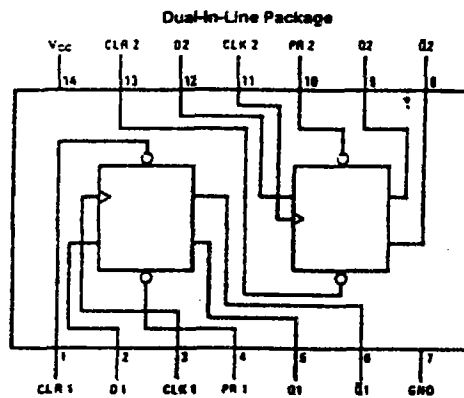
7432



Order Number 5408DMQB, 5408FMB, DM5408J, DM5408W or DM7408N
See NS Package Number J14A, N14A or W14B

Connection Diagram

7474



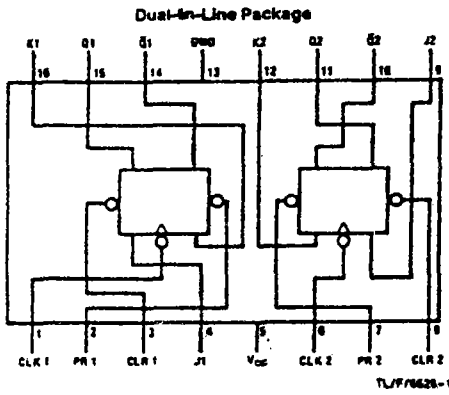
Order Number 5474DMQB, 5474FMB, DM5474J, DM5474W, DM7474M or DM7474N
See NS Package Number J14A, M14A, N14A or W14B

Function Table

Inputs				Outputs	
PR	CLR	CLK	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	T	H	H	L
H	H	T	L	L	H
H	H	L	X	Q_0	\bar{Q}_0

H = High Logic Level
 X = Either Low or High Logic Level
 L = Low Logic Level
 T = Positive-going transition of the clock
 * = The configuration is nonstable; that is, it will not persist when either the preset and/or clear inputs return to their inactive (high) level.
 Q_0 = The output logic level at Q before the indicated input conditions were established.

Connection Diagram 7476



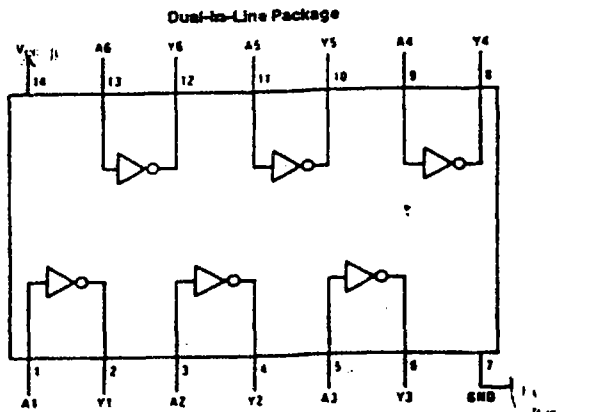
Order Number 5476DMQB, 5476FMOB,
 DMS476J, DMS476W or DM7476N
 See NS Package Number J16A, N16E or W16A

Function Table

Inputs					Outputs	
PR	CLR	CLK	J	K	Q	\bar{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	\square	L	L	Q_0	\bar{Q}_0
H	H	\square	L	L	H	L
H	H	\square	L	H	L	H
H	H	\square	H	H	Toggle	

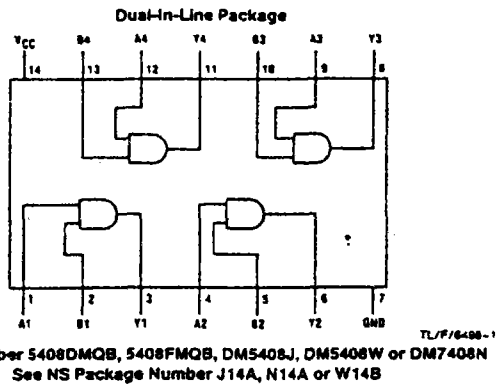
H = High Logic Level
 L = Low Logic Level
 X = Either Low or High Logic Level
 \square = Positive pulse data. The J and K inputs must be held constant while the clock is high. Data is transferred to the outputs on the falling edge of the clock pulse.
 * = This configuration is nonstable; that is, it will not persist when the preset and/or clear inputs return to their inactive (high) level.
 Q_0 = The output logic level before the indicated input conditions were established.
 Toggle = Each output changes to the complement of its previous level on each complete active high level clock pulse.

Connection Diagram

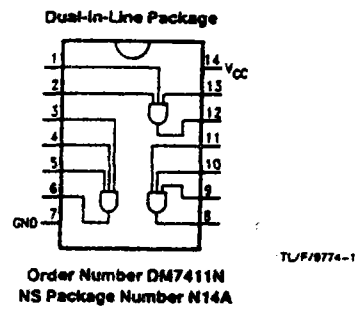


Order Number 5404DMQB, 5404FMOB, DMS404J, DMS404W, DM7404M or DM7404N
 See NS Package Number J14A, M14A, N14A or W14B

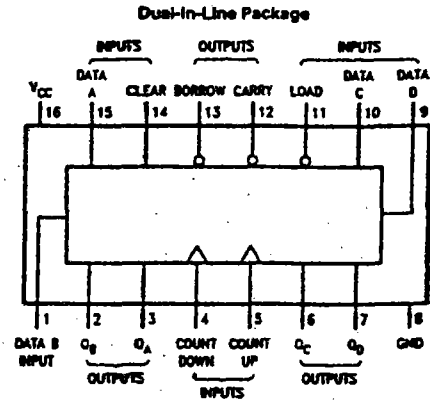
Connection Diagram



Connection Diagram



Connection Diagram



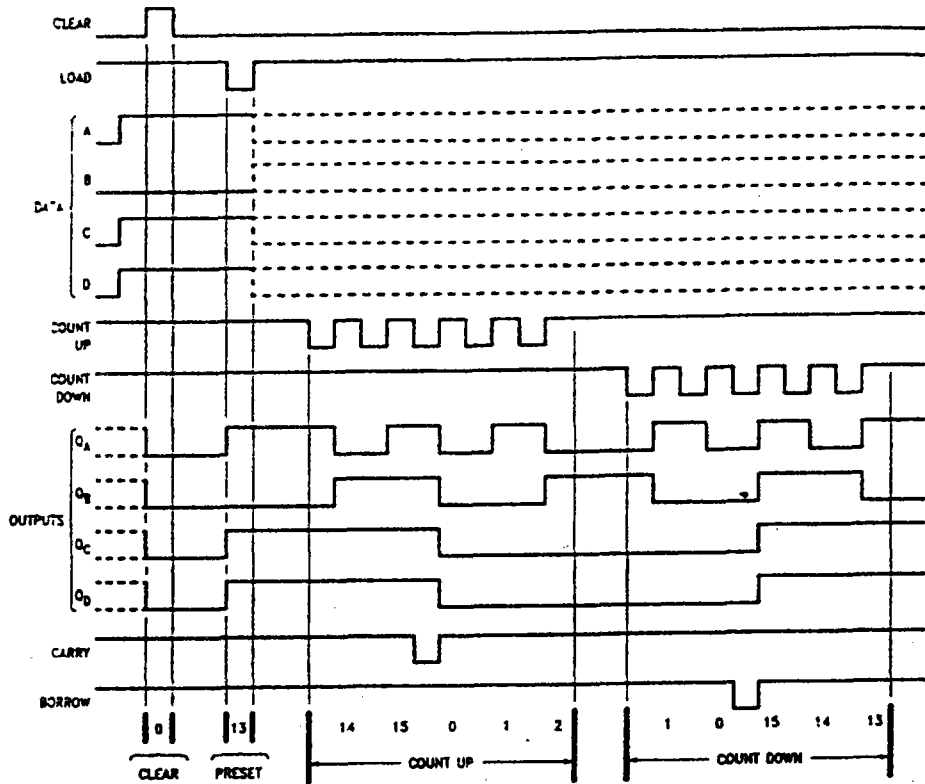
Order Number 54LS193DMQB, 64LS193FMB, 54LS193LMB, DMS4LS193J, DMS4LS193W, DM74LS193M or DM74LS193N
See NS Package Number E20A, J16A, M16A, N16E or W16A

TL/F/6408-1

Timing Diagrams

74193

Typical Clear, Load, and Count Sequences



TL/F/6408-3

Note A: Clear overrides load, data, and count inputs.

Note B: When counting up, count-down input must be high; when counting down, count-up input must be high.