

SULIT



First Semester Examination
2022/2023 Academic Session

February 2023

EEE445 – Design of Integrated Analog Circuits
(Reka Bentuk Litar Bersepadu Analog)

Duration : 2 hours
(Masa : 2 jam)

Please check that this examination paper consists of ELEVEN (11) pages of printed material including appendix before you begin the examination.

[Sila pastikan bahawa kertas peperiksaan ini mengandungi SEBELAS (11) muka surat yang bercetak termasuk lampiran sebelum anda memulakan peperiksaan ini.]

Instructions This question paper consists of **FOUR (4)** questions. Answer **ALL** questions. All questions carry the same marks.

[Arahan: Kertas soalan ini mengandungi **EMPAT (4)** soalan. Jawab **SEMUA** soalan. Semua soalan membawa jumlah markah yang sama.]

In the event of any discrepancies, the English version shall be used.

[Sekiranya terdapat sebarang percanggahan pada soalan peperiksaan, versi Bahasa Inggeris hendaklah digunapakai.]

...2/-

SULIT

1. Figure 1.1 illustrates a CMOS diode-connected MOSFET. Referring to the figure,

Rajah 1.1 menunjukkan sebuah MOSFET CMOS yang berfungsi sebagai diod. Berdasarkan rajah tersebut,

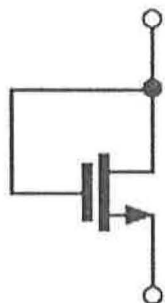


Figure 1.1
Rajah 1.1

- a) Draw the small signal model of the diode with the inclusion of the channel length modulation.

Lukis model isyarat kecil diod tersebut dengan mengambil kira modulasi panjang saluran.

(5 marks/markah)

- b) Derive the impedance of the diode.

Terbitkan galangan diod tersebut.

(25 marks/markah)

- c) Derive the impedance of the diode with the inclusion of body effect.

Terbitkan galangan diod tersebut dengan mengambil kira kesan badan.

(30 marks/markah)

- d) If the diode connected MOSFET is connected as a load for a common source amplifier as shown in Figure 1.2, what will be the corresponding gain of the amplifier ? (Neglect channel length modulation of M_1)

Jika diod tersebut di sambungkan sebagai beban kepada penguat punca sepunya seperti Rajah 1.2, apakah gandaan penguat tersebut? (abaikan modulasi panjang saluran untuk M_1)

(20 marks/markah)

- e) Prove that the gain of the common source amplifier in Figure 1.2 is a weak function of its bias current.

Buktikan gandaan penguat punca sepunya dalam rajah 1.2 adalah fungsi lemah arus pincangnya.

(20 marks/markah)

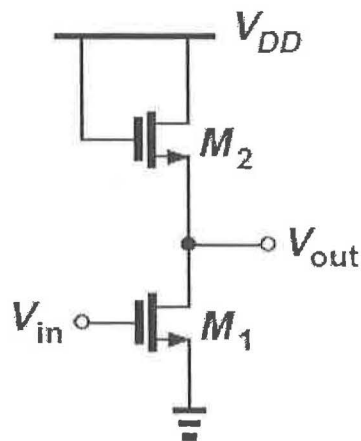


Figure 1.2

Rajah 1.2

...4/-

2. Figure 2.1 illustrates a CMOS differential amplifier. Neglecting the channel length modulation effect and body effect,

Rajah 2.1 menunjukkan sebuah penguat pembezaan CMOS. Dengan mengabaikan kesan modulasi panjang saluran dan kesan badan,

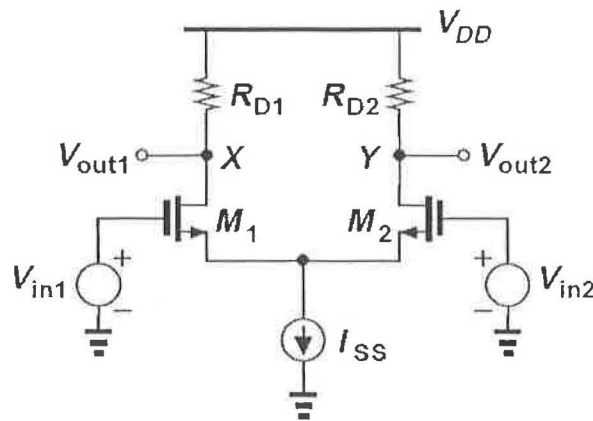


Figure 2.1

Rajah 2.1

- a) Determine the differential gain of the amplifier using the superposition theorem.

Tentukan gandaan pembezaan penguat tersebut dengan menggunakan teorem superposisi.

(70 marks/markah)

- b) Determine the differential gain of the amplifier using the half circuit concept.

Tentukan gandaan pembezaan penguat tersebut dengan menggunakan konsep litar separa.

(30 marks/markah)

3. Figure 3.1 illustrates the high-frequency model of a common-source stage amplifier driven by a finite source resistance, R_S . Based on the figure,

Rajah 3.1 menunjukkan model frekuensi-tinggi penguat punca sepunya yang dipandu oleh perintang punca terhingga, R_S . Berdasarkan rajah tersebut,

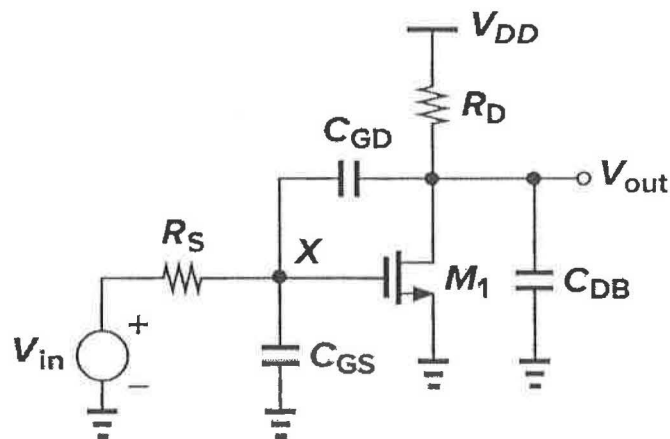


Figure 3.1

Rajah 3.1

- a) Sketch its corresponding equivalent circuit.

Lakarkan litar setara sepadannya.

(10 marks/markah)

- b) Derive its exact transfer function using direct analysis.

Peroleh fungsi pindah tepat menggunakan analisa secara langsung.

(30 marks/markah)

- c) Determine the poles and zeros of the circuit if $W/L = 50/0.5$, $R_S = 1 \text{ k}\Omega$ and $R_D = 2 \text{ k}\Omega$. $I_{D(SAT)}$ is given as 1 mA and $V_{DD} = 3 \text{ V}$. Assume minimum lateral dimension of source (S)/ drain (D) area is $1.5 \text{ }\mu\text{m}$.

Tentukan semua pola dan sifar dalam litar sekiranya $W/L = 50/0.5$, $R_S = 1 \text{ k}\Omega$ and $R_D = 2 \text{ k}\Omega$. $I_{D(SAT)}$ diberikan sebagai 1 mA dan $V_{DD} = 3 \text{ V}$. Andaikan dimensi melintang minimum punca (S)/saliran (D) adalah $1.5 \text{ }\mu\text{m}$.

(50 marks/markah)

- d) Explain why Miller's approximation is not suitable to be utilized for this circuit.

Terangkan kenapa penghampiran Miller tidak sesuai digunakan untuk litar ini.

(10 marks/markah)

4. a) For an NMOS current source, determine the thermal noise and flicker noise in the drain current for a band from 1 kHz to 1 MHz .

Untuk punca arus NMOS, tentukan hingar terma dan hingar kerdipan dalam arus saluran untuk jalur 1 kHz sehingga 1 MHz .

(20 marks/markah)

- b) Derive the input-referred thermal noise voltage and current of the circuit shown in the following Figure 4.1 assuming that all of the transistors are in saturation. Include all relevant assumptions.

Terbitkan voltan terma dan arus pemasukan yang dirujuk litar yang ditunjukkan dalam Rajah 4.1 dengan mengandaikan semua transistor adalah dalam ketepuan. Masukkan semua andaian yang relevan.

(50 marks/markah)

...7/-

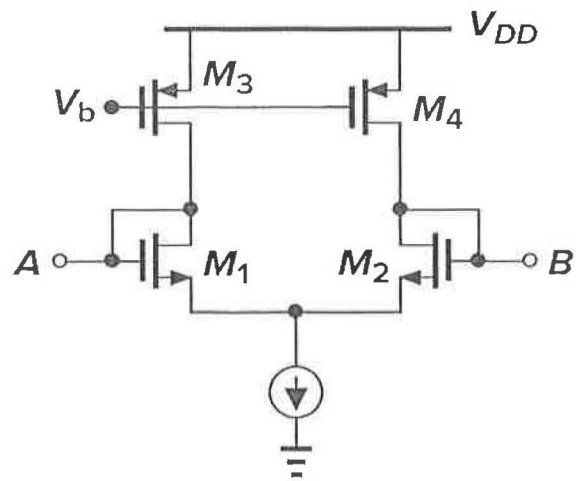


Figure 4.2

Rajah 4.2

-oooOooo-

APPENDIX 1LAMPIRAN 1

$$C_{GS(SAT)} = \frac{2}{3}WL_{eff}C_{ox} + WC_{ov}$$

$$C_{GD(SAT)} = WC_{ov}$$

$$C_{DB(SAT)} = WEC_j + 2(W + E)C_{jsw}$$

$$C_j = \frac{C_{j0}}{\left(1 + \frac{V_R}{\phi_B}\right)^m}$$

APPENDIX 2LAMPIRAN 2

Level 1 SPICE models for NMOS and PMOS devices.

NMOS Model

LEVEL = 1	VTO = 0.7	GAMMA = 0.45	PHI = 0.9
NSUB = 9e+14	LD = 0.08e-6	UO = 350	LAMBDA = 0.1
TOX = 9e-9	PB = 0.9	CJ = 0.56e-3	CJSW = 0.35e-11
MJ = 0.45	MJSW = 0.2	CGDO = 0.4e-9	JS = 1.0e-8

PMOS Model

LEVEL = 1	VTO = -0.8	GAMMA = 0.4	PHI = 0.8
NSUB = 5e+14	LD = 0.09e-6	UO = 100	LAMBDA = 0.2
TOX = 9e-9	PB = 0.9	CJ = 0.94e-3	CJSW = 0.32e-11
MJ = 0.5	MJSW = 0.3	CGDO = 0.3e-9	JS = 0.5e-8

APPENDIX 2

LAMPIRAN 2

Questions	Course Outcome (CO)	Program Outcome (PO)
1	1	PO1, PO3
2	1	PO1, PO3
3	2	PO1, PO3
4	2	PO1, PO3