



First Semester Examination
2022/2023 Academic Session

February 2023

**EEE 378 – DIGITAL ELEKTRONIC II
(ELEKTRONIK DIGIT II)**

Duration: 3 hours
(Masa: 3 jam)

Please ensure that this examination paper consists of **FOURTEEN** (14) pages of printed material including appendix before you begin the examination.

[*Sila pastikan bahawa kertas peperiksaan ini mengandungi **EMPAT BELAS** (14) muka surat yang bercetak termasuk lampiran sebelum anda memulakan peperiksaan ini.*]

Instructions: This question paper consists of **FOUR (4)** questions. Answer **ALL** questions. All questions carry the same marks.

Arahan: *Kertas soalan ini mengandungi **EMPAT (4)** soalan. Jawab **SEMUA** soalan. Semua soalan membawa jumlah markah yang sama.]*

In the event of any discrepancies, the English version shall be used.

[*Sekiranya terdapat sebarang percanggahan pada soalan peperiksaan, versi Bahasa Inggeris hendaklah digunakan.*]

-2-

1. (a) Implement the NAND-NAND network as shown in Figure 1(a) using 74LS02 NOR integrated circuits (ICs) ONLY as shown in Figure 1(b). Show the IC pins connections. Assume that all variables' complements are **not available** as inputs.

Laksanakan jaringan NAND-NAND yang dilunjukkan dalam Rajah 1(a) dengan menggunakan HANYA litar-litar bersepadu NOR 74LS02 seperti Rajah 1(b). Tunjukkan sambungan pin litar bersepadu. Andaikan bahawa semua pelengkap pembolehubah tidak tersedia sebagai input.

(40 marks/markah)

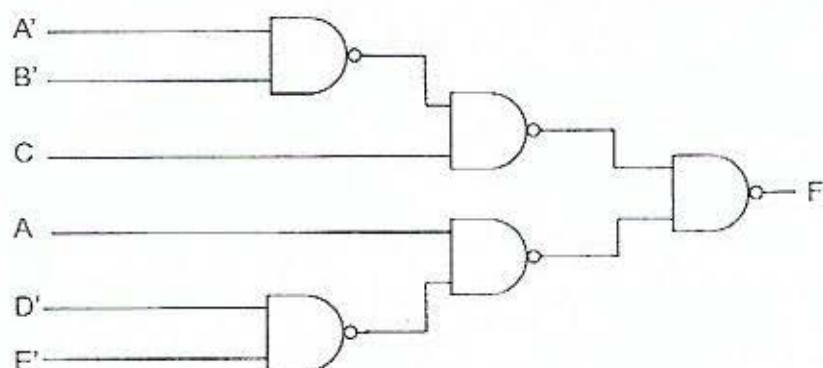


Figure 1(a)

Rajah 1(a)

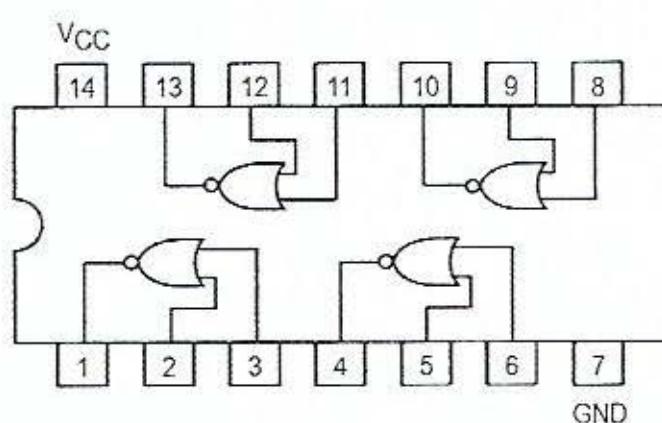


Figure 1(b)

Rajah 1(b)

-3-

- (b) Consider the Boolean function below:

Pertimbangkan fungsi Boolean di bawah:

$$f = ab + bc + \bar{a}b\bar{c}$$

- (i) Implement the function using 3-to-8 decoder and any simple logic gates. Include the truth table in your answer.

Laksanakan fungsi tersebut menggunakan penyahkod 3 hingga 8 dan sebarang get logik mudah. Sertakan jadual kebenaran dalam jawapan anda.

(15 marks/markah)

- (ii) Implement the function using two 4-to-1 multiplexers, a 2-to-1 multiplexer, and any simple logic gates.

Laksanakan fungsi menggunakan dua pemultipleks 4-ke-1, pemultipleks 2-ke-1, dan sebarang get logik mudah.

(15 marks/markah)

-4-

- (c) Consider the pair of logic functions below:

Pertimbangkan pasangan fungsi logik dibawah:

$$f_1 = (a + bc + \bar{b}cd)\bar{e}$$

$$f_2 = (a + bc + bcd)e$$

- (i) Implement both functions using a PLA (without external logic). Indicate the number of inputs (n), the number of product terms (p), and the number of outputs (m). Draw a diagram of the PLA, using the abbreviated form in which a single wire connects to the AND and OR-gates' inputs.

Laksanakan kedua-dua fungsi menggunakan PLA (tanpa logik luaran). Nyatakan bilangan input (n), bilangan istilah produk (p), dan bilangan output (m). Lukis gambarajah PLA, menggunakan bentuk singkatan di mana wayar tunggal bersambung ke input AND dan OR-gate.

(20 marks/markah)

- (ii) Explain why a PAL would be less suitable than a PLA for the pair of functions above.

Terangkan mengapa PAL kurang sesuai daripada PLA untuk pasangan fungsi-fungsi di atas.

(10 marks/markah)

-5-

2. (a) A logic circuit shown in Figure 2(a) has a 4-bit input X, two 4-bit wide 2-to-1 multiplexer, a 4-bit adder and a 4-bit output Y. For the given Table 2.1, determine the value of Y for the given X, S_0 , S_1 and state the arithmetic operation performed by the circuit for the given S_0S_1 combinations in the $Y = f(X)$ column.

Litar logik yang ditunjukkan dalam Rajah 2(a) mempunyai input X 4-bit, dua pemultipleks 2-ke-1 lebar 4-bit, penambah 4-bit dan output Y 4-bit. Untuk Jadual 2.1 yang diberikan, tentukan nilai Y bagi X, S_0 , S_1 yang diberikan dan nyatakan operasi aritmetik yang dilakukan oleh litar untuk kombinasi S_0S_1 yang diberikan dalam lajur $Y = f(X)$.

(24 marks/markah)

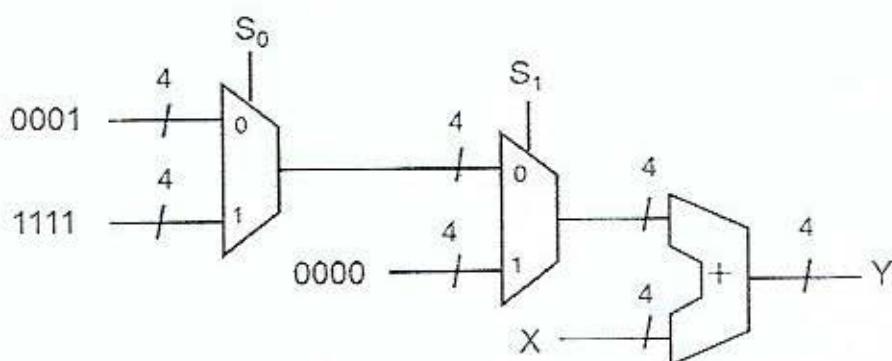


Figure 2(a)

Rajah 2(a)

Table 2.1

Jadual 2.1

X	S_1	S_0	Y	$Y = f(X)$
0000	0	0		
0111	0	1		
0010	1	0		
0101	1	1		

-6-

- (b) Table 2.2 and Figure 2(b) respectively show the truth table and the logic diagram of half-subtractor (HS) module. The inputs of the HS are X and Y, while the outputs are B_{out} and D. All inputs and outputs are 1-bit. The HS module is designed to perform the subtraction operation between X and Y ($X - Y$), producing the different (D) and the 'borrow out' (B_{out}), if any.

Jadual 2.2 dan Rajah 2(b)masing-masing menunjukkan jadual kebenaran dan rajah logik modul separuh penolak (HS). Input HS ialah X dan Y, manakala output adalah B_{out} dan D. Semua input dan output adalah 1-bit. Modul HS direka bentuk untuk melaksanakan operasi tolak antara X dan Y ($X - Y$), menghasilkan yang berbeza (D) dan 'pinjam keluar' (B_{out}), jika ada.

Table 2.2

Jadual 2.2

X	Y	B_{out}	D
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	0

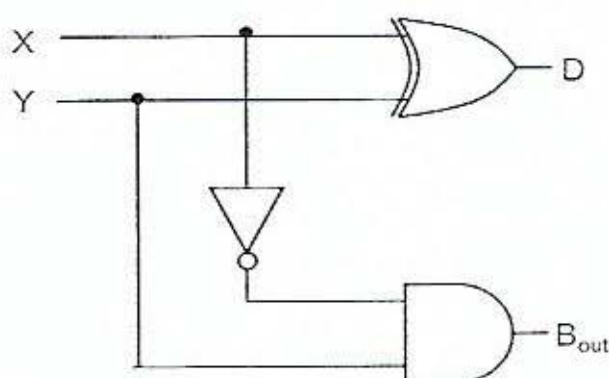


Figure 2(b)

Rajah 2(b)

-7-

Illustrate how a Full Subtractor (FS) module can be designed using HS modules and any other logic gate(s) if necessary.

Note that FS modules need to have a 'borrow in' (B_{in}) input to make it regular and scalable to larger sizes than 1-bit. In your illustration of a FS module, provide:

Jelaskan bagaimana modul Penolakan Penuh (FS) boleh direka bentuk menggunakan modul HS dan mana-mana get logik lain jika perlu.

Ambil perhatian bahawa modul FS perlu mempunyai input 'pinjam masuk' (B_{in}) untuk menjadikannya tetap dan berskala kepada saiz yang lebih besar daripada 1-bit. Dalam ilustrasi modul FS anda, sediakan:

- (i) Truth table

Jadual kebenaran

(10 marks/markah)

- (ii) Karnaugh maps (K-maps)

Peta Karnaugh (K-maps)

(10 marks/markah)

- (iii) Boolean expressions

Ungkapan Boolean

(10 marks/markah)

- (iv) Logic diagram

Rajah logik

(10 marks/markah)

-8-

- (c) Design a 1-bit arithmetic logic unit (ALU) which performs SIX (6) operations as described in Table 2.3.

This ALU can only have ONE (1) inverter.

The input signals to this ALU are A, B, Op, and B-invert, while the output signal is Out.

Reka bentuk unit logik aritmetik (ALU) 1-bit yang melaksanakan ENAM (6) operasi seperti yang ditunjukkan dalam Jadual 2.3.

ALU ini hanya boleh mempunyai SATU (1) penyongsang.

Isyarat input kepada ALU ini adalah A, B, Op, dan B-invert, manakala isyarat output adalah Out.

(36 marks/markah)

Table 2.3

Jadual 2.3

Op	B-invert	Out
0	- x	$A == B$
1	x	$A' \text{ and } B'$
2	0	$A \text{ and } B'$
	1	$A \text{ or } B'$
3	0	$A + B$
	1	$A + (-B)$

-9-

3. (a) Figure 3(a) shows a state diagram for a sequence detector. Observe it and answer the following questions.

Rajah 3(a) menunjukkan satu gambarajah keadaan untuk satu pengesan jujukan. Selidik dan jawab soalan-soalan berikut.

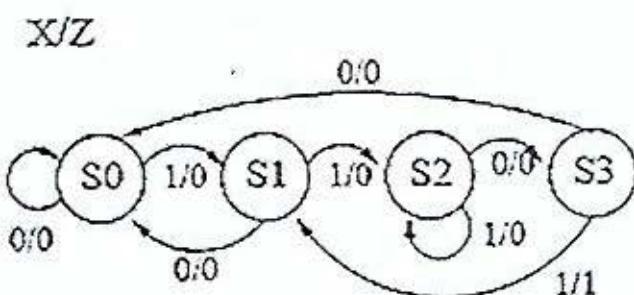


Figure 3(a)

Rajah 3(a)

- (i) Which finite state machine represent the state diagram?

Mesin keadaan terhingga yang mana mewakili gambarajah keadaan itu?

(5 marks/markah)

- (ii) Find the possible sequence which can be detected by the system.

Dapatkan jujukan yang mungkin yang boleh dikesan oleh sistem.

(10 marks/markah)

- (iii) Based on answer in (i), draw another alternative of finite state machine which able to detect similar sequence as in (ii).

Berdasarkan jawapan dalam (i), lukis alternatif lain bagi mesin keadaan terhingga yang boleh mengesan jujukan yang sama sebagaimana dalam (ii).

(25 marks/markah)

-10-

- (b) Based on Figure 3(b) analyze each of the states for finding the answer in the following questions.

Berdasarkan Rajah 3(b), analisis setiap keadaan untuk mencari jawapan bagi soalan-soalan berikut.

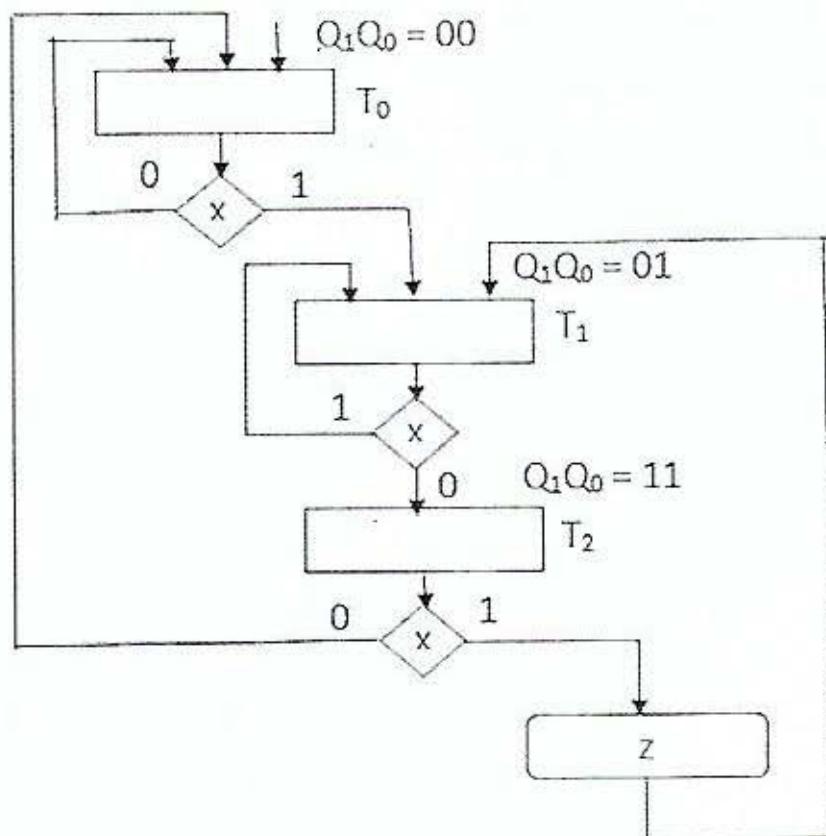


Figure 3(b)

Rajah 3(b)

- (i) Find the possible detected sequence based on input and output shown in Figure 3(b).

Dapatkan jujukan yang mungkin dikesan berdasarkan kepada masukan dan keluaran yang ditunjukkan dalam Rajah 3(b).

(5 marks/markah)

-11-

- (ii) Draw the equivalent state diagram based on (i).

Lukis gambarajah keadaan setara berdasarkan pada (i).

(20 marks/markah)

- (iii) Using both Algorithmic State Machine (ASM) in Figure 3(b) and the state diagram in (ii), produce the state table using JK flip-flop.

Menggunakan kedua-dua Mesin Keadaan Algoritmik (ASM) dalam Rajah 3(b) dan gambarajah keadaan dalam (ii), hasilkan jadual keadaan menggunakan flip-flop JK.

(35 marks/markah)

-12-

4. (a) For the the following state table,
Untuk jadual keadaan berikut,

Table 4.1: State Table
Jadual 4.1: Jadual Keadaan

Present State	Next State		Output	
	X=0	X=1	X=0	X=1
A	F	B	0	0
B	D	C	0	0
C	F	E	0	0
D	G	A	1	0
E	D	C	0	0
F	F	B	1	1
G	G	H	0	1
H	G	A	1	0

- (i) Draw the corresponding state diagram.
Lukis gambarajah keadaan setara.

(15 marks/markah)

- (ii) Find the reduced state table.
Dapatkan jadual keadaan berkurangan

(30 marks/markah)

- (iii) Draw the state diagram corresponding to the reduced state table.
Lukis gambarajah keadaan setara kepada jadual keadaan berkurangan.

(15 marks/markah)

-13-

- (b) Starting from state a, and the input sequence 01110010011, determine the output sequence for:

Bermula dengan keadaan a, dan jujukan masukan 01110010011, tentukan jujukan keluaran untuk:

- (i) The state table of Table 4.1.

Jadual keadaan bagi Jadual 4.1

(20 marks/markah)

- (ii) The reduced state table from 4(a)(iii).

Jadual keadaan berkurangan daripada 4(a)(iii).

(20 marks/markah)

Show that the same output sequence is obtained for both (i) and (ii).

Tunjukkan yang jujukan keluaran yang sama diperolehi untuk kedua-dua (i) dan (ii).

-oooOooo-

-14-

APPENDIX**LAMPIRAN**

Question	Course Outcome (CO)	Programme Outcome (PO)
1	1	PO2
2	2	PO4
3	1	PO2
4	2	PO4