

UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Pertama
Sidang Akademik 1994/95

Oktober - November 1994

EEE 426 - Kejuruteraan Litar Bersepadu

Masa : [3 jam]

ARAHAN KEPADA CALON :

Sila pastikan bahawa kertas peperiksaan ini mengandungi **ENAM (6)** muka surat bercetak dan **ENAM (6)** soalan sebelum anda memulakan peperiksaan ini.

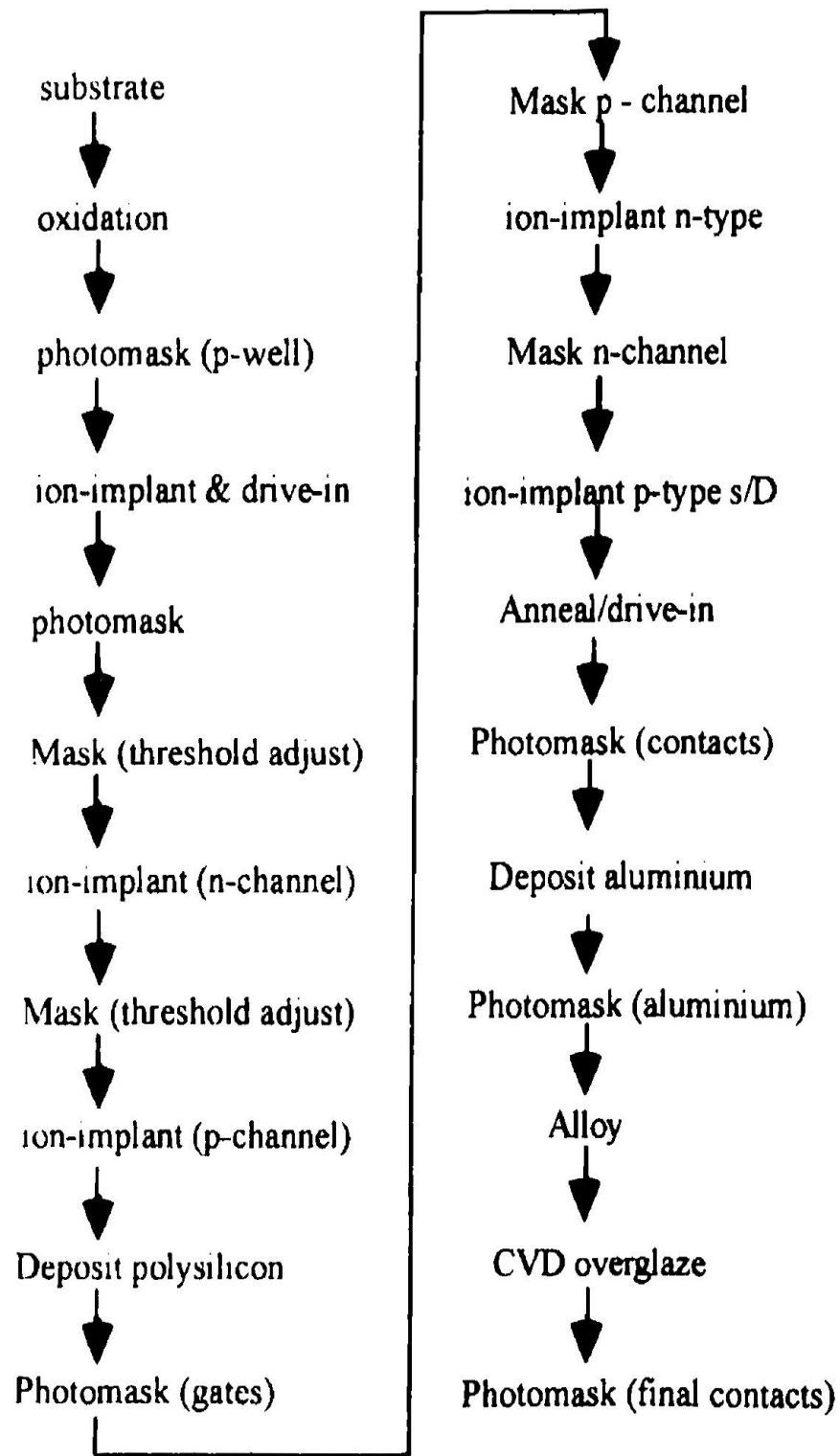
Jawab mana-mana **LIMA (5)** soalan sahaja.

Agihan markah bagi soalan diberikan di sut sebelah kanan sebagai peratusan daripada markah keseluruhan yang diperuntukkan bagi soalan berkenaan.

Jawab semua soalan di dalam Bahasa Malaysia.

2/-

1 Cartalir berikut (Rajah 1) menunjukkan langkah-langkah asas dalam pembuatan proses CMOS telaga-p.



Rajah 1

...3/-

Lukiskan struktur CMOS yang dihasilkan daripada langkah-langkah di atas. Terangkan secara kasar proses-proses pengoksidan, topengfoto, penanaman-ion, 'drive-in', penopengan (selaras-ambang) dan endapan polysilicon menggunakan gambarajah yang sesuai.

(20 markah)

2. Terdapat beberapa teknologi semikonduktor dengan berbagai kebaikan dan keburukan. Terangkan teknologi-teknologi proses dwikutub, MOS dan GaAS menurut butir-butir berikut:-

- (i) berbagai jenis dari teknologi tersebut
- (ii) kebaikan dan keburukan
- (iii) kegunaan utama

(15 markah)

Pada satu carta, bandingkan teknologi-teknologi di atas menurut parameter-parameter berikut:-

- (i) saiz/kekomplesan
- (ii) kelajuan
- (iii) lesapan kuasa

(5 markah)

3. (a) Buat perbandingan jalan kerja di antara logik ingatan statik dan dinamik (dengan ilustrasi)

(10 markah)

(b) Litar-litar logik dinamik tidak dibuat dalam teknologi dwikutub, terangkan sebab-sebabnya.

(2 markah)

...4/-



- (c) Dalam rekabentuk suatu array ingatan DRAM, didapati bahawa, lengahan pada dawai pilih barisan polisilikon adalah terlalu besar, dan adalah dicadangkan supaya dawai itu dilebarkan untuk mengurangkan rintangan setara. Adakah ini boleh atau tidak menyelesaikan masalah lengahan tersebut. Adakah ini boleh mendatangkan kesan buruk kepada array ingatan? Terangkan.

(8 markah)

- 4 (a) Program SUPREM berikut menerangkan suatu proses:

```
TITLE EXAM
GRID YMAX=4, DP11=2, DYS1=0.01
SUBS ELEM=P, CONC=1E15, ORNT=111
PRINTHEAD=Y
PLOT TOUTL=Y, WIND=1
STEP TYPE=PDEP, TEMP=950, TIME=45, ELEM=B, CONC=1E20
PLOT TOUTL=Y, WIND=4
STEP TYPE=OXID, TEMP=1100, TIME=45, MODL=DRY1
END
```

Terangkan proses yang dimaksudkan. Berikan secara terperinci parameter-parameter yang digunakan. Juga, ramalkan keputusan yang bakal dihasilkan bila dilaksanakan.

(8 markah)

- (b) Terangkan faktor-faktor penimbang bagi rekabentuk ASIC menggunakan implementasi berikut -

- (i) PLD
- (ii) EPLD
- (iii) Gate Array
- (iv) Sel pawai dan 'Silicon Compilers'

(12 markah)

5/-

5 (a) Terangkan tiga jenis bonding Cip-dan-Dawai berikut -

- (i) Bonding Dawai 'Thermocompression'
- (ii) Bonding Dawai 'Thermosonic'
- (iii) Bonding Dawai 'Ultrasonic'

Berikan kebaikan/kekurangan tiap-tiap satu

(8 markah)

(b) Teknologi Penghimpun Komponen (Component assembly technology) bermula dengan 'through-hole technology' (THT). Dengan kebangkitan 'surface-mount technology' (SMT), satu pertarungan sudah pun bermula

Tulis esei mengenai ciri-ciri asas tiap-tiap teknologi tersebut. Buat perbandingan kebaikan dan keburukan di antara keduanya

(12 markah)

6. Adalah suatu prinsip asas rekabentuk sistem elektronik bahawa semakin jauh ia melalui lintasan kesepaduan sistem (system integration path), maka adalah lebih mahal untuk menggantikan komponen yang mempunyai ralat. Sebagai contoh perhatikan jadual di bawah ini

<u>Peringkat penemuan ralat</u>	<u>Kos gantian</u>
Die	\$0.10
Cip terbungkus	\$1.00
PCB	\$10.00
Sistem semasa pembuatan	\$100.00
System dalam operasi	\$1000.00
Cip gagal semasa penerbangan	\$\$\$\$\$\$\$\$\$\$

6/-

Terangkan secara terperinci strategi-strategi yang mungkin dilaksanakan pada peringkat pro-fabrikasi dan post-fabrikasi. Huraikan apakah dia konsep Rekabentuk-untuk-keterujian (Design-for-Testability).

(20 markah)

- 0000000 -

