

UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Pertama
Sidang Akademik 1994/95

Oktober - November 1994

EEE 326 - CAD untuk VLSI

Masa : [2 jam]

ARAHAN KEPADA CALON :

Sila pastikan bahawa kertas peperiksaan ini mengandungi **EMPAT (4)** muka surat bercetak dan **LIMA (5)** soalan sebelum anda memulakan peperiksaan ini.

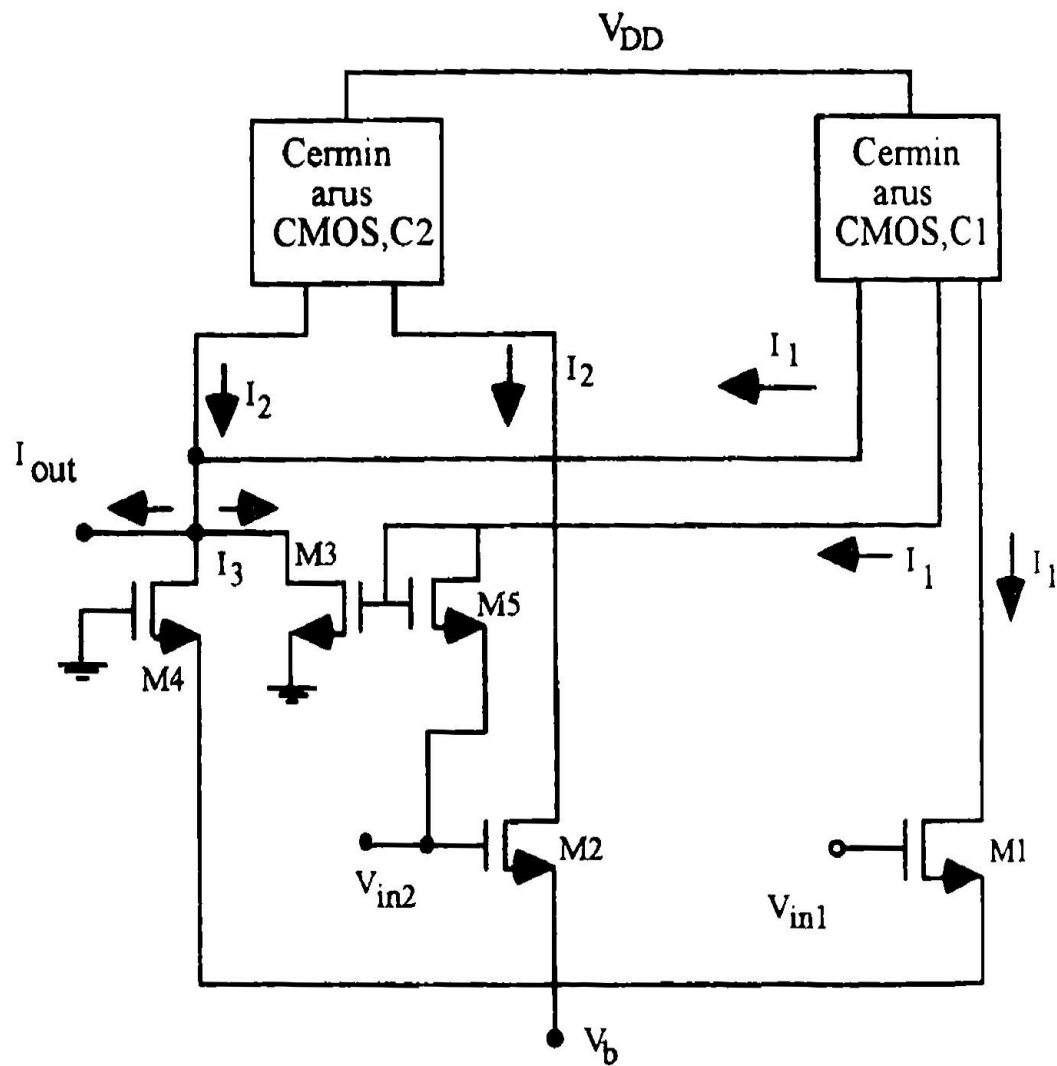
Jawab (4) **EMPAT** dari **LIMA (5)** soalan sahaja.

Agihan markah bagi soalan diberikan di sut sebelah kanan sebagai peratusan daripada markah keseluruhan yang diperuntukkan bagi soalan berkenaan.

Jawab semua soalan di dalam Bahasa Malaysia.

...2/-

1. Di bawah ini adalah struktur litar pendarab CMOS 4 sukuan yang sesuai bagi pemprosesan isyarat analog.



- (a) Rekabentuk cermin-cermin arus C_2 , C_1 dan litar bagi V_b . Buat kesimpulan mengenai persamaan berikut:

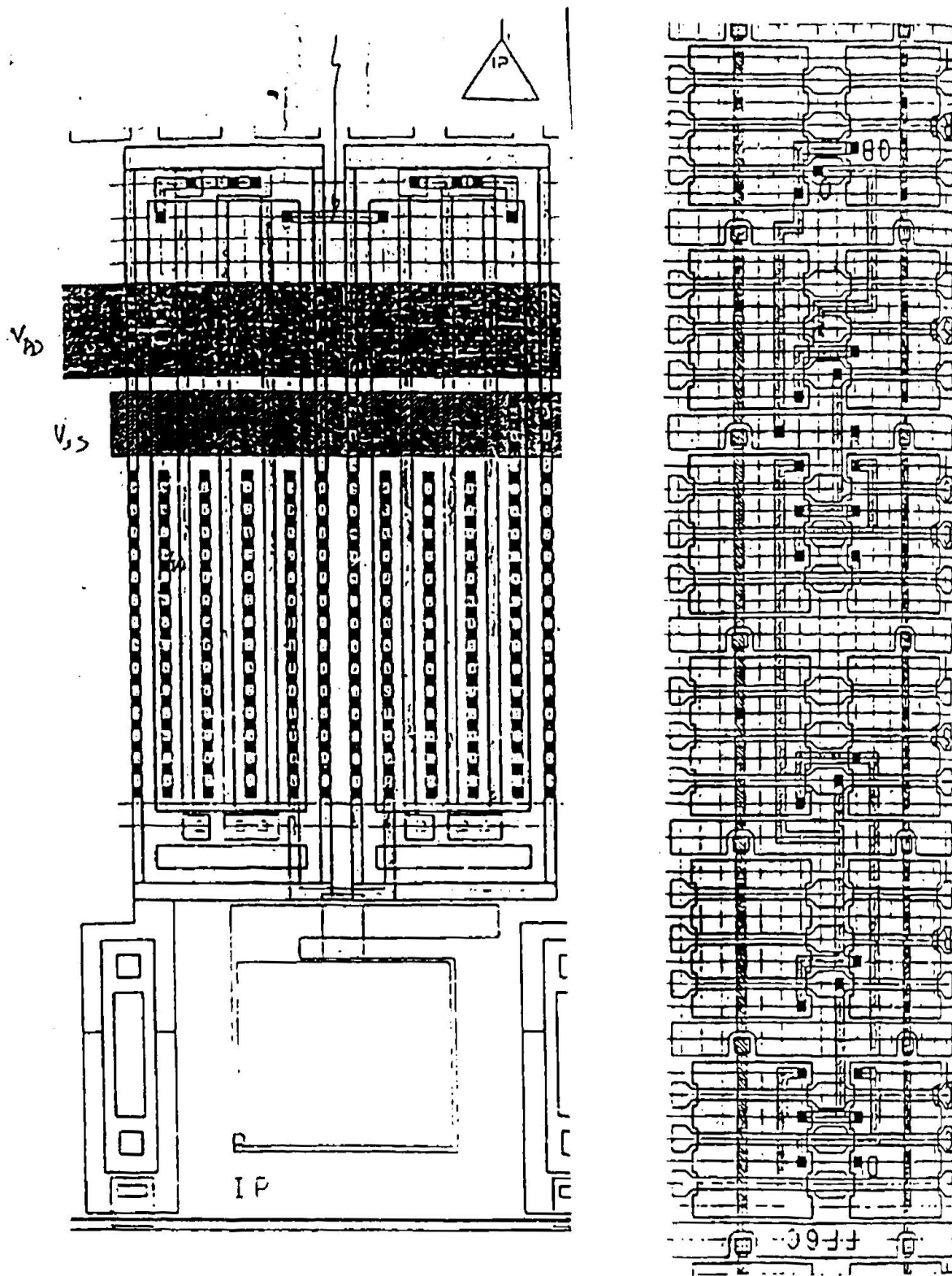
$$I_{out} = -\mu C_{ox} \frac{W}{L} V_{in1} \cdot V_{in2}$$

(10 markah)

3/-

- (b) Tentukan had bidang operasi pendarab CMOS ini.
(10 markah)
- (c) Lukis gambarajah lidi (stick diagram) bagi bentangan (layout) tersebut.
(5 markah)
2. (a) Beri penerangan dengan menggunakan gambarajah-gambarajah aras proses mengenai 'latch-up' dalam CMOS. Terbitkan persamaan bagi keadaan 'latch up' CMOS.
(10 markah)
- (b) Berikan cadangan anda menggunakan bentangan gambarajah-gambarajah teknik-teknik bagi mencegah 'latch-up' dalam peranti-peranti CMOS.
(10 markah)
- (c) Apakah peranti TFT CMOS? Adakah kemungkinan berlakunya 'latch-up' di dalam peranti CMOS TFT? Kenapa?
(5 markah)

...4/-



3. (a) Di atas adalah dua sel logik tatasusunan get CMOS (CMOS gate array logic cells). Lukis gambarajah-gambarajah logik dan litar daripada bentangan-bentangan tersebut.

(20 markah)

.5/-

- (b) Apakah kelebihan dan kekurangan rekabentuk langganan penuh (full custom) dan tatasusunan get.

(5 markah)

4. Rekabentuk senibina perkakasan bagi satu pengawal logik 'fuzzy' VLSI. Spesifikasinya adalah seperti berikut:

- (1) 2 masukan 1 keluaran
- (2) 'fuzzification' dedenyut
- (3) 'defuzzification' dengan kaedah 'pusat graviti'
- (4) enjin 'fuzzy inference', maksima-minima
- (5) ROM boleh aturcara bertopeng CMOS bagi menyimpan adjektif.
- (6) Sekurang kurangnya 2 adjektif bagi setiap pemboleh ubah fuzzy masukan/keluaran
- (7) Pertimbangkan sekurang-kurangnya 5 hukum fuzzy.

(25 markah)

5. (a) Persamaan,

$$W(t+1) = w(t) + \alpha(t)(x(t) - w(t)) \gamma$$

akan digunakan dalam CMOS analog bagi perlaksanaan VLSI bagi rangkaian neural Kohonen. Rekabentuk litar yang sesuai berserta dengan persamaan-persamaan.

(10 markah)

- (b) Rekabentuk penguat pengesan cas berbilang port bagi peringkat 'Winner take all' rangkaian neural dan beri penerangan mengenai operasinya.

(10 markah)

- (c) Apakah had-had bagi perlaksanaan (a) dan (b)

(5 markah)

