

**PERANTI MASUKAN DAN KELUARAN 8 BIT DENGAN
MENGUNAKAN FPGA**

Oleh

Mohd Pasha Bin Abd Razak

**Disertasi ini dikemukakan kepada
UNIVERSITI SAINS MALAYSIA**

**Sebagai memenuhi sebahagian daripada syarat keperluan
untuk ijazah dengan kepujian**

**SARJANA MUDA KEJURUTERAAN
(KEJURUTERAAN ELEKTRONIK)**

Pusat Pengajian Kejuruteraan

Elektrik dan Elektronik

Universiti Sains Malaysia

Mei 2006

ABSTRAK

Projek ini adalah bertujuan untuk menghasilkan satu contoh dasar bagi peranti masukan dan keluaran lapan bit dengan menggunakan FPGA. Peranti masukan keluaran yang dihasilkan akan mempunyai fungsi yang sama dengan mod 0 bagi cip masukan keluaran 8255 yang sudah berada dipasaran. Peranti masukan keluaran yang dihasilkan terdiri daripada tiga port masukan dan keluaran 8 bit. Setiap port boleh melakukan fungsi baca atau tulis bergantung kepada perkataan kawalan yang diberikan kepadanya. Peranti ini boleh diantaramuka dengan papan mikropengawal 8051. Tujuan utama peranti masukan keluaran 8 bit ini dibina adalah untuk menambahkan bilangan port masukan dan keluaran bagi mikropengawal 8051. Didalam projek ini FPGA telah digunakan dalam penghasilan peranti masukan dan keluaran lapan bit. Jenis FPGA yang digunakan adalah xilinx 4010XLPC84 dibawah keluarga XC4000XL. Ia telah digunakan didalam projek ini kerana dapat mengurangkan kos dan masa bagi penghasilan rekabentuk litar. Kod VHDL pula telah digunakan untuk mengawal kelakuan bagi papan FPGA. Teknik perihalan kelakuan telah digunakan didalam menulis kod VHDL. Litar yang telah siap direkabentuk seterusnya diuji dengan papan mikropengawal 8051 untuk memastikan rekabentuk yang telah dihasilkan adalah sah. Di dalam rekabentuk ini sebanyak 11% CLBs dan 58% IOBs telah digunakan. Nilai lengah maksimum bagi peranti ini pula adalah sebanyak 41.596 ns. Hasil bagi projek ini adalah sebuah peranti yang boleh menerima atau mengeluarkan sebanyak 8 bit data kepada mikropengawal 8051.

ABSTRACT

The purpose of this project is to design a prototype of an eight bits input output device based on FPGA. The input output device will have the same function as mode 0 of the 8255 input output chip that is already in the market today. The prototype contain three eight bits accessible ports (port A, B and C). Each port can be programmed to write or read data depends on the control words given to the device. The eight bits input output device can be interface with the 8051 microcontroller to increase the number of input and output port capability of the microcontroller. In this project, FPGA and VHDL code are used to design the prototype. XC4010XLPC84 is used as a demo board. It is one of the FPGA in XC4000XL series and produce by xilinx. The main reason of using xilinx FPGA is because it can significantly reduces cost and time of circuit design process. VHDL code is used to define the behavior of FPGA. Behavioral description technique is used to write the VHDL code for each macro. The circuit that had been design are tested by using microcontroller board. Testing process is important to determine the functionality of the circuit. In this design, 11% CLBs and 58% IOBs had been used from the FPGA. There are redundant CLBs and IOBs that can be used to improve the circuit in the future. The maximum delay for the entire device is 41.596 ns. The result of this project is a device that can be use to read or write, 8 bits of data from the 8051 microcontroller.

PENGHARGAAN

Pertama sekali ingin saya mengambil peluang ini untuk mengucapkan berbanyak terima kasih kepada Pn Zaini Abdul Halim yang telah banyak memberikan bantuan sepanjang tempoh projek ini dijalankan. Tanpa idea, bimbingan dan tunjuk ajar beliau adalah sukar untuk menjayakan projek ini.

Ribuan terima kasih kepada Pusat Pengajian Kejuruteraan Elektrik dan Elektronik Universiti Sains Malaysia serta Dekan pusat pengajian, Prof. Madya Dr. Othman Sidek kerana memberikan peluang bagi saya untuk menjalankan projek tahun akhir bagi melengkapkan syarat pengijazahan saya dalam kursus Kejuruteraan Elektronik.

Saya juga ingin mengucapkan ribuan terima kasih kepada semua juruteknik-juruteknik makmal di Pusat pengajian Kejuruteraan Elektrik dan Elektronik yang telah banyak membantu didalam menyediakan pekakasan makmal dan komponen-komponen yang diperlukan bagi menjayakan projek yang telah saya jalankan.

Tidak lupa juga kepada semua rakan-rakan yang telah banyak berkongsi idea, bahan rujukan dan maklumat bagi membolehkan saya menyiapkan penyelidikan ini pada masa yang telah ditetapkan. Tanpa pertolongan mereka adalah mustahil bagi saya untuk menyempurnakan kajian ini dalam tempoh yang telah diberikan.

KANDUNGAN

Muka Surat

ABSTRAK	ii	
ABSTACT	iii	
PENGHARGAAN	iv	
JADUAL ISI KANDUNGAN.	vi	
SENARAI GAMBARAJAH	viii	
SENARAI JADUAL	x	
SENARAI PLAT	xi	
SENARAI SINGKATAN PERKATAAN	xii	
BAB 1	PENGENALAN	
1.1	Pendahuluan.....	1
1.2	Objektif.....	2
1.3	Perjalanan Projek.....	3
1.4	Ringkasan Bab Di Dalam Laporan.....	5
BAB2	KAJIAN ILMIAH	
2.1	FPGA	6
2.2	VHDL	11
2.3	Xilinx.....	14
2.4	Peranti Masukan Dan Keluaran 8 Bit.....	16
2.5	Mod 0 Bagi Peranti Masukan Keluaran 8 Bit.....	22
BAB 3	REKABENTUK PERANTI MASUKAN KELUARAN 8 BIT	
3.1	Pengenalan Kepada Xilinx Foundation Series 2.1i.....	25
3.1.1	Masukan Rekabentuk.....	25
3.1.2	Simulasi	27

3.1.3	Perlaksanaan	28
3.1.4	Pengaturcaraan	31
3.2	Rekabentuk Litar Menggunakan <i>Scematic Editor</i>	32
3.2.1	Penerangan Makro.....	32
3.2.1.1	Makro Bagi Data.....	32
3.2.1.2	Makro Bagi Reset.....	35
3.2.1.3	Makro Bagi Eight.....	37
3.2.1.4	Makro Bagi Four.....	39
3.2.1.5	Makro Bagi Selectchip.....	41
3.2.1.6	Makro Bagi Aelectchip4.....	42
3.2.2	Rekabentuk Litar Dwi-arah Menggunakan Skematik.....	43
3.2.3	Rekabentuk Daftar Pengawal.....	47
3.2.4	Rekabentuk Bagi Litar port.....	49
3.3	Keputusan Simulasi Bagi litar.....	51
BAB 4	PEKAKASAN UNTUK PENGUJIAN	
4.1	Pengenalan.....	53
4.2	Komponen Dalam Rekabentuk Papan Mikropengawal 8051.....	53
4.2.1	Mikropengawal 8051.....	53
4.2.2	UV-EPROM.....	56
4.2.3	Penyahkod 74LS138.....	57
4.2.4	Selak D 74LS373.....	58
4.2.5	Peranti Masukan Keluaran 8255.....	59
4.2.6	Komponen-Komponen Lain.....	59
4.3	Rekabentuk Dan Pembinaan Papan Mikropengawal 8051.....	56
4.3.1	Pengenalan.....	60
4.3.2	Penyambungan Litar.....	62
4.3.2.1	Mikropengawal 8051.....	63
4.3.2.2	Selak D 74LS737.....	64

	4.3.2.3 UV-EPROM.....	65
	4.3.2.4 Penyahkod 74LS138.....	65
	4.3.2.5 Cip Masukan Keluaran 8255.....	67
BAB 5	PENGUJIAN LITAR.....	68
	5.1 Pengenalan.....	68
	5.2 Aturcara Pengujian.....	70
	5.3 Cara Pengujian.....	72
	5.4 Keputusan.....	73
BAB 6	PENUTUP	
	6.1 Perbincangan.....	76
	6.2 Cadangan Untuk Memperbaiki Projek.....	78
	6.3 Kesimpulan.....	79

RUJUKAN

LAMPIRAN 1 : REKABENTUK LITAR PERANTI MASUKAN KELUARAN 8 BIT

LAMPIRAN 2 : KOD VHDL

LAMPIRAN 3 : ATURCARA PENGUJIAN

SENARAI GAMBARAJAH

Tajuk	Muka Surat
Rajah 1.1 : Carta Alir Perjalan Projek	4
Rajah 2.1 : Struktur FPGA	7
Rajah 2.2 : Aliran Rekabentuk Sintesis Bagi FPGA	9
Rajah 2.3 : Sistem CAD	12
Rajah 2.4 : Gambarajah Blok Bagi Peranti Masukan Keluaran 8 Bit.	16
Rajah 2.5 : Gambarajah Blok Menunjukkan Data Bus Dan Fungsi Kawalan Logik Bagi Fungsi Tulis /Baca.	18
Rajah 2.6 : Format Bagi Perkataan Kawalan Mod Masukan Dan Keluaran.	21
Rajah 2.7 : Mod 0 Masukan.	23
Rajah 2.8 : Mod 0 Keluaran	23
Rajah 3.1 : Tetingkap <i>Xilinx Foundation Project Manager</i> Masukan Skematik.	26
Rajah 3.2 : Tetingkap bagi <i>Xilinx Foundation Series Schematic Editor</i> .	26
Rajah 3.3 : Tetingkap <i>Logic Simulator</i>	27
Rajah 3.4 :Tetingkap <i>Implement Design</i>	28
Rajah 3.5 : Tetingkap <i>Flow Engine</i>	29
Rajah 3.6 : Tetingkap <i>Project Manager</i> Menunjukkan Status Implentasi Dan Laporan.	30
Rajah 3.7 : Tetingkap <i>PROM File Formatter</i>	31
Rajah 3.8 : Tetingkap <i>PROM Properties</i>	31
Rajah 3.9 : Makro Bagi Data.	32
Rajah 3.10: Makro Bagi RESET	35
Rajah 3.11: Makro Bagi EIGHT	37
Rajah 3.12: Makro Bagi FOUR	39

Rajah 3.13: Makro Bagi SELECTCHIP	41
Rajah 3.14: Makro Bagi AELECTCHIP4	42
Rajah 3.15: Rekabentuk Litar Dwi-arah Yang Mudah	43
Rajah 3.16: Simulasi Fungsi Bagi Litar Dwi-arah Mudah Apabila WWR Adalah logik 1	45
Rajah 3.17: Simulasi Fungsi Bagi Litar Dwi-arah Mudah Apabila WWR Adalah logik 0	46
Rajah 3.18: Aplikasi Litar Dwi-arah Dalam Litar Sebenar.	46
Rajah 3.19: Rekabentuk Daftar Pengawal Bagi Peranti Masukan Keluaran 8 bit	47
Rajah 3.20: Simulasi Masa Bagi Litar Daftar Pengawal	48
Rajah 3.21: Rekabentuk Bagi Litar Port C Bawah.	49
Rajah 3.22: Simulasi Bagi Rekabentuk Litar Port Sebagai Masukan.	50
Rajah 3.23: Semua Port Adalah Port Keluaran	51
Rajah 3.24: Semua Port Adalah Port Masukan	52
Rajah 4.1 : Mikropengawal 8051	54
Rajah 4.2 : Sambungan Kristal Luaran Pada 8051	55
Rajah 4.3 : UV- EPROM 2764	57
Rajah 4.4 : Penyahkod 74LS138	57
Rajah 4.5 : Selak D 74LS373	58
Rajah 4.6 : Cip Masukan Keluaran 8255	59
Rajah 4.7 : Pandangan Atas Papan Mikrokawalan 8051.	61
Rajah 4.8 : Rekabentuk Litar Mikrokawalan 8051	62
Rajah 5.1 : Gambarajah Blok Antaramuka Papan Mikropengawal Dengan Papan Xilinx	69
Rajah 5.2 : Tetingkap <i>Command Prompt</i>	71
Rajah 5.3 : Gambarajah Data Masukan Bagi Peranti Masukan Keluaran 8 bit	73
Rajah 5.4 : Tempoh Bagi Satu Bit Data Melalui <i>Logic Analyzer</i>	74

SENARAI JADUAL

Tajuk	Muka Surat
Jadual 2.1: Operasi Asas Peranti Masukan Keluaran 8 Bit.	19
Jadual 2.2: Konfigurasi Pin Masukan dan Keluaran Bagi Peranti Masukan dan Keluaran 8 bit	24
Jadual 3.1: Jadual Kebenaran Bagi Makro DATA	33
Jadual 3.2: Jadual Kebenaran Bagi Makro RESET	36
Jadual 3.3: Jadual Kebenaran Bagi Makro EIGHT	38
Jadual 3.4: Jadual Kebenaran Bagi Makro FOUR	40
Jadual 3.5: Jadual Kebenaran Bagi Makro SELECTCHIP	41
Jadual 3.6: Jadual Kebenaran Bagi Makro AELECTCHIP4	43
Jadual 4.1: Jadual Kebenaran Bagi Selak D 74LS373	64
Jadual 4.2: Jadual Fungsi bagi Penyahkod 74LS138	65
Jadual 4.3: Alamat bagi 8255	66
Jadual 4.4: Alamat bagi UV-EPROM	66

SENARAI PLAT

Plat 2.1	: Papan Xilinx 4010XLPC	14
Plat 4.1	: Teknik Pembalutan Wayar	60
Plat 5.1	: Papan Xilinx Diantaramuka Dengan Papan Mikropengawal 8051	69
Plat 5.2	: <i>Chip Max Device Programmer</i>	71

SENARAI SINGKATAN PERKATAAN

1. VLSI	<i>Very Large Scale Integrated Circuit</i>
2. FPGA	<i>Field Programmable Logic Array</i>
3. VHDL	<i>Very High Speed Integrated Circuit Hardware Description Language</i>
4. PLD	<i>Programmable Logic Arrays</i>
5. PLA	<i>Programmable Logic Array</i>
6. CPLD	<i>Complex Programmable Logic Device</i>
7. CLBs	<i>Configurable Logic Blocks</i>
8. IOBs	<i>Input Output Blocks</i>
9. PCB	<i>Printed Circuit Board</i>
10. CAD	<i>Computer Aided System</i>
11. CS	<i>Chip Select Input</i>
12. RD	<i>Read Input</i>
13. WR	<i>Write Input</i>
14. NGD	<i>Negative Generic Database</i>
15. IOPAD	<i>Input Output Pad</i>
16. BUFE	<i>Buffer Enable</i>
17. IBUF	<i>Input Buffer</i>
18. OBUFE	<i>Output Buffer Enable</i>
19. LD4	<i>Four Input Transparent Latch</i>
20. EA	<i>External access</i>
21. PSEN	<i>Programmed Store Enable</i>
22. OE	<i>Output Enable</i>
23. RD	<i>Read</i>
24. WR	<i>Write</i>
25. ALE	<i>Address Latch Enable</i>
26. LE	<i>Latch Enable</i>

BAB 1: PENGENALAN

1.1 PENDAHULUAN

Pada zaman ini, pasaran rekabentuk digital tidak lagi menggunakan logik diskret diatas papan reka. Rekabentuk digital masa kini adalah kompleks dan memerlukan kaedah rekabentuk yang maju dan pendekatan yang baru didalam proses pengujian dan penganalisan. Keperluan ini boleh dilaksanakan dengan menggunakan cip VLSI yang dikenali sebagai FPGA .

FPGA adalah sejenis cip logic yang boleh di aturcara . Kelebihan utama penggunaan FPGA didalam rekabentuk litar bersepadu adalah, ia dapat mengurangkan kos rekabentuk dan pengeluaran [7]. Ini adalah disebabkan produk dapat direkabentuk dan disahkan dengan pantas berbanding menggunakan tatasusunan get yang memakan masa berminggu-minggu. Pengubahsuaian boleh dilakukan dengan risiko yang lebih rendah dan masa yang lebih singkat berbanding pengubahsuaian yang ingin dilakukan pada tatasusunan get mengambil masa yang panjang.

Perubahan teknologi kepada dunia digital telah menambahkan jenis kegunaan teknologi digital. Kegunaan data masukan dan keluaran dalam bentuk digital banyak digunakan didalam aplikasi kawalan, pengawasan, ujikaji video, pengesahan cip, dan pengecaman paten. Seperti mana banyaknya aplikasi data masukan dan keluaran didalam bentuk digital begitu juga banyaknya jenis peranti perolehan data masukan dan keluaran yang boleh digunakan .

Peranti masukan keluaran lapan bit adalah, sejenis peranti yang berkebolehan untuk menambahkan atau mengembangkan bilangan port masukan dan keluaran bagi sesuatu mikropemproses [1]. Peranti ini amat berguna untuk menambahkan keupayaan sesuatu mikropemproses, iaitu kebolehannya tidak terhad kepada port-port yang telah sedia ada pada cip mikropemproses tersebut.

Dengan mengantaramuka cip mikropemproses dengan peranti masukan dan keluaran 8 bit bilangan port masukan dan keluaran boleh ditambah, ini bermakna bilangan data yang boleh dibawa masuk atau dibawa keluar bagi sesuatu cip mikropemproses bertambah. Dengan ini kegunaan sesuatu mikropemproses boleh dikembangkan terutama kepada sesuatu sistem yang memerlukan bacaan dan keluaran data yang banyak .

1.2 OBJEKTIF

Objektif utama bagi penyelidikan ini adalah untuk menghasilkan satu contoh dasar peranti masukan dan keluaran 8 bit yang boleh diantaramuka dengan mikropengawal 8051. Peranti masukan dan keluaran yang direkabentuk boleh meningkatkan keupayaan mikropengawal dengan menambahkan bilangan port masukan dan keluaran. Ini bermakna bilangan data yang boleh di hantar dan diterima oleh mikropengawal bertambah. Memahami dan menulis kod VHDL untuk mengistiharkan kelakuan papan xilinx. Mengenali fungsi-fungsi FPGA dan kelebihanannya didalam merekabentuk litar bersepadu. Mempelajari cara untuk mengantaramuka litar mikropengawal 8051 dengan peranti masukan dan keluaran 8 bit.

1.3 PERJALANAN PROJEK

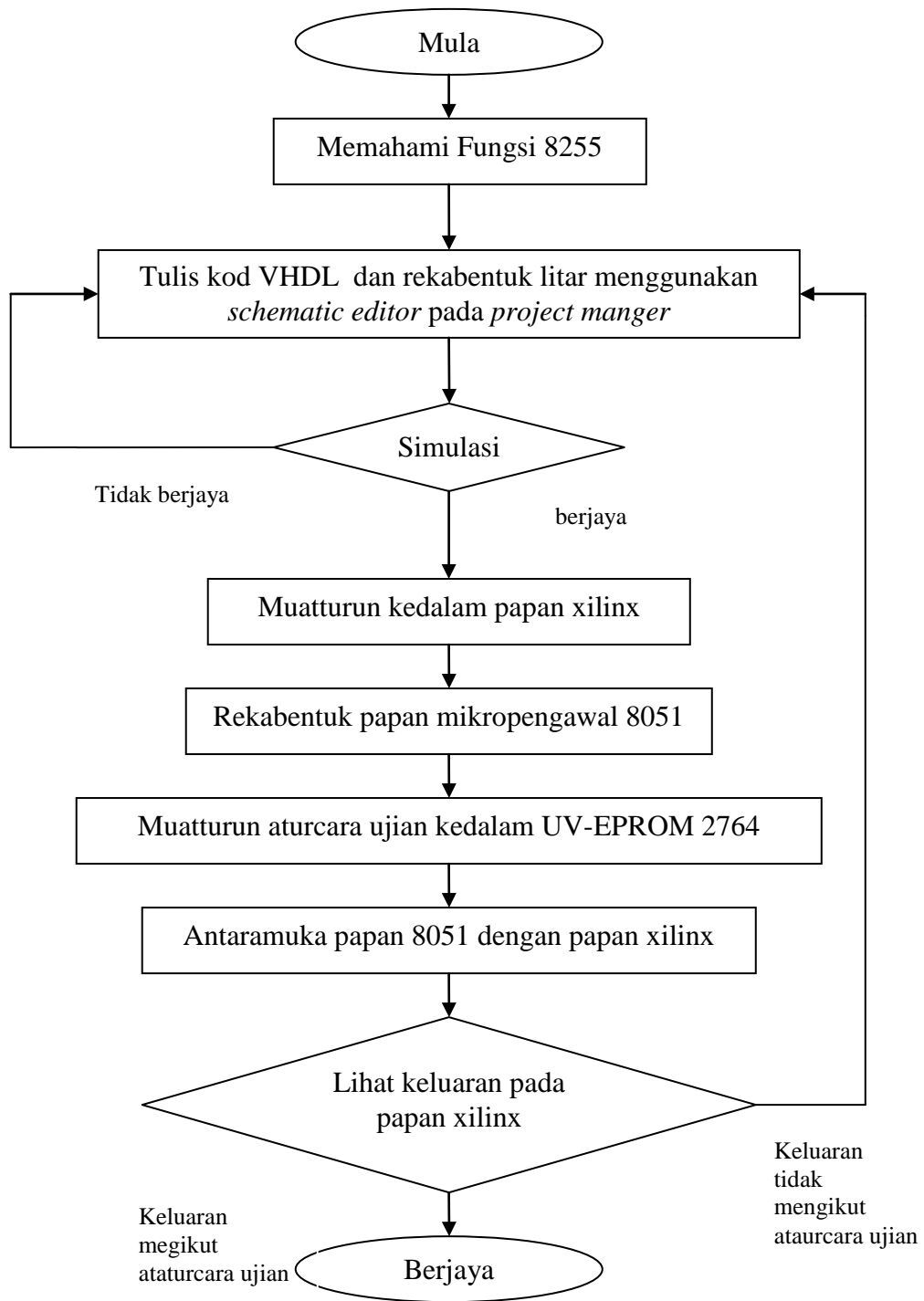
Langkah pertama di dalam penyelidikan ini adalah memahami fungsi yang boleh dijalankan oleh mod 0, cip masukan dan keluaran 8255. Dengan mempelajari operasi yang boleh dilaksanakan oleh cip 8255 didalam mod 0, membolehkan penulisan kod VHDL yang sesuai untuk melakukan melakukan fungsi yang sama dengan mod 0 bagi cip 8255.

Langkah seterusnya adalah menggunakan *project manager* pada perisian *Xilinx foundation series 2.1i* untuk menghasilkan rekabentuk litar yang sesuai dan boleh berfungsi dengan baik. Rekabentuk litar yang telah siap dibina, disimulasi dengan mengambil kira faktor fungsi dan faktor masa. Ini dilakukan dengan menggunakan simulasi fungsi dan simulasi masa yang terdapat pada *schematic Editor*.

Setelah kedua-dua keputusan simulasi ini mengikut kritirea yang dikehendaki, rekabentuk boleh melalui proses pelaksanaan dan kemudiannya diikuti dengan proses pengesahan untuk mengesahkan rekabentuk litar.

Setelah semua proses berjaya, program bagi rekabentuk litar ini di muatturun ke dalam EPROM untuk dibaca oleh papan xilinx XC4010XL.

Litar bagi sistem mikropengawal 8051 dibina diatas papan uji. Litar bagi sistem mikropengawal 8051 akan digunakan sebagai papan uji untuk menguji sama ada litar bagi peranti masukan dan keluaran 8 bit yang telah diap dibina boleh berfungsi secara realiti. Aturcara pengujian dibina . Aturcara ini akan membolehkan peranti masukan dan keluaran 8 bit berfungsi dengan menerima atau mengeluarkan data apabila diantaramuka dengan mikropengawal 8051.



Rajah 1.1: Carta Alir Perjalan Projek

1.4 RINGKASAN BAB DI DALAM LAPORAN

- BAB 1: Pengenalan

Bab ini menceritakan secara keseluruhan bagaimana projek ini telah dijalankan dan menerangkan perjalanan keseluruhan projek dari mula projek ini dijalankan sehingga ia berakhir. Objektif yang perlu dicapai juga diterangkan di dalam bab ini.

- BAB 2: Kajian ilmiah

Bab ini menerangkan kaedah yang digunakan didalam rekabentuk litar serta maklumat mengenai pekakasan yang dipilih dan digunakan didalam projek ini.

- BAB 3: Rekabentuk peranti masukan dan keluaran lapan bit

Bab ini menerangkan bagaimana rekabentuk litar peranti masukan dan keluaran dibina menggunakan *xilinx foundation series 2.1i*.

- BAB 4: Pekakasan untuk pengujian

Bab ini menerangkan rekabentuk dan binaan litar bagi papan mikropengawal 8051 yang dibina untuk tujuan pengujian pekakasan.

- BAB 5: Pengujian litar

Bab ini menunjukkan cara yang digunakan didalam pengujian litar peranti masukan keluaran 8 bit dan cara mengantaramuka papan xilinx dengan papan mikropengawal

- BAB 6: Penutup

Bab terakhir dalam laporan ini mengandungi perbincangan bagi projek, langkah - langkah untuk memperbaiki projek, dan kesimpulan keseluruhan bagi projek yang telah dijalankan.

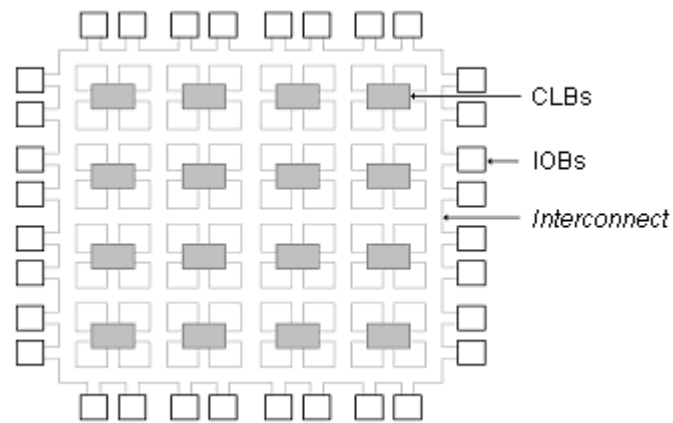
BAB 2: KAJIAN ILMIAH

2.1 FPGA

FPGA adalah sejenis get logik yang boleh diaturcara. FPGA adalah sama seperti PLD, tetapi PLD secara umumnya terhad kepada ratusan get manakala FPGA pula mampu menyokong ribuan get [4]. Penggunaan FPGA amat popular di dalam penghasilan contoh dasar bagi litar bersepadu, ini kerana dengan menggunakan FPGA pereka boleh melakukan rekabentuk litar, mengimplimentasi dan melakukan pengujian dengan cepat [7]. Selain itu segala perubahan yang hendak dilakukan terhadap litar boleh dilakukan dengan serta merta, tanpa mengambil masa yang panjang.

FPGA telah dibangunkan daripada PLA, iaitu sebuah tatasusunan logic bolehaturcara mudah. Teknologi ini terus berkembang kepada CPLD dan akhirnya terhasil rekabentuk FPGA [4].

FPGA terdiri daripada 3 elemen konfigurasi utama iaitu CLBs, IOBs dan *Interconnects* [2]. CLBs menyediakan elemen fungsi untuk membina logik pengguna. IOBs menyediakan antaramuka diantara pin-pin dan talian isyarat dalaman. *Interconnect* pula bertujuan untuk menyediakan laluan untuk menyambungkan masukan dan keluaran kepada CLBs dan IOBs kepada rangkaian yang bersesuaian.



Rajah 2.1: Struktur FPGA.

Aliran rekabentuk menggunakan FPGA adalah suatu aktiviti yang berjujukan. Ia menggunakan pelbagai peralatan rekabentuk, bermula daripada spesifikasi abstrak sesuatu rekabentuk dan berakhir dengan FPGA yang dikonfigurasi. Berikut adalah aktiviti didalam rekabentuk menggunakan [2].

:

Model VHDL. Langkah pertama adalah menghasilkan model VHDL. Model ini boleh dihasilkan dengan menulis terus kod VHDL dengan menggunakan *text editor*. Secara alternatif keadaan mesin boleh dihasilkan dalam bentuk grafik dan seterusnya diterjemahkan kepada kod VHDL. Model VHDL juga boleh dihasilkan dengan menggunakan *schematic capture* .

Simulasi keadaan. Model VHDL yang dihasilkan boleh di simulasi sebelum ia di digunakan kepada FPGA. Tujuan simulasi adalah untuk memastikan fungsi bagi Model VHDL adalah betul.

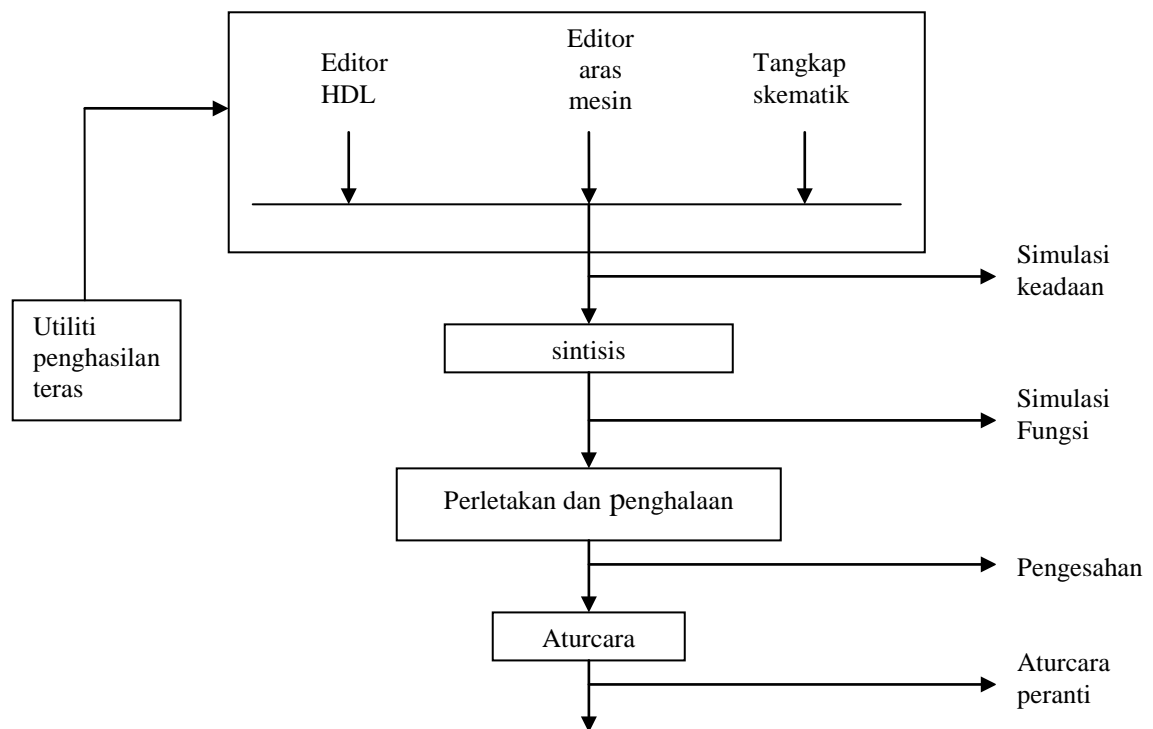
Sistesis. Rekabentuk yang telah dianalisa, disintesis kepada *library* dalam bentuk komponen primitive seperti flip-flop, selak dan get.

Simulasi fungsi. Rekabentuk yang telah disintesis boleh disimulasi untuk menentukan anggaran prestasi permulaan.

Perletakan dan penghalaan. Rekabentuk yang telah siap disimulasi dipetakan pada cip. Rekabentuk akan dipetakan pada flip-flop, get atau selak pada cip FPGA. Setelah dipetakan setiap komponen primitif ini akan diletakkan pada CLB yang tertentu. Komponen primitif yang telah diletakkan perlu di sambung antara satu sama lain melalui proses penghalaan. Sambungan ini dibuat melalui suis matriks. Sebaik sahaja rekabentuk telah melalui proses perletakan dan penghalaan maklumat yang tepat mengenai lengah masa antara komponen boleh diperolehi. Proses ini juga dinamakan sebagai pengesahan. Selepas itu bit konfigurasi untuk pelaksanaan, perletakan dan penghalaan dihasilkan.

Aturcara. Bit konfigurasi di masukkan kedalam cip FPGA. Sekarang cip FPGA ini telah dikonfigurasi mengikut rekabentuk yang telah dihasilkan.

Rajah 2.2 menunjukkan perjalan bagi rekabentuk menggunakan FPGA [2]



Rajah 2.2: Aliran Rekabentuk Sintesis Bagi FPGA

Penggunaan FPGA didalam rekabentuk litar bersepadu mempunyai pelbagai kelebihan dari pelbagai sudut. Ini merupakan faktor utama mengapa penggunaan FPGA amat disukai oleh kebanyakan pereka litar bersepadu. Diantara kelebihan tersebut ialah:

1. Rekabentuk litar yang kompleks dapat dilaksanakan dengan lebih pantas dan berkesan.
2. Segala perubahan pada rekabentuk litar dapat dilakukan dengan mudah dan pantas.
3. Kos dan masa bagi rekabentuk suatu litar bersepadu dapat dikurangkan.
4. Dengan menggunakan FPGA saiz PCB dapat dikurangkan kerana satu cip tunggal boleh di aturcara untuk melakukan pelbagai fungsi.
5. Risiko rekabentuk dapat dikurangkan kerana segala perubahan pada litar tidak melibatkan penukaran komponen secara fizikal.

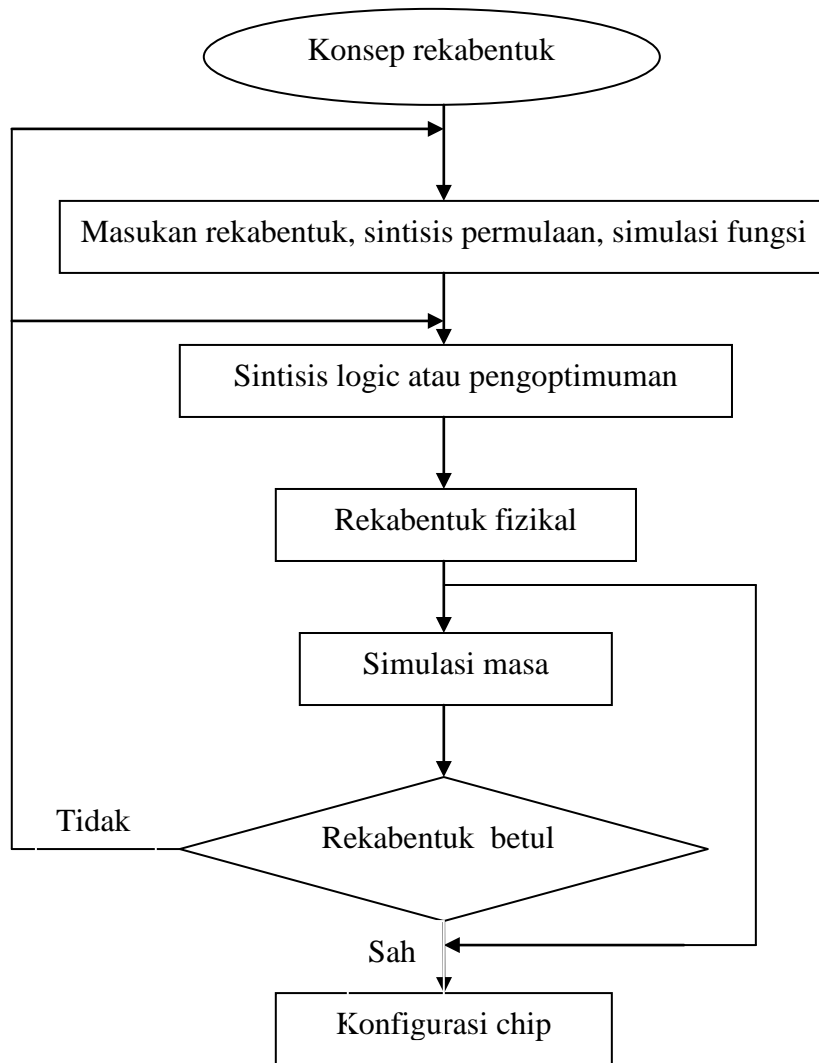
2.2 VHDL

VHDL pada mulanya telah dibangunkan oleh jabatan keselamatan dengan tujuan untuk menghasilkan litar bersepadu generasi baru yang mempunyai kelajuan yang tinggi [2].

HDL adalah sejenis bahasa yang digunakan untuk mengawal kelakuan bagi FPGA. Bahasa ini apabila disusun akan menghasilkan satu senarai net yang boleh dipetakan di dalam seni bina FPGA.

Di dalam kajian ini, VHDL telah digunakan untuk mengawal kelakuan papan FPGA xilinx. FPGA adalah sangat penting di dalam menghasilkan dan menguji rekabentuk litar dengan cepat, manakala VHDL pula amat berguna dalam menentukan kelakuan bagi sesuatu FPGA.

VHDL pada asalnya digunakan untuk memenuhi dua tujuan utama, iaitu sebagai piawai bagi IEEE, dimana VHDL memberikan cara untuk mendokumenkan rekabentuk litar yang telah dihasilkan oleh pereka-peraka litar bersepadu. Tujuan kedua pula adalah untuk menghasilkan model untuk melihat kelakuan bagi litar digital. Pada masa kini VHDL telah menjadi sangat popular sebagai masukan rekabentuk dalam system CAD .Rajah 2.3 menunjukkan sistem CAD ringkas.



Rajah 2.3: Sistem CAD

Penggunaan VHDL mempunyai beberapa kelebihan yang tertentu. Di bawah adalah senarai beberapa kelebihan yang dikenalpasti:

1. Informasi mengenai rekabentuk digambarkan didalam bentuk bebas teknologi. Ini bermaksud VHDL dapat digunakan dengan teknologi febrikasi yang berbeza.
2. VHDL membenarkan dokumentasi pada diskripsi rekabentuk. Adalah penting bagi dokumentasi dilakukan pada kitar rekabentuk berbanding selepas kitar rekabentuk. Ini kerana tidak mudah bagi penangkapan skemetik untuk memasukkan pendokumenan ke dalam diskripsi.
3. VHDL adalah bahasa berasaskan teks, dimana informasi rekabentuk tidak bergantung kepada sebarang peralatan grafik atau platform. Rekabentuk mudah di ubah diantara sistem yang berbeza.
4. VHDL membenarkan diskripsi generik untuk komponen.

2.3 XILINX

Didalam kajian ini, xilinx 4010XLPC dibawah keluarga XC4000XL telah digunakan untuk membangunkan peranti masukan keluaran 8 bit. XC4000XL adalah sejenis FPGA yang mempunyai kapasiti dan prestasi yang tinggi. Xilinx 4010XLPC terdiri daripada 950 logic sel, 10,000 get logic, 20 x 20 matrik CLB, 400 CLB, 1,120 flip-flops 160 port masukan dan keluaran [9]. Rajah 2.4 menunjukkan gambar papan xilinx yang digunakan dalam projek ini.



Plat 2.1: Papan Xilinx 4010XLPC

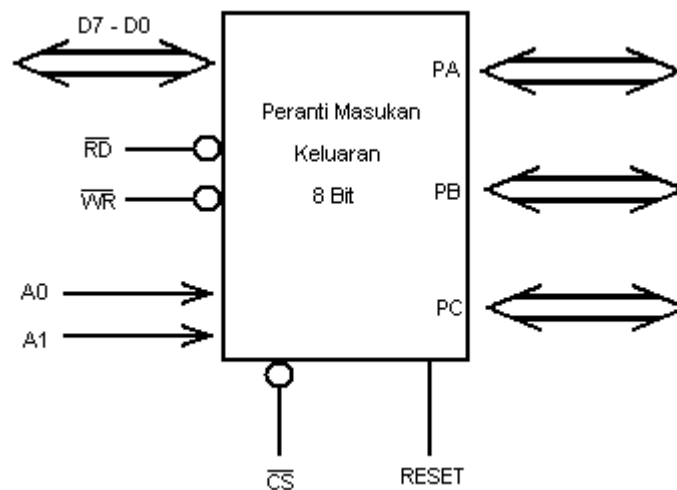
XC4000XL adalah terdiri daripada binaan CLBs yang boleh diaturcara, tersaling hubung melalui hiraki sumber laluan yang pelbagai, dan IOBs. XC400XL ini terlanggan dengan memasukkan konfigurasi data kepada sel memori dalaman. Ia boleh samada membaca konfigurasi data dari PROM luaran atau konfigurasi data boleh ditulis padanya melalui peranti luaran [9].

XC4000XL boleh di aturcara berkali-kali tanpa had. Dengan ini ia sentiasa boleh diubahsuai untuk memperbaiki sesuatu rekabentuk. Oleh itu ia amat sesuai digunakan dalam rekabentuk dimana pekakasan boleh diubah secara dinamik. Ini bermakna kitar rekabentuk dan pembangunan projek dapat dipendekkan dan sangat mejimatkan dari segi kos rekabentuk.

XC4000XL disokong oleh perisian *Xilinx foundation series 2.1i*. Ia merupakan perisian termaju yang sangat berkuasa dan kompleks. Ia digunakan dalam setiap aspek rekabentuk dari skematik atau kelakuan masukan, plan lantai, simulasi, peletakan blok secara automatic dan penghalaan kepada *interconnect*, sehingga kepada muatturun, dan bacaan balik kepada konfigurasi aliran bit.

2.4 PERANTI MASUKAN DAN KELUARAN 8 BIT

Peranti masukan keluaran 8 yang akan dibangunkan adalah berdasarkan cip masukan keluaran 8255. Peranti masukan keluaran adalah sejenis peranti 38 pin. Rajah 2.5 menunjukkan gambarajah blok menggambarkan keadaan pin pada peranti masukan dan keluaran. Ia terdiri daripada enam pin masukan satu arah dan tiga puluh dua pin dwi-arah masukan dan keluaran. Peranti ini mempunyai tiga port yang berasingan. Setiap port terdiri daripada 8 bit diberi nama port A, B dan C. Setiap port boleh diaturcara secara individu untuk menjadi port masukan atau keluaran.

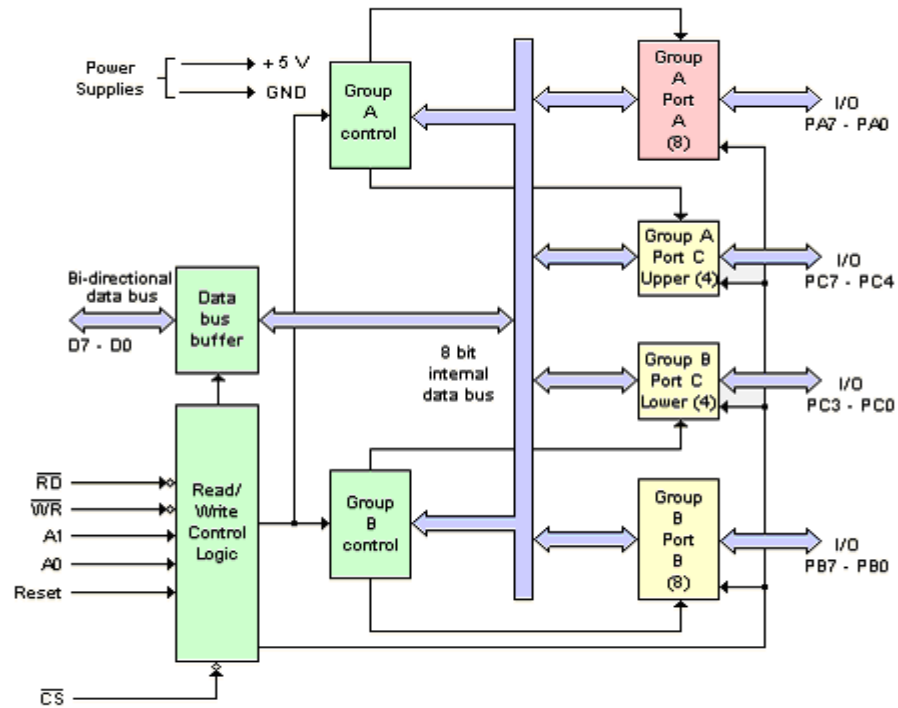


Rajah 2.4: Gambarajah Blok Bagi Peranti Masukan Keluaran 8 Bit.

Fungsi bagi setiap pin adalah seperti berikut:

- ***D0 – D7***. Ini adalah pin aliran masukan dan keluaran data bagi peranti ini. Segala informasi, baca atau tulis kepada peranti 8 bit masukan keluaran ini diperolehi melalui pin ini.
- ***CS*** . Pin ini akan membolehkan peranti 8 bit masukan dan keluaran berfungsi. Jika masukan bagi pin ini adalah logik “0” maka cip mikropengawal boleh melakukan fungsi tulis dan baca terhadapnya.
- ***RD*** . Apabila masukan bagi pin ini adalah logik “0” dan masukan bagi pin ***CS*** adalah logik “0”, ini akan membolehkan peranti masukan dan keluaran 8 bit menghantar data kepada cip mikropengawal.
- ***WR*** . Apabila masukan bagi pin ini adalah logik “0” dan masukan bagi pin ***CS*** adalah logik “0”. Data akan ditulis kepada peranti masukan dan keluaran 8 bit.
- ***A0 – A1***. Kombinasi logik bagi kedua –dua masukan ini akan menentukan port yang akan dipilih (port A,B atau C).
- ***RESET***. Ia merupakan masukan aktif tinggi. Apabila pin ini diberi logik “1” semua port akan menjadi port masukan dan daftar kawalan akan dikosongkan.
- ***PA0 - PA7, PB0 - PB7, PC0 - PC7***. Pin ini digunakan sebagai port masukan dan keluaran bagi isyarat. Ia boleh disambungkan kepada mana-mana peranti perisian

Rajah 2.6 dibawah menunjukkan gambarajah blok bagaimana peranti masukan dan keluaran 8 bit beroperasi dan bagaimana data masukan mengawal atau menentukan port yang akan diaktifkan untuk tujuan masukan atau keluaran data.



Rajah 2.5: Gambarajah Blok Menunjukkan Data Bus Dan Fungsi Kawalan Logik Bagi Fungsi Tulis /Baca.

Jadual 2.1 menunjukkan bagaimana Data digital yang dimasukkan, digunakan bagi menentukan bagaimana peranti masukan keluaran memilih operasi samada tulis atau baca dari cip mikropengawal. Jadual 2.1 juga menunjukkan bagaimana kombinasi logik masukan menentukan port yang akan digunakan pada masa tertentu.

Jadual 2.1: Operasi Asas Peranti Masukan Keluaran 8 Bit.

		—	—	—	OPERASI MASUKAN (<i>READ</i>)
A ₁	A ₀	RD	WR	CS	
0	0	0	1	0	PORT A – DATA BUS
0	1	0	1	0	PORT B – DATA BUS
1	0	0	1	0	PORT C – DATA BUS
		—	—	—	OPERASI KELUARAN (<i>WRITE</i>)
A ₁	A ₀	RD	WR	CS	
0	0	1	0	0	BUS DATA – PORT A
0	1	1	0	0	BUS DATA – PORT B
1	0	1	0	0	BUS DATA – PORT C
1	1	1	0	0	BUS DATA – CONTROL
		—	—	—	OPERASI LUMPUH
A ₁	A ₀	RD	WR	CS	
X	X	X	X	1	PERANTI TIDAK DIPILIH
1	1	0	1	0	KONDISI TIDAK DIBENARKAN
X	X	1	1	0	BUS DATA – 3 STATE

Seperti yang telah diberitahu sebelum ini, rekabentuk peranti masukan keluaran lapar bit adalah berdasarkan cip masukan keluaran 8255. Terdapat tiga mod operasi asas pada cip ini iaitu:

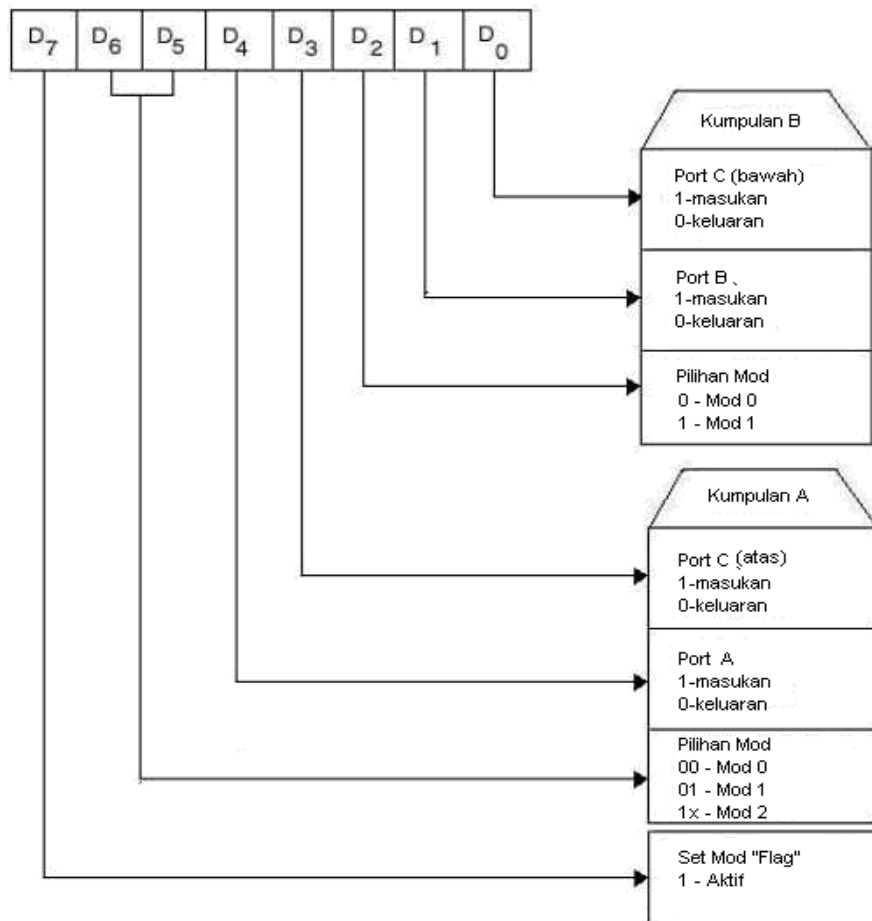
1. **Mod 0** – Masukan dan keluaran asas
2. **Mod 1** – Masukan dan keluaran dengan strob
3. **Mod 2** – Bas dwi-arah.

Mod 0. Fungsi konfigurasi mod ini adalah untuk memberikan operasi masukan keluaran mudah untuk setiap tiga port yang ada pada 8255 (port A, port B, dan port C). Operasi berjabat tangan tidak diperlukan, dimana data secara mudah di tulis atau di baca daripada port yang tertentu [1].

Mod 1. Fungsi konfigurasi mod ini adalah untuk membolehkan perpindahan data masukan dan keluaran kepada atau daripada port yang tertentu dengan fungsi strob atau isyarat berjabat tangan. Dalam mod ini port A dan port B menggunakan talian pada port C untuk menghasilkan atau menerima isyarat berjabat tangan [1].

Mod 2. Fungsi konfigurasi mod ini membolehkan komunikasi dengan peranti persisian pada satu talian bus 8 bit untuk menghantar dan menerima data (bus masukan dan keluaran dwi-arah). Isyarat berjabat tangan diberikan untuk mengekalkan aliran data pada bus [1].

Rajah 2.6 merupakan perkataan kawalan bagi peranti masukan dan keluaran 8 bit. Perkataan kawalan digunakan untuk menentukan mod bagi peranti iaitu sama ada mod 0,1 atau 2. Ia juga digunakan bagi menentukan kelakuan bagi setiap port iaitu sama ada port adalah masukan atau keluaran. Aturcara bagi mikropengawal 8051 yang telah diantaramuka dengan peranti masukan keluaran ini mestilah berdasarkan perkataan kawalan pada rajah 2.6 untuk menentukan operasi bagi peranti ini.



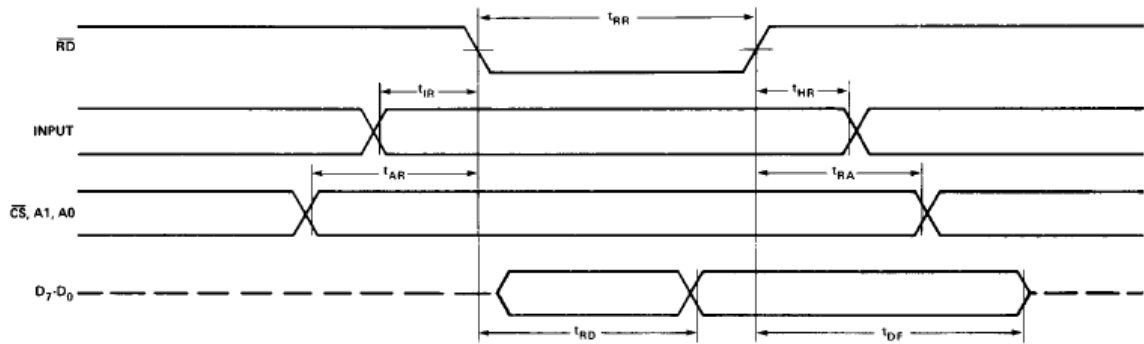
RAJAH 2.6: Format Bagi Perkataan Kawalan Mod Masukan Dan Keluaran.

2.5 MOD 0 BAGI PERANTI MASUKAN KELUARAN 8 BIT

Seperti yang telah diberitahu sebelum ini peranti masukan keluaran 8255 terdiri daripada tiga mod operasi iaitu mod 1, mod 2, dan mod 3. Di dalam kajian ini fokus utama adalah mod 0 bagi cip 8255. Xilinx FPGA akan dikonfigurasi untuk melakukan fungsi yang terdapat dalam operasi mod 0. Oleh itu kelakuan bagi mod 0 telah dikaji dengan teliti.

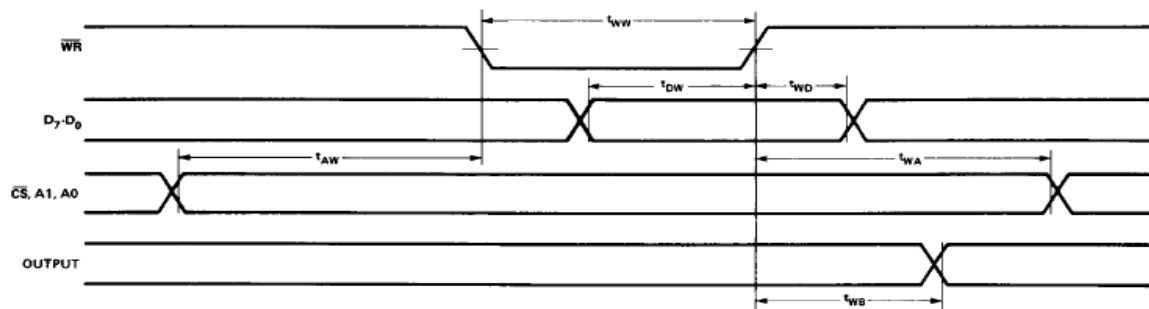
Di dalam operasi mod 0 , terdapat 2 port 8 bit dan 2 port 4 bit. Mana- mana port ini boleh digunakan sebagai masukan atau keluaran. Keluaran bagi mod ini diselak dan masukan bagi mod ini tidak diselak. Terdapat 16 konfigurasi masukan dan keluaran di dalam mod ini.

Rajah 2.7 menunjukkan keadaan isyarat pada masa pin digunakan sebagai masukan. Dapat dilihat isyarat RD dan CS adalah rendah. Apabila isyarat bagi CS adalah rendah peranti ini akan diaktifkan. Apabila isyarat masukan bagi pin RD adalah rendah peranti akan berfungsi sebagai peranti masukan. Port yang akan dipilih sebagai port masukan bergantung kepada pin A0 dan A1. Pin D0-D7 akan berfungsi sebagai pin keluaran untuk menyuap data pada cip mikropengawal.



Rajah 2.7: Mod 0 Masukan.

Rajah 2.8 menunjukkan keadaan isyarat pada masa pin digunakan sebagai keluaran. Dapat dilihat isyarat WR dan CS adalah rendah. Apabila isyarat bagi CS adalah rendah peranti ini akan diaktifkan. Apabila isyarat masukan bagi pin WR adalah rendah peranti akan berfungsi sebagai peranti keluaran. Port yang akan dipilih sebagai port keluaran bergantung kepada pin A0 dan A1. Pin D7-D0 akan berfungsi sebagai pin masukan untuk mengambil data dari cip mikropengawal



Rajah 2.8: Mod 0 Keluaran

Jadual 2.2: Konfigurasi Pin Masukan dan Keluaran Bagi Peranti Masukan dan Keluaran 8 bit

A		B		GROUP A			GROUP B	
D4	D3	D1	D0	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	KELUARAN	KELUARAN	0	KELUARAN	KELUARAN
0	0	0	1	KELUARAN	KELUARAN	1	KELUARAN	MASUKAN
0	0	1	0	KELUARAN	KELUARAN	2	MASUKAN	KELUARAN
0	0	1	1	KELUARAN	KELUARAN	3	MASUKAN	MASUKAN
0	1	0	0	KELUARAN	MASUKAN	4	KELUARAN	KELUARAN
0	1	0	1	KELUARAN	MASUKAN	5	KELUARAN	MASUKAN
0	1	1	0	KELUARAN	MASUKAN	6	MASUKAN	KELUARAN
0	1	1	1	KELUARAN	MASUKAN	7	MASUKAN	MASUKAN
1	0	0	0	MASUKAN	KELUARAN	8	KELUARAN	KELUARAN
1	0	0	1	MASUKAN	KELUARAN	9	KELUARAN	MASUKAN
1	0	1	0	MASUKAN	KELUARAN	10	MASUKAN	KELUARAN
1	0	1	1	MASUKAN	KELUARAN	11	MASUKAN	MASUKAN
1	1	0	0	MASUKAN	MASUKAN	12	KELUARAN	KELUARAN
1	1	0	1	MASUKAN	MASUKAN	13	KELUARAN	MASUKAN
1	1	1	0	MASUKAN	MASUKAN	14	MASUKAN	KELUARAN
1	1	1	1	MASUKAN	MASUKAN	15	MASUKAN	MASUKAN