

---

UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Pertama  
Sidang Akademik 2004/2005

Oktober 2004

**ZCT 206/3 - Elektronik II**

Masa : 3 jam

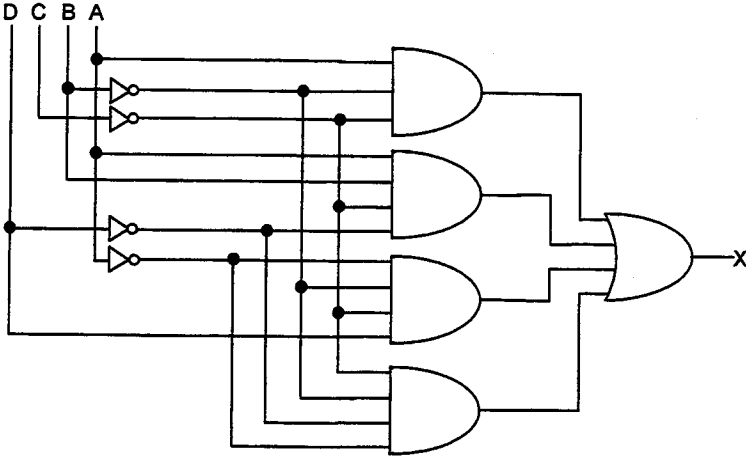
---

Sila pastikan bahawa kertas peperiksaan ini mengandungi **LAPAN** muka surat yang bercetak sebelum anda memulakan peperiksaan ini.

Jawab kesemua **LIMA** soalan. Semua jawapan mestilah ditulis di ruang yang disediakan. Setiap soalan memberikan markah yang sama iaitu 100 markah. Kesemuanya wajib dijawab dalam Bahasa Malaysia.

No. Angkagiliran:	No. Tempat Duduk:
-------------------	-------------------

- 1. Berdasarkan litar logik dalam Rajah 1 tuliskan ungkapan Boole, X, ringkaskan ungkapan tersebut menggunakan algabar Boole, peta Karnaugh, dan lukiskan litarnya yang termudah dengan menggunakan bilangan get yang minimum.



Rajah 1. Litar Logik

<p><i>Ungkapan Boole</i> X=</p> <p><i>Sebutan termudah</i> X=</p>
---------------------------------------------------------------------------

(30/100)

...3/-

No. Angkagiliran:	No. Tempat Duduk:
-------------------	-------------------

CD AB	00	01	11	10
00				
01				
10				
11				

X=

(40/100)

*Litar logik termudah*

(30/100)

2. Selesaikan permasalahan berikut:-

(a) Berikan pelengkap-1 dan pelengkap-2 nombor 11010101

(20/100)

Pelengkap-1=

Pelengkap-2=

(b) Tukarkan nombor perpuluhan, 10.902800 kepada nombor perduaan sehingga enam tempat perpuluhan

*Nombor perduaan =*

(40/100)

No. Angkagiliran:

No. Tempat Duduk:

- (c) Tukarkan nombor perenambelasan, FAB kepada nombor perpuluhan dan perdua

*Nombor perpuluhan =*

*Nombor perdua =*

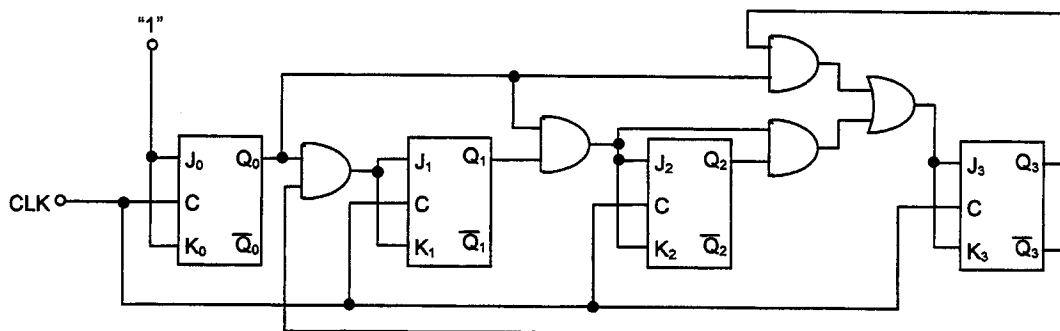
(40/100)

3. Rajah 2 menunjukkan suatu pembilang yang dibina daripada flip-flop JK dan get-get DAN dan ATAU. Berdasarkan rajah tersebut dan dengan mengambil keadaan awal pembilang ialah 0000 dan flip-flop adalah picuan pinggir positif, lengkapkan gambarajah keadaan transisi dan gambarajah pemasa pembilang tersebut. Nyatakan bilangan bit pembilang serta nyatakan nama khusus flip-flop JK yang disambung sedemikian rupa.

*Bilangan bit pembilang:*

*Nama khusus flip-flop JK yang disambung sedemikian rupa:*

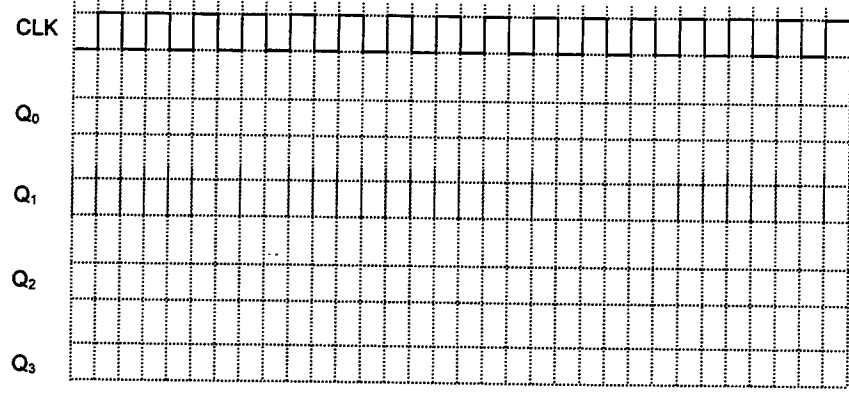
(20/100)



Rajah 2 Pembilang daripada flip-flop JK

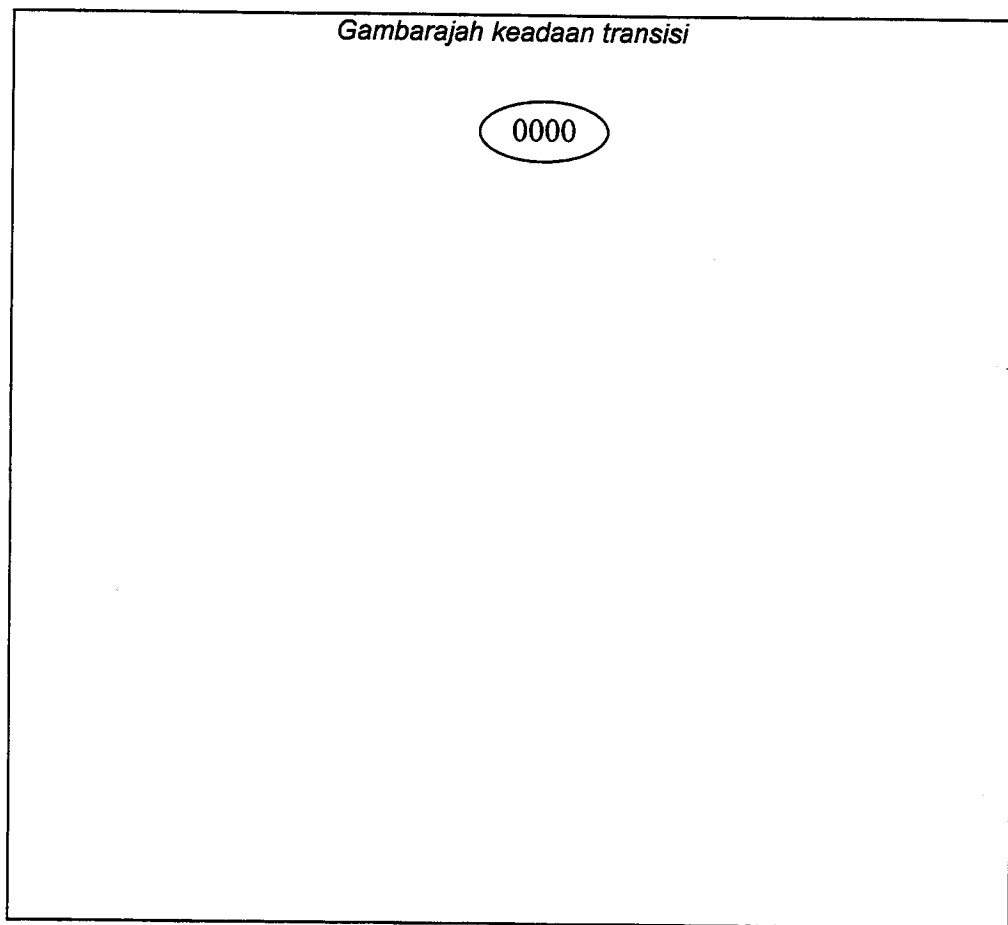
...5/-

No. Angkagiliran:	No. Tempat Duduk:
-------------------	-------------------



Gambarajah Pemasa

(40/100)

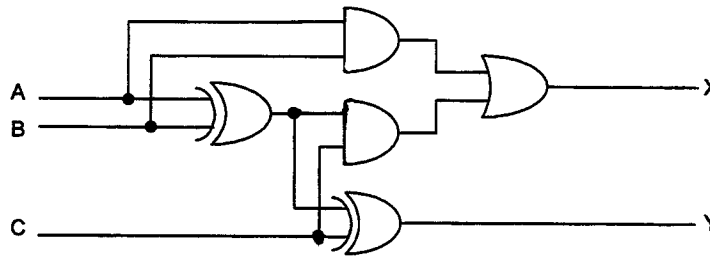


(40/100)

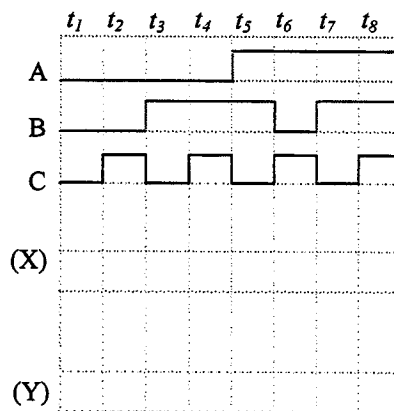
...6/-

No. Angkagiliran:	No. Tempat Duduk:
-------------------	-------------------

4. Rajah 3 merupakan suatu litar logik yang dibina daripada get DAN, ATAU, dan EKSKLUSIF ATAU. Isyarat A, B, dan C diinputkan kepada litar logik tersebut.
- Lakarkan bentuk output isyarat X dan Y bagi litar tersebut
  - Nyatakan nama khusus bagi litar logik tersebut.
  - Suatu flip-flop perlu disambung seperti dalam Rajah 4 supaya output X menjadi input C pada operasi berikutnya. Namakan flip-flop yang paling sesuai untuk melaksanakan operasi tersebut dan lakarkan output X dan Y.



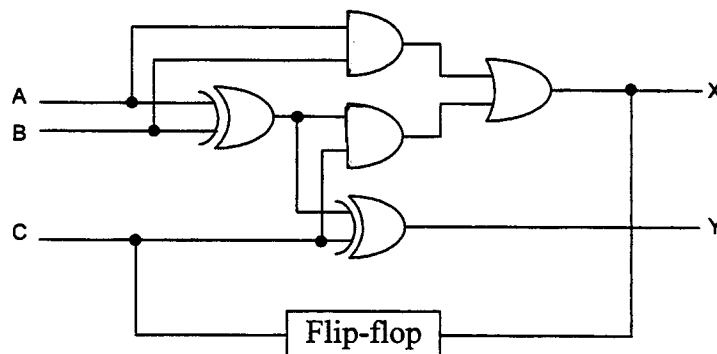
Rajah 3



(40/100)

<i>Nama litar Logik</i>	<i>Nama flip-flop</i>
-------------------------	-----------------------

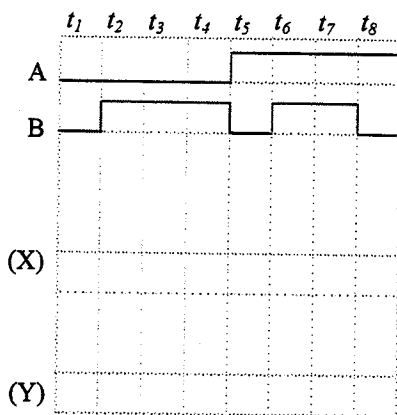
(20/100)



Rajah 4  
301

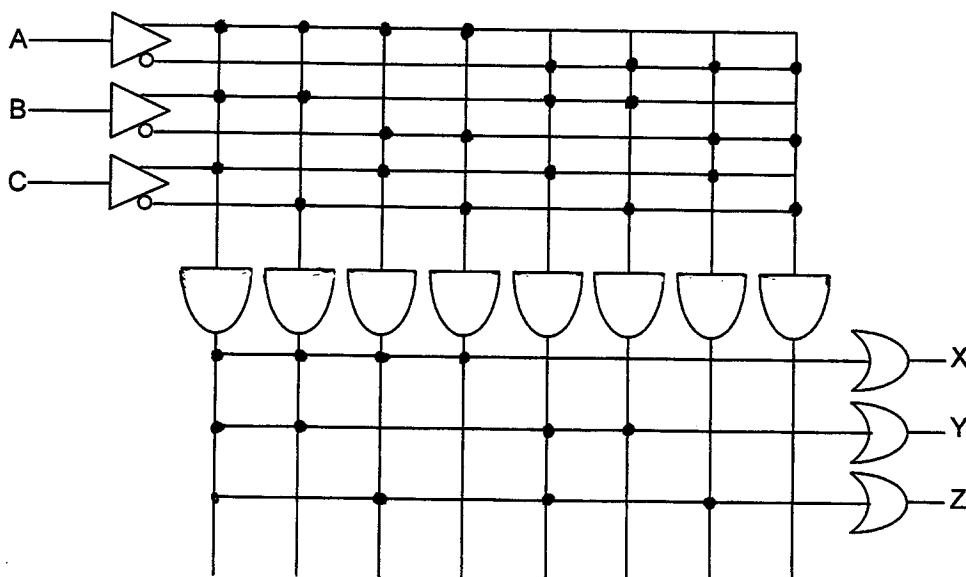
...7/-

No. Angkagiliran:	No. Tempat Duduk:
-------------------	-------------------



(40/100)

5. (a) Rajah 5 menunjukkan suatu litar tatasusunan logik boleh aturcara (PLA) yang sudah dituliskan aturcara ke atasnya. Dapatkan fungsi logik X, Y, dan Z.



Rajah 5

X=
Y=
Z=

(30/100)

- (b) Rajah 6 merupakan suatu pembilang modulo-16 dengan pembawa sinkronus selari. Input reset R, untuk setiap flip-flop berfungsi seperti dalam Jadual 1. Ubahsuaikan pembilang tersebut dengan menyambungkan input R dan get-get yang bersesuaian supaya ia menjadi pembilang modulo-14. Terangkan maksud pembawa sinkronus selari.

...8/

