

UNIVERSITI SAINS MALAYSIA

**Peperiksaan Semester Kedua
Sidang Akademik 1996/1997**

April 1997

IQK 207 - SISTEM DIGIT

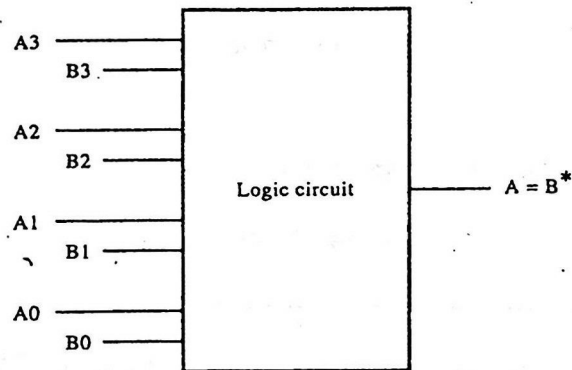
Masa : [3 jam]

Sila pastikan bahawa kertas soalan ini mengandungi LAPAN (8) mukasurat (termasuk dua salinan Lampiran) yang bercetak sebelum anda memulakan peperiksaan ini.

Jawab LIMA (5) soalan. Semua soalan mesti dijawab dalam Bahasa Malaysia.

Semua kertas Data (*Data Sheet*) disediakan di dalam Lampiran.

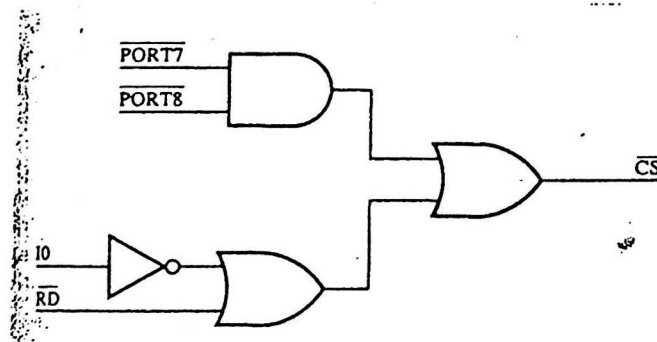
1. (a) Rekabentuk sebuah litar yang mengeluarkan output logik HIGH apabila 2 nombor binari 4-bit adalah sama. Rajah 1 menunjukkan gambarajah blok litar logik ini.



Rajah 1

(50 markah)

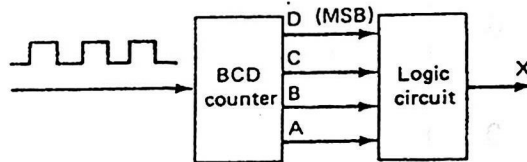
- (b) Litar logik dalam Rajah 2 mempunyai beberapa sambungan yang disalahjodohkan. Lukiskan semula litar ini untuk mengelakkan keadaan ini.



Rajah 2

(50 markah)

2. Rajah 3 menunjukkan sebuah pembilang BCD yang mengeluarkan 4-bit output untuk mewakili jumlah denyut yang diberi pada inputnya. Pembilang ini akan direset kepada 0000 pada denyut yang ke-10 dan mula mengulangi pembilangan semula. Rekabentuk sebuah litar logik, dengan menggunakan get-get NOR 2-input, yang mengeluarkan output aktif apabila pembilangan ialah 1, 5 dan 7. Gunakan K-map untuk mengambil faedah keadaan-keadaan *tidak peduli* yang mungkin wujud dalam sistem ini.



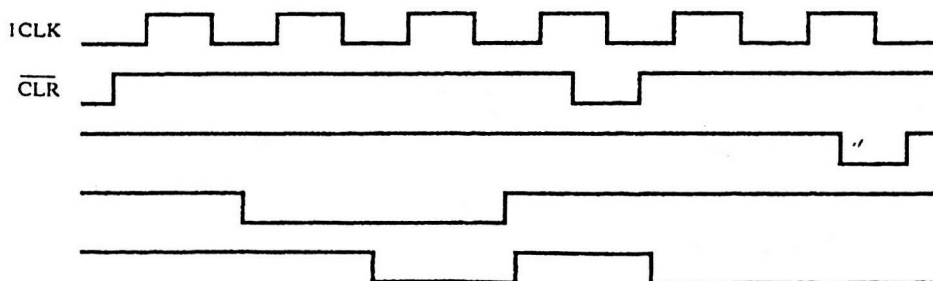
Rajah 3

(100 markah)

3. (a) Apakah perbezaan antara input bergerak dengan input tak bergerak bagi sebuah flip-flop?

(20 markah)

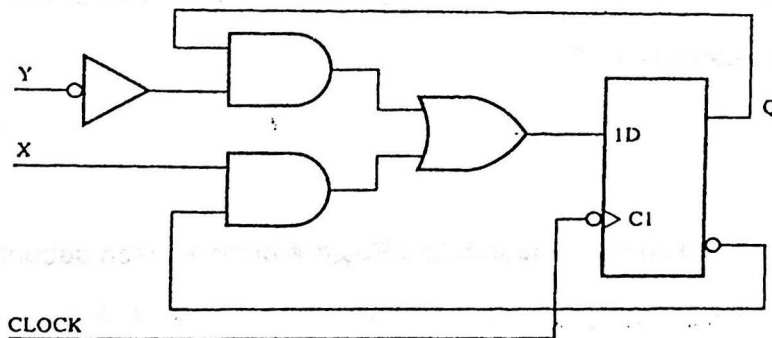
- (b) Anggapkan input-input dalam Rajah 4 diberi kepada sebuah flip-flop J-K (i) dipicu paras tinggi dan (ii) dipicu tepi negatif. Lukiskan output Q bagi setiap kes ini di atas kertas graph yang disediakan.



(40 markah)

- (c) Lengkapkan jadual keadaan di bawah bagi flip-flop X-Y dalam Rajah 5.
 Kenalpasti mod sebagai HOLD, SET, RESET atau TOGGLE.

Keadaan Semasa			Input ID	Keadaan Berikut Q	Mod
Q	X	Y			
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			



Rajah 5

(40 markah)

4. (a) Dengan menggunakan gambarajah yang sesuai, jelaskan perbezaan antara litar monostabil tidak boleh dipicu semula dengan litar monostabil picu semula.

(30 markah)

- (b) Sebuah pengayun direkabentuk untuk mengeluarkan bentuk gelombang segiempat berfrekuensi 5 KHz dengan kitar tugas 60%. Adalah mungkin kadangkala frekuensi output ini jatuh ke bawah 5 KHz disebabkan oleh sesuatu kerosakan (malfunction) di dalam litar. Cadangkan suatu cara untuk mengenalpasti kejatuhan frekuensi ini dengan menggunakan sebuah litar monostabil picu semula.

(40 markah)

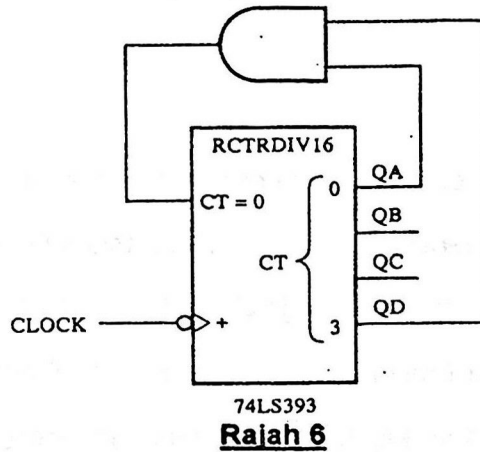
- (b) Dengan menggunakan litar monostabil 74121, rekabentukkan suatu litar yang mengeluarkan denyut negatif berlebar 5 ms, apabila isyarat-isyarat logik E atau F membuat peralihan negatif. Biasanya, E dan F berada dalam keadaan HIGH.

(30 markah)

5. (a) Apakah perbezaan antara pembilang segerak dengan pembilang tak segerak. Bandingkan kedua-dua pembilang ini dari segi keadaan transien dan frekuensi maksimum jam.

(40 markah)

- (b) Apakah nombor mod pembilang dalam Rajah 6? Lakarkan bentuk gelombang QA, QB, QC dan QD dengan anggapan frekuensi isyarat jam ialah 1-KHz dan kitar tugasnya ialah 50%.



(60 markah)

6. (a) Dengan menggunakan rajah-rajah yang sesuai, terangkan operasi yang berikut secara ringkas:
- i) Pengekod
 - ii) Penyahkod
 - iii) Pemultipleks
 - iv) Penyahmultipleks

(70 markah)

- (b) Dengan menggunakan pemultipleks 74LS151, rekabentukkan sebuah litar logik yang mengeluarkan output tinggi apabila (whenever) dua atau lebih daripada input-input A, B dan C adalah aktif.

(30 markah)

54/74121 MONOSTABLE MULTIVIBRATOR

DESCRIPTION — The '121 features positive and negative dc level triggering inputs and complementary outputs. Input pin 5 directly activates a Schmitt circuit which provides temperature compensated level detection, increases immunity to positive-going noise and assures jitter-free response to slowly rising triggers.

When triggering occurs, internal feedback latches the circuit, prevents re-triggering while the output pulse is in progress and increases immunity to negative-going noise. Noise immunity is typically 1.2 V at the inputs and 1.5 V on Vcc.

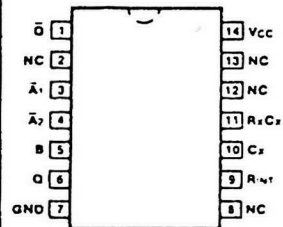
Output pulse width stability is primarily a function of the external R_x and C_x chosen for the application. A 2 kΩ internal resistor is provided for optional use where output pulse width stability requirements are less stringent. Maximum duty cycle capability ranges from 67% with a 2 kΩ resistor to 90% with a 40 kΩ resistor. Duty cycles beyond this range tend to reduce the output pulse width. Otherwise, output pulse width follows the relationship:

$$t_w = 0.69 R_x C_x$$

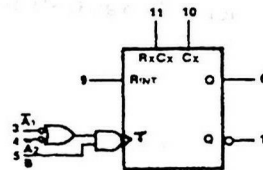
ORDERING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		Vcc = +5.0 V ±5%, T _A = 0°C to +70°C	Vcc = +5.0 V ±10%, T _A = -55°C to +125°C	
Plastic DIP (P)	A	74121PC		9A
Ceramic DIP (D)	A	74121DC	54121DM	6A
Flatpak (F)	A	74121FC	54121FM	3I

CONNECTION DIAGRAM PINOUT A



LOGIC SYMBOL

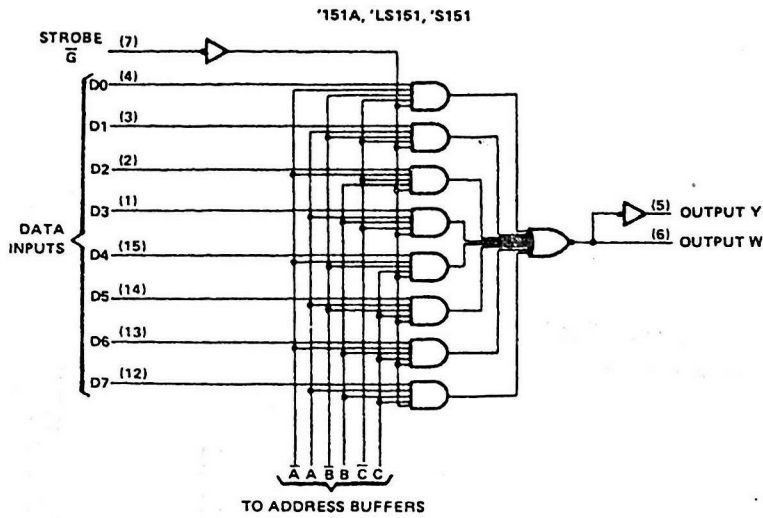


Vcc = Pin 14
GND = Pin 7
NC = Pins 2,8,12,13

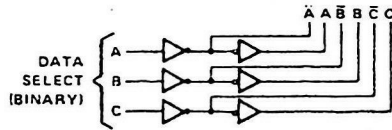
INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

PIN NAMES	DESCRIPTION	54/74 (U.L.) HIGH/LOW
A ₁ , A ₂	Trigger Inputs (Active Falling Edge)	1.0/1.0
B	Schmitt Trigger Input (Active Rising Edge)	2.0/2.0
Q, Q _{bar}	Outputs	20/10

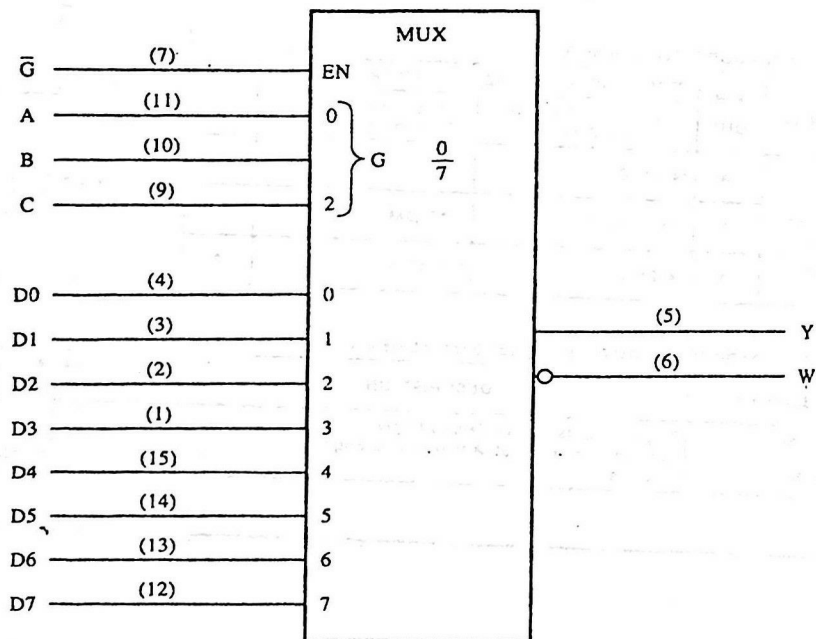
74LS151



ADDRESS BUFFERS FOR 'LS151, 'S151



Logic diagram for the eight-to-one-line 74LS151 multiplexer. (Reprinted by permission of Texas Instruments.)



IEC logic symbol for the 74LS151.