
UNIVERSITI SAINS MALAYSIA

Peperiksaan Akhir
Sidang Akademik 2007/2008

April 2008

JEE 230 – ELEKTRONIK DIGIT II

Masa: 3 jam

Sila pastikan bahawa kertas peperiksaan ini mengandungi LAPAN muka surat yang bercetak sebelum anda memulakan peperiksaan ini.

Kertas soalan ini mengandungi ENAM soalan.

Jawab LIMA soalan.

Mulakan jawapan anda untuk setiap soalan pada muka surat yang baru.

Agihan markah bagi setiap soalan diberikan di sudut sebelah kanan soalan berkenaan.

Jawab semua soalan dalam bahasa Malaysia atau bahasa Inggeris.

1. Dengan menggunakan entered-variable K-map (B sebagai pembolehubah masukan), dapatkan persamaan POS teringkas untuk fungsi berikut:

By using entered-variable K-map (variable B as entered-variable), find the minimum POS expression for the following function:

$$f(A, B, C, D, E) = \sum m(1,3,6,9,12,13,17,22,25,27,28,29,31)$$

Lengkapkan jadual kebenaran di dalam Lampiran A dan hantar bersama-sama buku jawapan.

Completely fill the truth table in Appendix A and attach with your answer script.

(100%)

2. Satu sistem digital mempunyai 3 masukan (A, B dan C) dan tiga keluaran (F_1 , F_2 and F_3). Fungsi untuk setiap keluaran diberikan seperti berikut:

A digital system has 3 inputs (A, B and C) and 3 outputs (F_1 , F_2 and F_3). The function for each output is given as:

$$F_1 = \sum m(1,2,3,4,5)$$

F_2 akan tinggi jika dan hanya jika dua masukan adalah tinggi secara serentak.

F_2 is high if and only if two inputs are high simultaneously.

$$F_3 = A \text{ XNOR } B$$

...3/-

Implementasikan semua fungsi tersebut menggunakan $3 \times 6 \times 3$ PLA dengan get XOR seperti yang ditunjukkan di dalam Lampiran B. Tunjukkan jadual kebenaran yang lengkap. Hantar Lampiran B bersama-sama buku jawapan anda.

Implement those functions using alternative $3 \times 6 \times 3$ PLA with XOR gate as shown in Appendix B. Show a complete truth table. Attach Appendix B with your answer script.

(100%)

3. Implementasikan ALU seperti yang ditunjukkan di dalam Jadual 3 menggunakan 16:1 MUX di dalam Lampiran C (untuk fungsi-fungsi, f dan C_{out}). Tunjukkan jadual kebenaran yang lengkap. Hantar Lampiran C bersama-sama buku jawapan anda.

Implement the ALU as shown in Table 1 using 16:1 MUX in Appendix C (for functions, f and C_{out}). Show a complete truth table. Attach Appendix C with your answer script.

(100%)

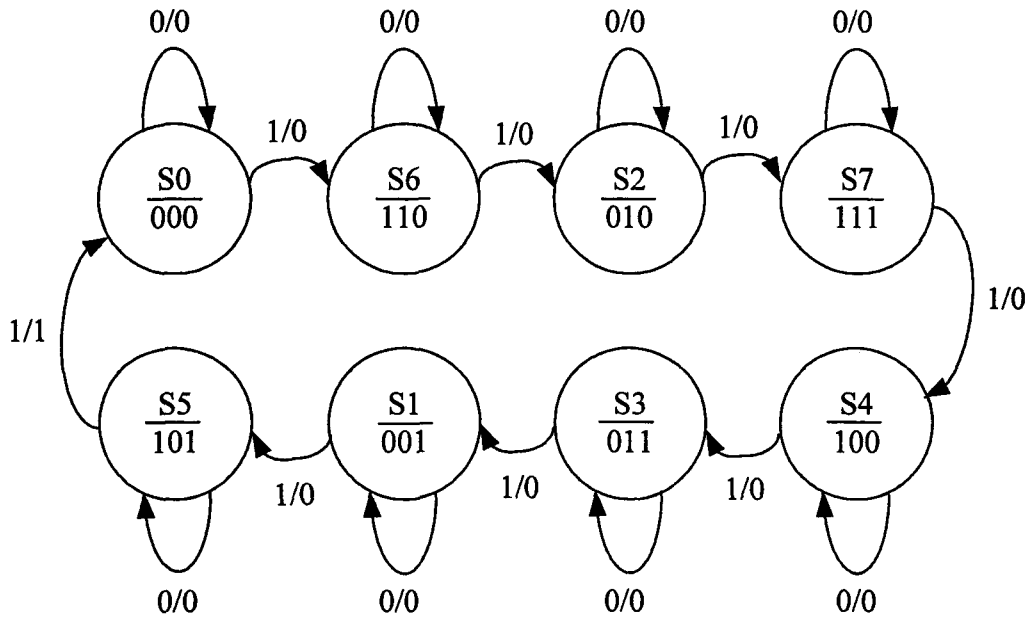
Jadual 3
Table 3

S_1	S_0	Fungsi Function
0	0	$\overline{A \oplus B \oplus C_m}$
0	1	Pembandingan 3-bit 3-bit comparator
1	0	\overline{B} tambah 1 \overline{B} plus 1
1	1	B tolak A B minus A

4. (a) Berdasarkan Rajah 5(a), dapatkan jadual peralihan keadaan dan output yang lengkap.

Referring to Figure 5(a), obtain the complete state transition and output function table.

(30%)



Rajah 5 (a)
Figure 5 (a)

(b) Implementasikan sistem dalam Rajah 5(a) menggunakan:

Implement the system in Figure 5(a) using:

- (i) Flip-flop JK
JK flip-flop (35%)
- (ii) Flip-flop D
D type flip-flop (35%)

5. (a) Menggunakan carta implikasi, permudahkan jadual peralihan keadaan berikut:

Using implication chart, simplify the following state transition table:

(i)

Present State	Next State		Output Z	
	X=0	X=1	X=0	X=1
A	C	B	0	1
B	D	A	0	1
C	A	D	1	0
D	B	D	1	0

Jadual 5 (i)
Table 5 (i)

(ii)

Present State	Next State		Output Z	
	X=0	X=1	X=0	X=1
A	D	B	0	0
B	E	A	0	0
C	G	F	0	1
D	A	D	1	0
E	A	D	1	0
F	C	B	0	0
G	A	E	1	0

Jadual 5 (ii)
Table 5 (ii)

(70%)

...7/-

- (b) Dengan menggunakan gambarajah yang sesuai, bincangkan perbezaan antara Mesin Mealy and Moore.

Using suitable diagrams, discuss the differences between Mealy and Moore machines.

(30%)

6. (a) Rekabentuk pembilang mod-n menggunakan D flip-flop dengan:

Design a mod-n counter using a D flip-flop with:

(i) $n = 10$, membilang menurun
 $n = 10$, counting downward

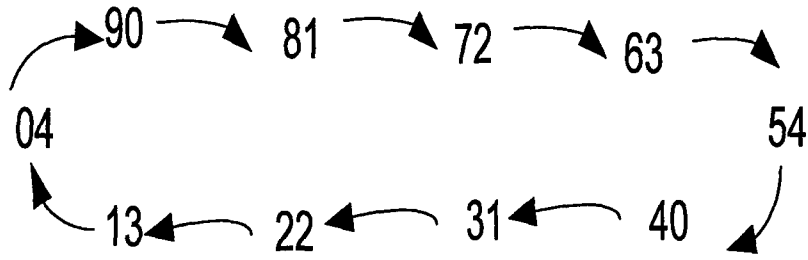
(ii) $n = 5$, membilang menaik
 $n = 5$, counting upward

(70%)

- (b) Menggunakan modul implementasi pembilang mod-n dalam bahagian (a), rekabentuk modul pembilang dengan turutan berikut (lihat Rajah 6b).

By using the module implementation of mod-n counter design in part (a), design a counter module with the following sequences (see Figure 6b).

(30%)



Rajah 6(b)
Figure 6(b)

ooo0ooo