
UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Kedua

Sidang Akademik 2002/2003

Februari/Mac 2003

JEE 130 – ELEKTRONIK DIGIT 1

Masa : 3 Jam

ARAHAN KEPADA CALON:

Sila pastikan bahawa kertas peperiksaan ini mengandungi **SEBELAS (11)** muka surat beserta Lampiran (**2 muka surat**) bercetak dan **ENAM (6)** soalan sebelum anda memulakan peperiksaan ini.

Jawab **LIMA (5)** soalan.

Agihan markah diberikan di sut sebelah kanan soalan berkenaan.

Semua soalan hendaklah dijawab di dalam Bahasa Malaysia.

...2/-

1. (a) Apakah nombor terbesar yang boleh diwakili menggunakan 12 bit?

What is the largest number that can be represented using 12 bits?

(4%)

- (b) Berapa byte diperlukan untuk mewakili nombor hex 4 digit?

How many bytes are needed to represent a 4 hex digit number?

(4%)

- (c) Mesej "FLIP-FLOP" dikodkan ke dalam ASCII bersama-sama dengan satu bit kesetaraan ganjil sebagai bit paling kiri. Mesej ini dihantar daripada sebuah komputer ke komputer lain dan kod heksadesimal berikut diterima dan disimpan dalam ingatan komputer. Kod-kod yang diterima tersebut mengandungi kesilapan. Apakah sebab kemungkinan ia tidak berfungsi dengan betul? Bagaimana masalah ini boleh diatasi?

The message FLIP-FLOP is coded into ASCII with an attached odd parity bit as the leftmost bit. This message is transmitted from one computer to another and the following hexadecimal codes are received and stored in the computer's memory. The codes received contain errors. What is the probable cause for the malfunction? How could it be eliminated?

C6₁₆, CC₁₆, C9₁₆, 50₁₆, 2D₁₆, C6₁₀, CC₁₆, CF₁₆, 50₁₆

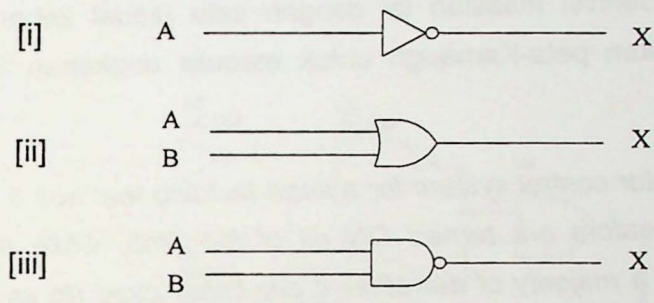
(12%)

...3/-

2. (a) Lukis simbol IEEE/ANSI yang setara untuk setiap simbol logik tradisional yang ditunjukkan dalam Rajah 1.

Draw the equivalent IEEE/ANSI symbol for each of the traditional logic symbols shown in Figure 1.

(6%)



Rajah 1
Figure 1

- (b) Bagi setiap kenyataan berikut, lukiskan simbol get logik (piawai atau alternatif) yang sesuai untuk operasi berikut.

For each statement below, draw the appropriate logic gate symbol (standard or alternate) for the given operation.

- [i] Suatu keluaran HI berlaku hanya apabila kesemua tiga masukan ialah LO.

A HIGH output occurs only when all three inputs are LOW.

- [ii] Suatu keluaran LO berlaku apabila mana-mana satu daripada empat masukan ialah LO.

A LOW output occurs when any of the four inputs is LOW.

(4%)

...4/-

- (c) Rekabentuk suatu sistem kawalan lif untuk sebuah bangunan besar yang mempunyai 5 lif. Empat daripada lif tersebut sentiasa "ON" pada setiap masa, manakala lif kelima diaktifkan hanya jika majoriti 4 lif yang lain sedang digunakan (untuk menjimatkan kos tenaga). Sistem kawalan ini mempunyai satu masukan untuk setiap 4 lif primari bagi menyatakan bahawa lif sedang digunakan (dengan logik "1"). Suatu keluaran tinggi daripada sistem kawalan tersebut akan mengaktifkan lif kelima untuk kegunaannya. Definisi masalah ini dengan satu jadual kebenaran dan kemudian gunakan peta-Karnaugh untuk menulis ungkapan SOP yang termudah.

Design an elevator control system for a large building that has 5 elevators. Four of the elevators are turned ON all of the time, while the fifth is activated only if a majority of the other 4 are being used (to save energy costs). The control system will have an input for each of the 4 primary elevators to indicate that elevator is being used (with a logic "1"). A high output from the control system will activate the fifth elevator for its use. Define the problem with a truth table and then use Karnaugh-mapping to write the simplified SOP expression.

(10%)

3. (a) Merujuk kepada Rajah 2,
Refer to Figure 2,

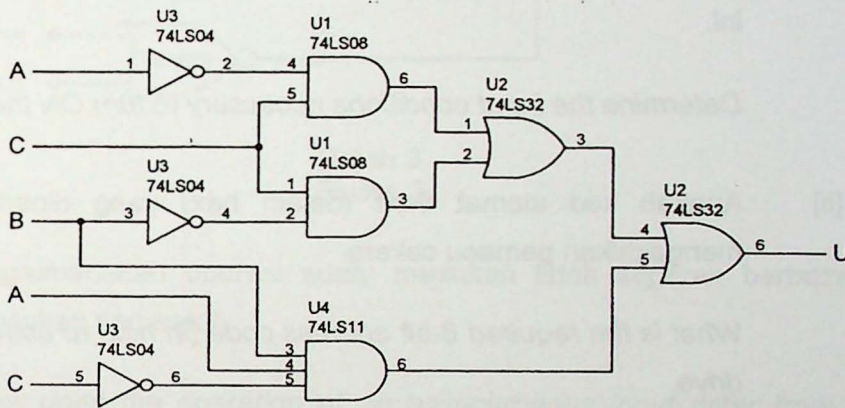
- [i] Tulis persamaan Boolean litar. Permudahkan dengan teorem De Morgan.

Write the circuit's Boolean equation. Simplify it using De Morgan's theorem.

...5/-

- [ii] Litar dalam Rajah 2 boleh dilaksanakan dengan bilangan chip minima. Tentukan chip-chip yang diperlukan untuk implementasi ungkapan termudah tersebut.

The circuit in Figure 2 may be implemented with a minimum number of chips. Determine the necessary chips for implementation of the simplified expression.



Rajah 2
Figure 2

(8%)

- (b) Litar logik dalam Rajah 3 digunakan untuk mengawal pacu motor pengumpar bagi pemacu cakera liut apabila mikrokomputer menghantar data atau menerima data daripada cakera. Litar akan "ON" motor ini apabila DRIVE = 1. Masukan A_7 (MSB) hingga A_0 (LSB) ialah alamat masukan-masukan yang dibekalkan kepada litar ini daripada keluaran-keluaran chip mikropemproses dalam suatu mikrokomputer. Kod alamat 8-bit A_7 ke A_0 memilih peranti yang hendak diaktifkan oleh mikropemproses.

...6/-

The logic circuit in Figure 3 is used to control the drive spindle motor for a floppy disk drive when the microcomputer is sending data or receiving data from the disk. The circuit will turn ON the motor when $DRIVE = 1$. Input A_7 (MSB) through A_0 (LSB) are address inputs that are supplied to this circuit from outputs of the microprocessor chip in a microcomputer. The eight-bit address code A_7 to A_0 selects which device the microprocessor wants to activate.

- [i] Tentukan keadaan-keadaan masukan yang perlu untuk "ON" motor ini.

Determine the input conditions necessary to turn ON the motor.

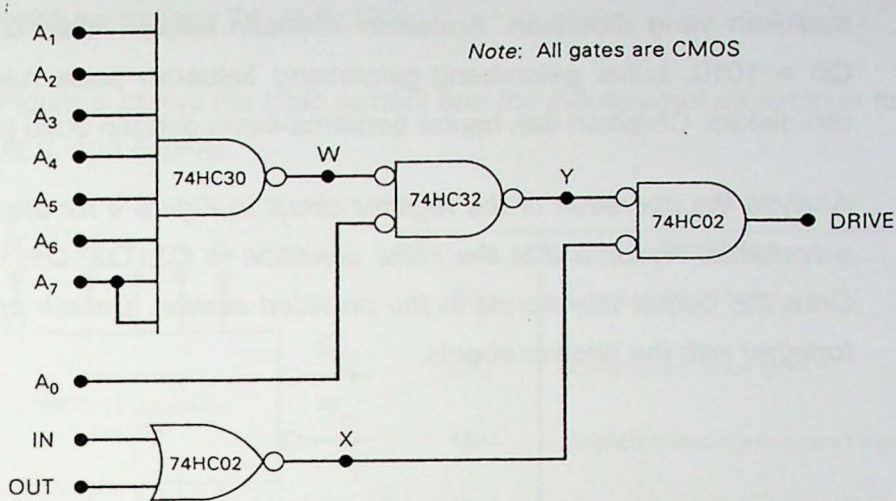
- [ii] Apakah kod alamat 8-bit (dalam hex) yang diperlukan untuk mengaktifkan pemacu cakera.

What is the required 8-bit address code (in hex) to activate the disk drive.

- [iii] Ubahsuai litar dalam Rajah 3 supaya mikropemproses dapat membekalkan kod alamat $4A_{16}$ untuk mengaktifkan pemacu cakera.

Modify the circuit in Figure 3 so that the microprocessor must supply an address code of $4A_{16}$ to activate the disk drive.

(12%)



Rajah 3
Figure 3

4. (a) Bagaimanakah operasi suatu masukan tidak segerak berbeza dengan masukan segerak?

How does the operation of an asynchronous input differ from that of a synchronous input?

(4%)

- (b) Senarai keadaan-keadaan yang diperlukan oleh suatu flip-flop J-K berpiciu-pinggir-positif untuk togol ke keadaan berlawanannya.

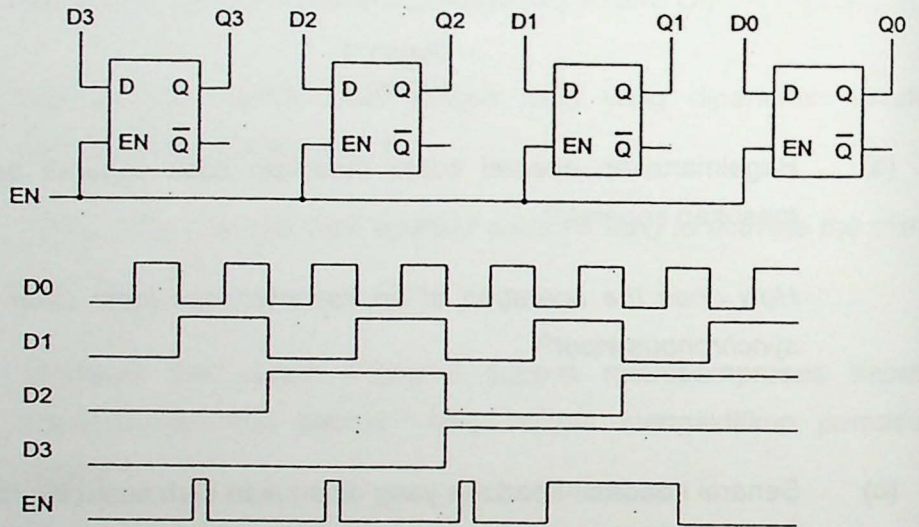
List the conditions necessary for a positive-edge-triggered J-K flip-flop with active-LOW asynchronous inputs to toggle to its opposite state.

(6%)

...8/-

- (c) Analisa operasi litar daftar dalam Rajah 4 bagi gelombang-gelombang masukan yang diberikan. Andaikan keadaan awalan ialah $Q_3, Q_2, Q_1, Q_0 = 1010$. Lukis gelombang-gelombang keluaran pada ruangan yang disediakan. Ceraikan dan hantar bersama-sama dengan buku jawapan.

Analyze the operation of the register circuit in Figure 4 for the given input waveforms. Assume that the initial condition is $Q_3, Q_2, Q_1, Q_0 = 1010$. Draw the output waveforms in the provided section. Detach and submit it together with the answer sheets.



Rajah 4
Figure 4

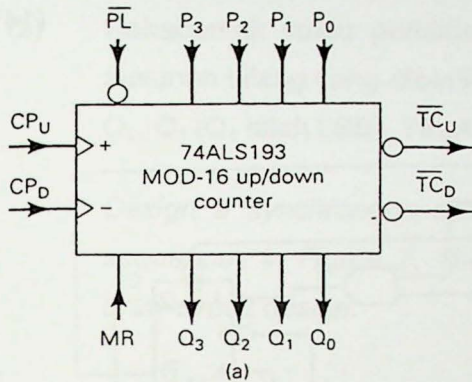
Gelombang keluaran Output waveforms { Q0, Q1, Q2, Q3

(10%)

...9/-

5. (a) Rajah 5 menunjukkan simbol logik dan penerangan masukan/keluaran untuk pembilang 74 ALS 193.

Figure 5 shows the logic symbol and the input/output description for the 74 ALS 193 counter.



Pin	Description
CP _U	Count-up clock input
CP _D	Count-down clock input
MR	Asynchronous master reset input
\overline{PL}	Asynchronous parallel load input
P ₀ -P ₃	Parallel data inputs
Q ₀ -Q ₃	Flip-flop outputs
\overline{TC}_D	Terminal count-down (borrow) output
\overline{TC}_U	Terminal count-up (carry) output

Mode Select

MR	\overline{PL}	CP _U	CP _D	Mode
H	X	X	X	Asynch. reset
L	L	X	X	Asynch. preset
L	H	H	H	No change
L	H	↑	H	Count up
L	H	H	↑	Count down

H = HIGH; L = LOW
X = Don't care; ↑ = PGT

(c)

(b)

Rajah 5
Figure 5

- [i] Terangkan fungsi masukan-masukan \overline{PL} dan P₀ ke P₃.
Describe the function of the inputs \overline{PL} and P₀ to P₃.
- [ii] Apakah aras logik yang mesti berada pada CP_D, \overline{PL} dan MR supaya 74 ALS193 dapat membilang denyut-denyut pada CP_U?

What logic levels must be present at CP_D, \overline{PL} and MR in order for the 74 ALS193 to count pulses that appear at CP_U?

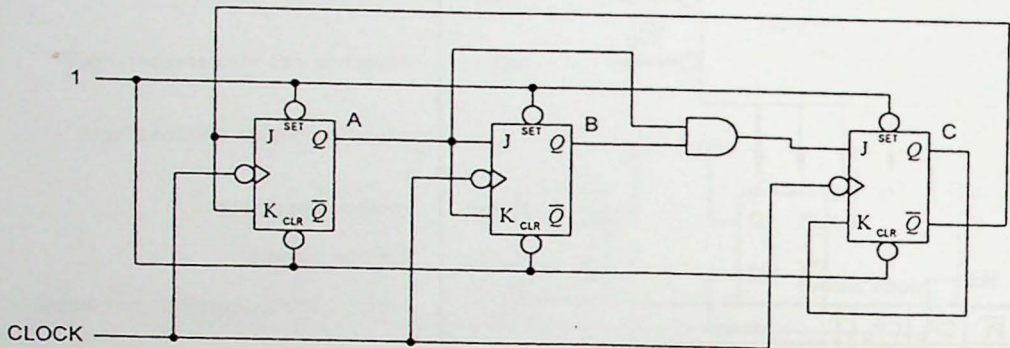
(6%)

... 10/-

- (b) Analisa litar pembilang bergerak yang diberikan dalam Rajah 6(a). Lengkapkan jadual susunan dalam Rajah 6(b). Tentukan modulus untuk pembilang ini.

Analyze the synchronous counter circuit given in Figure 6(a). Complete the sequence table in Figure 6(b). Determine the modules for the counter.

(14%)



Rajah 6(a)
Figure 6(a)

CLOCK	Present State			J_C	K_C	J_B	K_B	J_A	K_A	Next State		
	C	B	A							C+	B+	A+
0	0	0	0									
1	0	0	1									
2	0	1	0									
3	0	1	1									
4	1	0	0									
5	1	0	1									
6	1	1	0									
7	1	1	1									

Rajah 6(b)
Figure 6(b)

...11/-

6. (a) Definisi dan terangkan lengah perambatan.

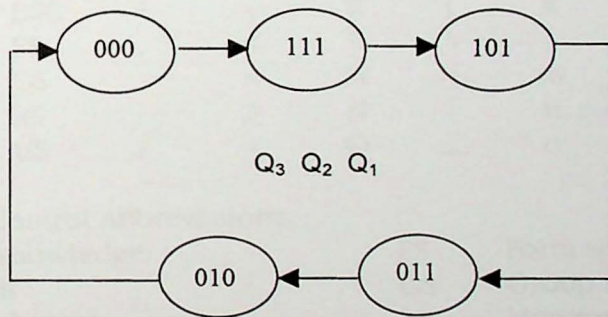
Define and describe propagation delay.

(6%)

- (b) Rekabentuk suatu pembilang segerak menggunakan flip-flop J-K untuk susunan bilang yang diberikan dalam Rajah 7. Keluaran-keluaran ialah Q_3 , Q_2 , Q_1 (Q_1 ialah LSB). Tidak perlu lukis litar rekabentuk.

Design a synchronous counter using J-K flip-flops for the given count sequences in Figure 7. The outputs are Q_3 , Q_2 , Q_1 (Q_1 is LSB). Do not draw circuit design.

(14%)



Rajah 7
Figure 7

**American Standard Code for
Information Interchange.**

	000	001	010	011	100	101	110	111
0000	NUL	DLE	SP	0	@	P	`	p
0001	SOH	DC ₁	!	1	A	Q	a	q
0010	STX	DC ₂	"	2	B	R	b	r
0011	ETX	DC ₃	#	3	C	S	c	s
0100	EOT	DC ₄	\$	4	D	T	d	t
0101	ENQ	NAK	%	5	E	U	e	u
0110	ACK	SYN	&	6	F	V	f	v
0111	BEL	ETB	'	7	G	W	g	w
1000	BS	CAN	(8	H	X	h	x
1001	HT	EM)	9	I	Y	i	y
1010	LF	SUB	*	:	J	Z	j	z
1011	VI	ESC	+	;	K	[k	{
1100	FF	FS	,	<	L	\	l	
1101	CR	GS	-	=	M]	m	}
1110	SO	RS	.	>	N	^	n	~
1111	SI	US	/	?	O	_	o	DEL

Definitions of Control Abbreviations:

ACK	Acknowledge	FS	Form separator
BEL	Bell	GS	Group separator
BS	Backspace	HT	Horizontal tab
CAN	Cancel	LF	Line feed
CR	Carriage return	NAK	Negative acknowledge
DC ₁ -DC ₄	Direct control	NUL	Null
DEL	Delete idle	RS	Record separator
DLE	Data link escape	SI	Shift in
EM	End of Medium	SO	Shift out
ENQ	Enquiry	SOH	Start of heading
EOT	End of transmission	STX	Start of text
ESC	Escape	SUB	Substitute
ETB	End of transmission block	SYN	Synchronous idle
ETX	End text	US	Unit separator
FF	Form feed	VT	Vertical tab

IC	Digital Integrated Circuits Description
7400	Quad 2-input NAND
7402	Quad 2-input NOR
7404	Hex INVERTERS
7408	Quad 2-input AND
7410	Triple 3-input NAND
74LS11	Triple 3-input AND
7414	Hex Schmitt-trigger INVERTERS
7427	Triple 3-input NOR
7432	Quad 2-input OR
7442	1-of-10 Decoder
7446	BCD-to-Seven Segment Decoder/driver
7474	Dual D-type flip-flop
74LS76	Dual J-K flip-flop
7483A	4-bit binary FULL ADDER (or 74LS283)
7485	4-bit MAGNITUDE COMPARATOR
7486	Quad 2-input EXCLUSIVE-OR
7490	Decade COUNTER
7493	4-BIT BINARY counter
74LS138	3-line-to-8-line DECODER/MULTIPLEXER
74LS139	Dual 1-of-4-DECODER
74147	10-line-to-4-line priority ENCODER
74151	1-of-8 MULTIPLEXER
74174	Hex D-type flip-flop
74192	Synchronous, 4-bit, up/down BCD COUNTER
74193	Synchronous, 4-bit, up/down binary COUNTER