
UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Kedua

Sidang Akademik 2002/2003

Februari/Mac 2003

JEE 342 - Elektronik Analog II

Masa : 3 jam

ARAHAN KEPADA CALON:

Sila pastikan bahawa kertas peperiksaan ini mengandungi **LAPAN (8)** muka surat bercetak dan **ENAM (6)** soalan sebelum anda memulakan peperiksaan ini.

Jawab **LIMA (5)** soalan.

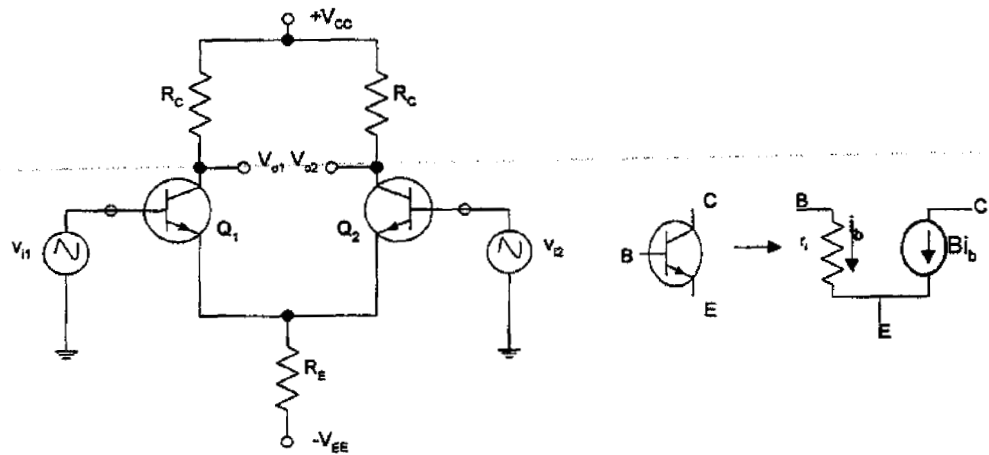
Agihan markah bagi soalan diberikan di sut sebelah kanan soalan berkenaan

Jawab semua soalan dalam Bahasa Malaysia

1. (a) Lakarkan litar isyarat kecil **Rajah 1** dengan menggunakan model isyarat kecil transistor NPN yang diberikan. Tandakan arah semua arus yang mengalir di dalam litar setara tersebut.

(30%)

*Draw the small signal model circuit of **Figure 1** using the given NPN transistor small signal model. Show all the current flow directions in the equivalent circuit.*



Rajah 1
Figure 1

- (b) Sekiranya $v_{i2} = 0$, lakarkan litar setara isyarat kecil dan dapatkan gandaan voltan v_{o1}/v_{i1} . Nyatakan sebarang anggapan yang anda gunakan dan diberikan $r_i = \beta r_e$.

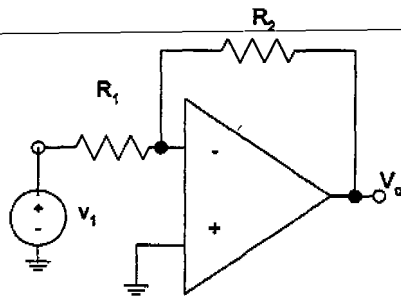
If $v_{i2} = 0$, draw the small signal equivalent circuit and determine the voltage gain v_{o1}/v_{i1} . State any assumption used and given that $r_i = \beta r_e$.

(70%)

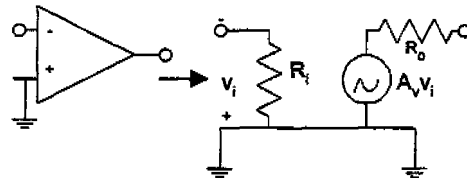
2. (a) Suatu 'amplifier inverting' menggunakan opamp ditunjukkan di **Rajah 2(a)** mempunyai gandaan voltan litar terbuka bersamaan A_v dan litar setara opamp ditunjukkan di **Rajah 2(b)**. Dapatkan nilai V_o/V_i dalam sebutan R_1 dan R_2 . Nyatakan sebarang anggapan yang digunakan.

(50%)

An 'inverting amplifier' using an opamp is shown in **Figure 2(a)** having an open circuit voltage gain A_v and the opamp equivalent circuit is shown in **Figure 2(b)**. Determine the value of V_o/V_i in terms of R_1 and R_2 . State any assumption that was used.



Rajah 2(a)
Figure 2(a)



Rajah 2(b)
Figure 2(b)

- (b) Rekabentuk suatu litar dengan menggunakan dua opamp dan majoriti perintang $10K\Omega$ untuk mendapatkan perbezaan di antara dua isyarat masukan v_1 dan v_2 . Litar yang anda rekabentuk itu perlu menggandakan perbezaan isyarat (v_2-v_1) sebanyak 20 kali ganda. Isyarat v_1 dan v_2 diberikan seperti berikut:-

Design a circuit using two opamps and a majority of $10K\Omega$ resistors to obtain the difference between the two input signals v_1 and v_2 . The circuit that you had designed should amplify the difference of signal (v_2-v_1) by 20 times. The signal v_1 and v_2 given as follows:-

$$v_1 = 2 \sin(\omega t) - 0.1 \sin(\omega t) \quad \text{dan} \\ v_2 = 2 \sin(\omega t) + 0.1 \sin(\omega t) \quad \text{and}$$

...4/-

Anda boleh beranggapan opamp yang disediakan adalah 'ideal' dan ayunannya terhad kepada $\pm 10V$.

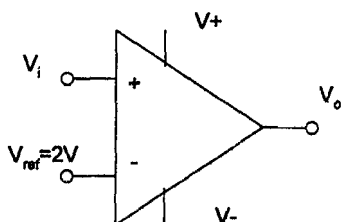
You may assume that the available opamp is ideal and the swing is limited to $\pm 10V$.

(50%)

3. (a) Suatu pembanding ditunjukkan di dalam **Rajah 3**, lakarkan voltan keluaran yang dijangkakan bila v_i adalah suatu isyarat masukan sinus $V_{p-p} = 6V$ dan anggap pembekal kuasa $\pm 10V$. Lakarkan juga V_o bila V_{ref} di pindahkan ke masukan positif dan V_i ke masukan negatif pembanding tersebut.

*A comparator is shown in **Figure 3**, draw the expected output voltage when v_i is a sinusoidal input signal $V_{p-p} = 6V$ and assume that the supply voltage is $\pm 10V$. Also draw the V_o when the V_{ref} is connected to the positive input and V_i is to the negative input of the comparator.*

(30%)



Rajah 3
Figure 3

- (b) Menggunakan dua buah pembanding, perintang-perintang yang sesuai dan pembekal kuasa $\pm 6V$, rekabentuk suatu litar untuk mengesan julat voltan masukan v_i dan memberikan voltan keluaran v_o bernilai tinggi bila $2V \leq v_i \leq 3V$. Di luar julat tersebut v_o seharusnya menunjukkan nilai voltan keluaran rendah.

Using two comparators, appropriate value of resistors and $\pm 6V$ power supply, design a circuit to sense the range an input voltage v_i and giving the output voltage v_o to a high value when $2V \leq v_i \leq 3V$. Outside the input signal range, v_o should indicate the low voltage signal.

(70%)

- 4. (a) Menggunakan Jadual s4 yang diberikan dan beberapa opamp, rekabentuk suatu penapis aktif Sallen-Key laluan tinggi sambutan Butterworth untuk 'roll-off' 100 dB/dec. Frekuensi potong 3dB hendaklah bernilai 20KHz.

Using Table s4 and a number opamps, design the Sallen-Key active high pass filter with the Butterworth response for a roll-off of 100dB/dec. The 3 dB cut-off frequency value is 20KHz.

(70%)

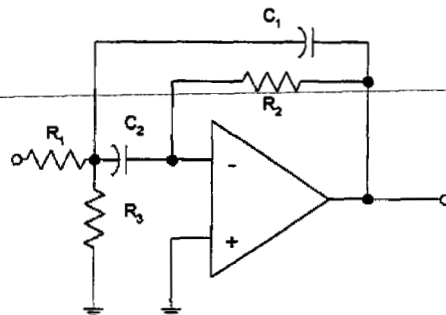
Jadual s4
Table s4

Order	Roll-off dB/dec	1 st stage			2 nd stage			3 rd stage		
		poles	DF	R_1/R_2	poles	DF	R_1/R_2	poles	DF	R_1/R_2
1	20	1	optional	-						
2	40	2	1.414	0.586						
3	60	2	1.00	1	1	1.00	1			
4	80	2	0.848	0.152	2	0.765	1.235			
5	100	2	1.00	1	2	1.618	0.382	1	1.618	1.382
6	120	2	1.932	0.068	2	1.414	0.586	2	0.518	1.482

- (b) Suatu litar laluan jalur multi-suapbalik ('multiple-feedback band-pass filter') di tunjukkan di **Rajah 4(b)**. Dapatkan frekuensi tengah f_0 dalam sebutan R_1 , R_2 , R_3 , C_1 dan C_2 . Cadangkan bagaimana anda akan menentukan kedua-dua frekuensi potong f_{c1} dan f_{c2} .

*A multiple-feedback band-pass filter is shown in **Figure 4(b)**. Determine the centre frequency f_0 in terms of R_1 , R_2 , R_3 , C_1 and C_2 . Give a suggestion how you will determine the two cutoff frequencies f_{c1} and f_{c2} .*

(30%)

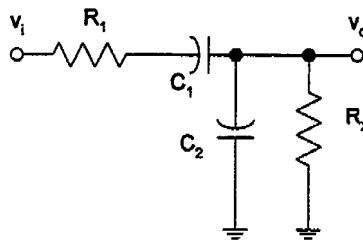


Rajah 4(b)
Figure 4(b)

5. (a) Suatu rangkaian 'lead-lag' di tunjukkan di **Rajah 5(a)**. Jika frekuensi isyarat masukan V_i berubah daripada 0 ke ∞ . Lakarkan graf V_o melawan frekuensi isyarat masukan f_i . Terangkan secara ringkas bagaimana graf yang telah anda lakarkan diperolehi.

*A lead-lag network is shown in **Figure 5(a)**. If the input signal frequency V_i is varying from 0 to ∞ . Sketch the graph of V_o versus in input signal frequency f_i . Briefly, describe how the graph that you had sketched was obtained.*

(30%)

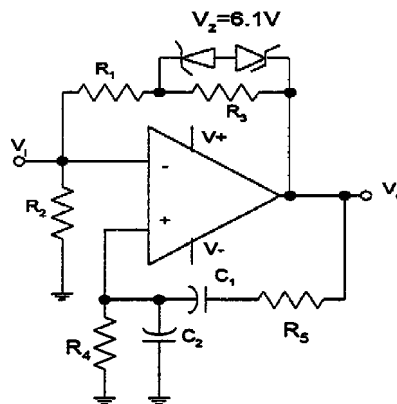


Rajah 5(a)
Figure 5(a)

- (b) Suatu litar pengayun Wein-Bridge ditunjukkan di **Rajah 5(b)** dan diberikan $R_1=4K\Omega$, $R_2=R_3= 2K\Omega$, $R_4=R_5=30K\Omega$ dan $C_1=C_2= 0.0001\mu F$. Tentukan nilai puncak gelombang keluaran dan tunjukkan litar itu akan menghasilkan V_o yang akan mula berayun dan terus berayun. Anggarkan frekuensi keluaran pengayun tersebut.

*A Wein-Bridge oscillator circuit is shown in **Figure 5(b)** and given that $R_1=4K\Omega$, $R_2=R_3= 2K\Omega$, $R_4=R_5=30K\Omega$ and $C_1=C_2= 0.0001\mu F$. Determine the peak output voltage and show that the output voltage V_o will start oscillating and continue to oscillate. Estimate output voltage frequency of the oscillator.*

(70%)

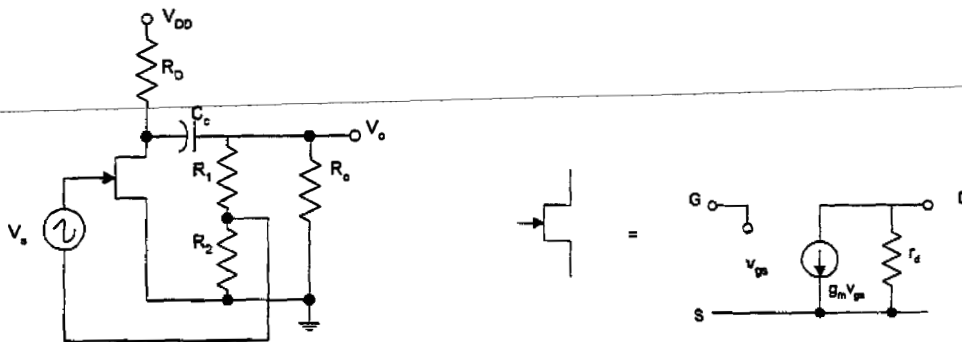


Rajah 5(b)
Figure 5(b)

6. (a) Merujuk kepada **Rajah 6(a)**, apakah jenis suap balik yang digunakan? Lakarkan litar isyarat kecil dengan menggunakan model isyarat kecil FET yang diberikan. Dapatkan gandaan voltan tanpa suapbalik A_v dalam sebutan g_m , R_1 , R_2 , R_D dan R_o .

*What is the type of feedback that was used in **Figure 6(a)**? Draw a small signal circuit using the FET small signal model which is given. Determine the voltage gain A_v without feedback in terms of g_m , R_1 , R_2 , R_D and R_o .*

(60%)



Rajah 6(a)
Figure 6(a)

- (b) Merujuk kepada **Rajah 6(a)**, tentukan faktor suap balik β dan gandaan voltan suapbalik $A_{fv} = \frac{A_v}{1 + A_v\beta}$ dalam sebutan g_m , R_1 , R_2 , R_D dan R_o .

*With reference to **Figure 6(a)**, determine the feedback factor β and voltage gain with feedback $A_{fv} = \frac{A_v}{1 + A_v\beta}$ in terms of g_m , R_1 , R_2 , R_D and R_o .*

(40%)