

**SULIT**

---



First Semester Examination  
2018/2019 Academic Session

December 2018 / January 2019

**EEE378 – DIGITAL ELECTRONIC II**  
***(Elektronik Digital II)***

*Duration 3 hours*  
*(Masa : 3 jam)*

---

Please check that this examination paper consists of **TEN (10)** pages and before you begin the examination.

*[Sila pastikan bahawa kertas peperiksaan ini mengandungi **SEPULUH (10)** muka surat yang bercetak sebelum anda memulakan peperiksaan ini.]*

**Instructions:** This question paper consists of **FOUR (4)** questions. Answer **ALL** questions. All questions carry the same marks.

*[Arahan: Kertas soalan ini mengandungi **EMPAT (4)** soalan. Jawab **SEMUA** soalan. Semua soalan membawa jumlah markah yang sama.]*

In the event of any discrepancies, the English version shall be used.

*[Sekiranya terdapat sebarang percanggahan pada soalan peperiksaan, versi Bahasa Inggeris hendaklah digunapakai.]*

...2/-

**SULIT**

1. (a) In digital integrated circuit (IC) design, briefly describe the following terms:  
*Dalam reka bentuk litar bersepadu digital, terangkan secara ringkas terma-terma berikut:*
- (i) Hierarchical design  
*Reka bentuk hierarki*  
(3 marks/markah)
  - (ii) Top-down design  
*Reka bentuk atas ke bawah*  
(3 marks/markah)
  - (iii) Bottom-up implementation  
*Pelaksanaan dari bawah ke atas*  
(3 marks/markah)
  - (iv) Regularity  
*Keteraturan*  
(3 marks/markah)
  - (v) Modularity  
*Kemodularan*  
(4 marks/markah)
  - (vi) Locality  
*Tempatan*  
(4 marks/markah)

- (b) A function can be described as follows:

*Sebuah fungsi boleh digambarkan seperti berikut:*

$$f(a, b, c, d) = \prod M(0, 4, 5, 7, 10, 13, 14, 15)$$

- (i) By using the entered-variable K-map (EVM) method with variable 'd' as the entered-variable, obtain the simplest Boolean expression in the form of Sum-of-Products (SOP) for the above-mentioned function.

Show the complete truth table and K-map.

*Dengan menggunakan kaedah peta-K pembolehubah-masukan (EVM) dengan pembolehubah 'd' sebagai pembolehubah-masukan, dapatkan sebutan Boolean teringkas dalam bentuk sebutan Pekali Campur (SOP) bagi fungsi yang disebut diatas.*

*Tunjukkan jadual kebenaran yang lengkap dan peta-K.*

(50 marks/markah)

- (ii) Realize the simplest Boolean expression obtained in part (i) using a combination of 4:1 and 2:1 line multiplexers (MUXes).

*Laksanakan sebutan teringkas yang diperolehi dalam bahagian (i) dengan menggunakan kombinasi pemultipleks talian 4:1 dan 2:1.*

(20 marks/markah)

- (c) Construct a 4-bit parallel adder/subtractor using 1-bit full-adder (FA) as shown in Figure 1 and 2:1 multiplexers to select either true or complemented input bits.

*Bina sebuah penambah-penolak selari 4-bit menggunakan penambah-penuh (FA) 1-bit seperti dalam Rajah 1 dan pemultipleks talian 2:1 untuk memilih antara bit masukan benar atau terlengkap.*

(10 marks/markah)

-4-

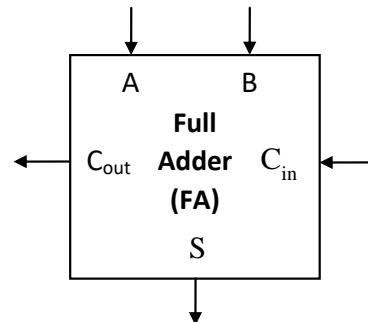


Figure 1

Rajah 1

2. (a) Implement the AND-OR network described by the following Boolean function as a NAND-NAND network, where each NAND gate only has two (2) inputs. Use **inverters** to invert/complement the inputs and/or output if necessary.

*Laksanakan jaringan AND-OR yang digambarkan oleh fungsi Boolean berikut sebagai sebuah jaringan NAND-NAND, di mana setiap get NAND hanya mempunyai dua(2) masukan. Gunakan **penyongsang** untuk menyongsang/melengkap masukan dan/atau keluaran sekiranya perlu.*

$$F = AC + AD + AE + BC$$

(20 marks/markah)

- (b) The realization of two Boolean functions  $f_1(x, y, z)$  and  $f_2(x, y, z)$  using MSI components are shown in Figure 2(a) and Figure 2(b), respectively.

*Pelaksanaan dua fungsi Boolean  $f_1(x, y, z)$  dan  $f_2(x, y, z)$  menggunakan komponen MSI masing-masing ditunjukkan oleh Rajah 2(a) dan Rajah 2(b).*

...5/-

**SULIT**

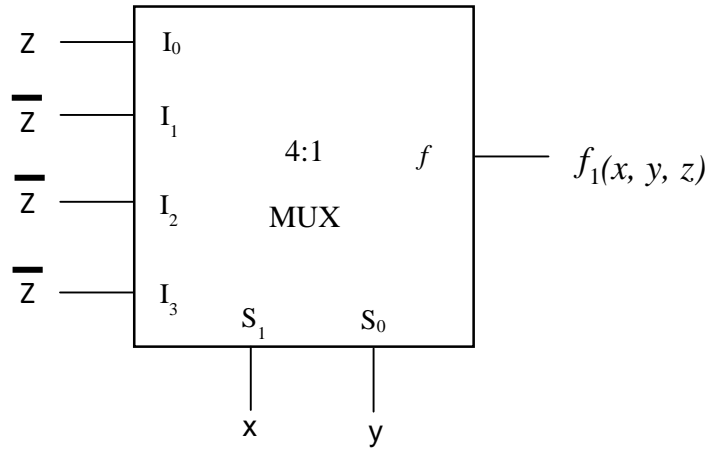


Figure 2(a)  
Rajah 2(a)

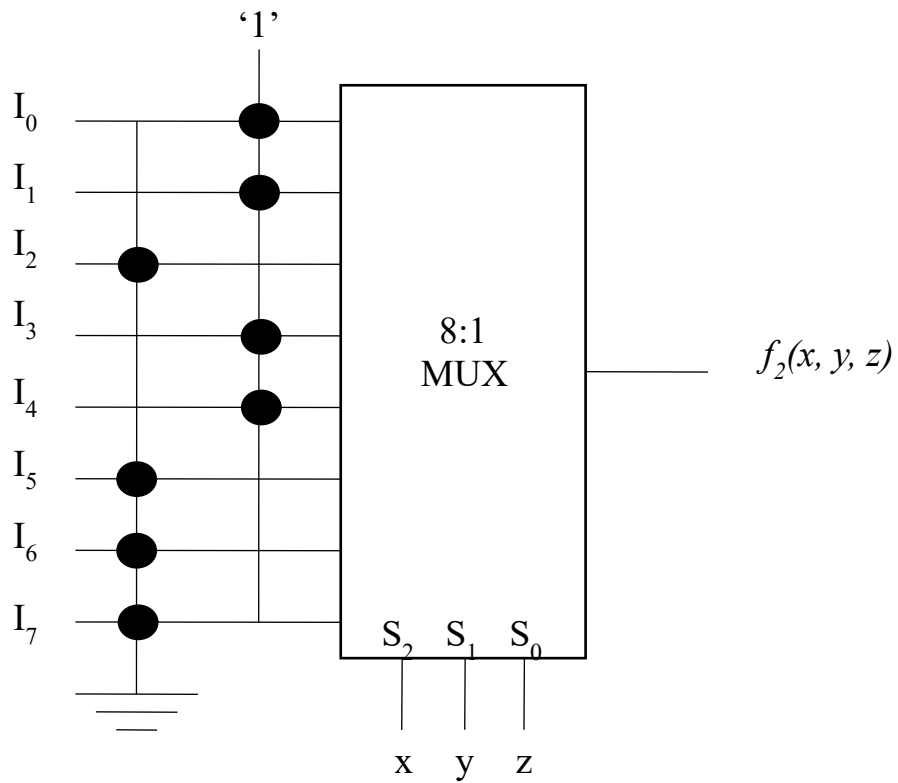


Figure 2(b)  
Rajah 2(b)

- (i) Extract the function  $f_1(x, y, z)$ .  
*Ekstrak fungsi  $f_1(x, y, z)$ .*  
(10 marks/markah)
- (ii) Extract the function  $f_2(x, y, z)$ .  
*Ekstrak fungsi  $f_2(x, y, z)$ .*  
(10 marks/markah)
- (iii) By using K-map, obtain the simplest Boolean expression for the each function  $f_1(x, y, z)$  and  $f_2(x, y, z)$ .  
*Dengan menggunakan peta-K, dapatkan sebutan Boolean teringkas bagi setiap fungsi  $f_1(x, y, z)$  dan  $f_2(x, y, z)$ .*  
(10 marks/markah)
- (iv) Implement both simplest Boolean expressions using **one 3 x 4 x 2 programmable logic array (PLA)** with **true** and **complemented** outputs capability.  
*Laksanakan kedua-dua sebutan Boolean teringkas dengan menggunakan **satu 3 x 4 x 2 pelbagai logik boleh diprogramkan (PLA)** dengan keupayaan keluaran **benar** dan **terlengkap**.*  
(30 marks/markah)
- (c) Design an arithmetic logic unit (ALU) which performs four operations as described by the following pseudocode:  
*Rekabentuk sebuah unit logik aritmetik (ALU) yang melaksanakan empat operasi sebagaimana digambarkan oleh kod pseudo berikut:*

If Op is 0, then Res = a OR b  
 If Op is 1, then Res = a AND b  
 If Op is 2, and  
     if Binvert is 0,  
         then Res = sum (a + (-b))  
     if Binvert is 1,  
         then Res = sum (a + b)

(20 marks/markah)

3. (a) The schematic for a 2-bit binary counter that count the sequence 0,1,2,3,0,1,2,3,0... is implemented using D flip-flops as shown in Figure 3.  
*Skematik untuk satu pembilang binari 2-bit yang membilang jujukan 0,1,2,3,0,1,2,3,0... diimplementasikan menggunakan flip-flop D sebagaimana ditunjukkan dalam Rajah 3.*

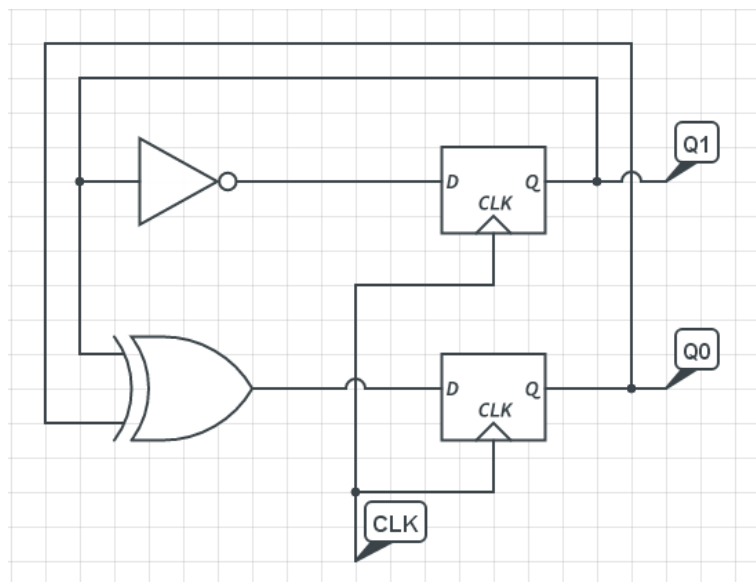


Figure 3

Rajah 3

(i) Write equations for two flip-flop inputs, D1 and D0.  
*Tulis persamaan untuk masukan dua flip-flop, D1 dan D0.*  
 (10 marks/markah)

(ii) Using the equation from (i), complete the state table for this counter.  
*Menggunakan persamaan dari (i), lengkapkan jadual keadaan untuk pembilang ini.*  
 (20 marks/markah)

(b) Table 1 shows a state table for a sequence detector with one input, x and one output, z.  
 Investigate the table with the given symbol, then complete the following questions:  
*Jadual 1 menunjukkan satu jadual keadaan untuk satu pengesan jujukan dengan satu masukan, x and satu keluaran, z.*  
*Teliti jadual dengan simbol yang diberi, kemudian lengkap soalan-soalan berikut:*

Table 1  
*Jadual 1*

Present State Symbol	Present State		Input x	Next State		Output 1
	Q <sub>1</sub>	Q <sub>0</sub>		Q <sub>1</sub>	Q <sub>0</sub>	
T0	0	0	0	0	0	0
T0	0	0	1	0	1	0
T1	0	1	0	1	1	0
T1	0	1	1	0	1	0
T2	1	1	0	0	0	0
T2	1	1	1	0	1	1

(i) Draw an ASM chart for this sequence detector.  
*Lukis satu carta ASM untuk pengesan jujukan ini.*  
 (20 marks/markah)



- (ii) Identify either the system employs Mealy or Moore machine?  
Give the reason for your answer.  
*Kenal pasti sama ada sistem menggunakan mesin Mealy atau Moore?  
Beri sebab kepada jawapan anda.*

(10 marks/markah)

- (iii) Design the control unit using JK flip flop.  
*Reka bentuk unit pengawal menggunakan flip-flop JK.*

(40 marks/markah)

4. Figure 4 shows a state diagram for a sequence detector. Using 01010110100 for the input for this sequence detector:

*Rajah 4 menunjukkan satu gambar rajah keadaan untuk satu pengesan jujukan.  
Dengan menggunakan 01010110100 untuk masukan kepada pengesan jujukan:*

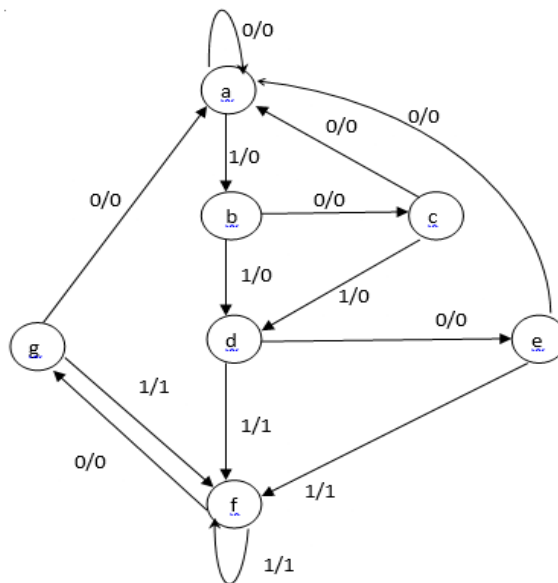


Figure 4

Rajah 4

- (i) Draw the state table for this input.  
*Lukis jadual keadaan untuk masukan ini.*

(15 marks/markah)

- (ii) Using the implication chart, get the reduced state table.  
*Dengan menggunakan carta implikasi, dapatkan jadual keadaan dikurangkan.*

(30 marks/markah)

- (iii) Re-draw the state diagram for the reduced state table.  
*Lukis kembali gambar rajah keadaan untuk jadual keadaan dikurangkan.*

(25 marks/markah)

- (b) A Moore sequential circuit has two inputs (X1 and X2) and one output (Z). Z begins at 0. It becomes 1 when X1=1 and X2=1 either concurrently, or one after the other (in either order). Z returns to zero when X1=X2=0. The following input and output sequence should help you understand the problem:

*Satu litar jujukan Moore mempunyai dua masukan (X1 dan X2) dan satu keluaran (Z). Z bermula pada 0. Ia menjadi 1 apabila X1= 1 dan X2=1 sama ada serentak, atau satu demi satu (dalam sebarang susunan). Z kembali kepada kosong apabila X1=X2=0. Jujukan masukan dan keluaran berikut mungkin membantu anda memahami masalah ini:*

X1 = 0 1 0 0 1 0 0 0 1 1 0 1 1 0

X2 = 0 0 1 1 0 0 1 1 0 0 0 1 0 0

Z = (0)0 0 1 1 1 0 0 0 1 1 0 1 1 0

From the above explanation, solve for the following questions:

*Dari penerangan di atas, selesaikan soalan-soalan berikut:*

- (i) Give the Moore state graph.  
*Berikan graf keadaan Moore.*

(20 marks/markah)

- (ii) From part (i), show the state table with appropriate state encoding.  
*Dari bahagian (i), tunjukkan jadual keadaan dengan pengekod keadaan yang sesuai.*

(10 marks/markah)