
UNIVERSITI SAINS MALAYSIA

First Semester Examination
2016/2017 Academic Session

December 2016/ January 2017

EEE 378/3 – DIGITAL ELECTRONIC II [ELEKTRONIK DIGIT II]

Duration : 3 hours
[Masa : 3 jam]

Please check that this examination paper consists of **FIFTEEN (15)** pages of printed material before you begin the examination. English version from page **TWO (2)** to page **EIGHT (8)** and Malay version from page **NINE (9)** to page **FIFTEEN (15)**.

*Sila pastikan bahawa kertas peperiksaan ini mengandungi **LIMA BELAS (15)** muka surat bercetak sebelum anda memulakan peperiksaan ini. Versi Bahasa Inggeris daripada muka surat **DUA (2)** sehingga muka surat **LAPAN (8)** dan versi Bahasa Melayu daripada muka surat **SEMBILAN (9)** sehingga muka surat **LIMA BELAS (16)**.*

Instructions: This question paper consists of **FIVE (5)** questions. Answer **ALL** questions. All questions carry the same marks.

*[Arahan: Kertas soalan ini mengandungi **LIMA (5)** soalan. Jawab **SEMUA** soalan. Semua soalan membawa jumlah markah yang sama]*

Use separate answer booklets for **Part A** and **Part B**.

*[Gunakan dua buku jawapan yang berasingan bagi **Bahagian A** dan **Bahagian B**.*

Answer to any question must start on a new page

[Mulakan jawapan anda untuk setiap soalan pada muka surat yang baharu].

“In the event of any discrepancies, the English version shall be used”.

[Sekiranya terdapat sebarang percanggahan pada soalan peperiksaan, versi Bahasa Inggeris hendaklah diguna pakai].

ENGLISH VERSION
PART A

1. (a) The logic gates in Figure 1 perform the function of a common arithmetic building block. Identify the logic function.

(20 marks)

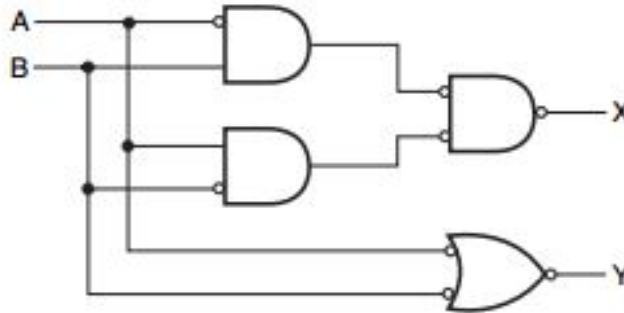


Figure 1

- (b) By using entered-variable method (EVM) with 'z' as the entered-variable, obtain the simplest Boolean expression in Sum-of-Product (SOP) for the following function:

Show the complete truth table and K-map.

(60 marks)

- (c) Realize the simplest Boolean expression obtained in 1(b) using just an 8:1 line multiplexer.

(20 marks)

2. The realization of two Boolean functions $f_1(a,b,c)$ and $f_2(a,b,c)$ using MSI components are shown in Figure 2(a) and Figure 2(b) respectively. By systematically examine the configuration of multiplexers and analyzing the input-output relationships:

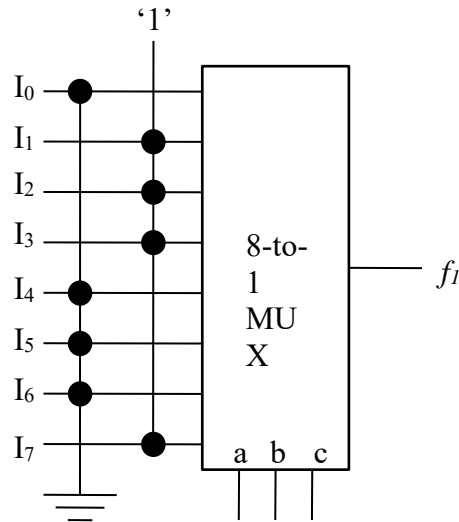


Figure 2(a)

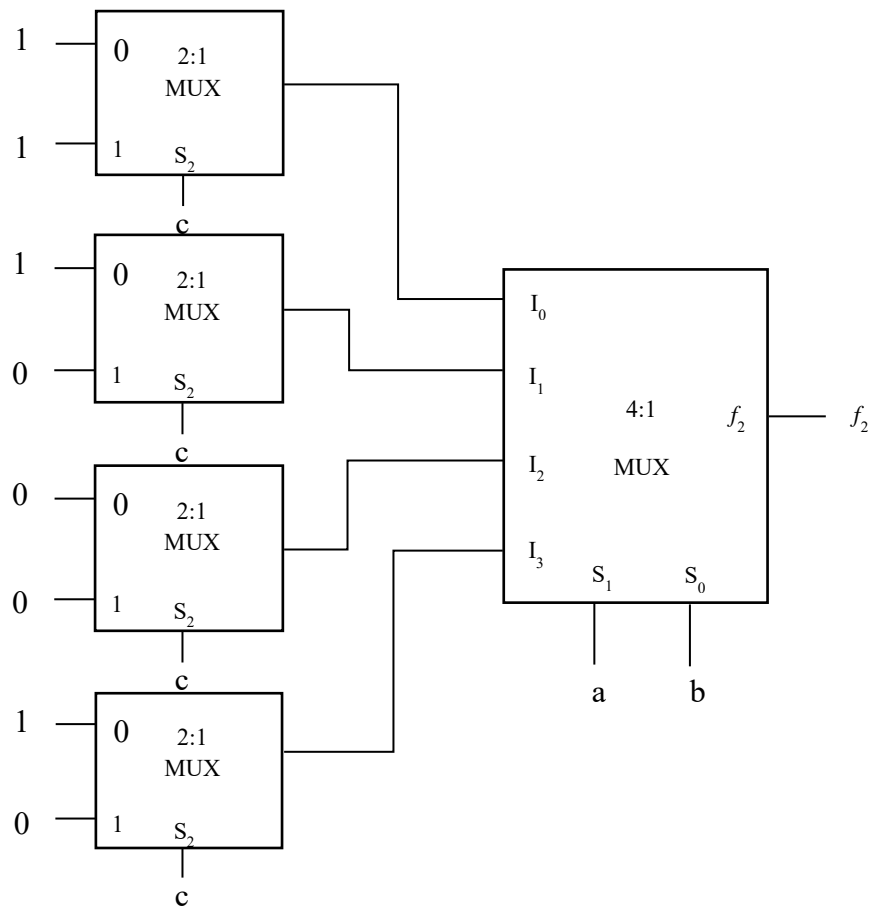


Figure 2(b)

- (a) Improve the design in Figure 2(a) using a 4-to-1 multiplexer by choosing variable “c” as one of the inputs.
(10 marks)
 - (b) Based on answer from question 2(a), extract the function $f_1(a,b,c)$.
(5 marks)
 - (c) Extract the function $f_2(a,b,c)$
(15 marks)
 - (d) By using K-map, obtain the simplest Boolean expression for the functions in questions 2(b) and 2(c).
(10 marks)
 - (e) Next, implement **both** functions obtained in question 2(d) using **one 3 x 4 x 2 PLA** with **true** and **complemented** output capability.
(60 marks)
3. (a) (i) List down the types of hazard that could possibly occur in digital circuit. Briefly explain each type of hazard.
(30 marks)
- (ii) Construct a 4-bit parallel adder-subtractor using Exclusive-OR gates (XOR) and the module shown in Figure 3.1. In this case, the XOR gate functions as a controlled inverter.
(10 marks)

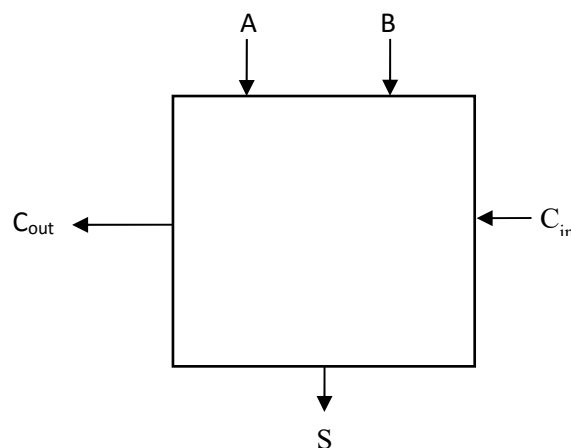


Figure 3.1

- (iii) Briefly explain the operation of a 4-bit parallel adder-subtractor in 3(a)(ii)
(10 marks)

PART B

(b) The schematic for a 2-bit binary counter that counts the sequence 0,1,2,3,0,1,2,3,0...implemented using D flip-flops is shown in Figure 3.2.

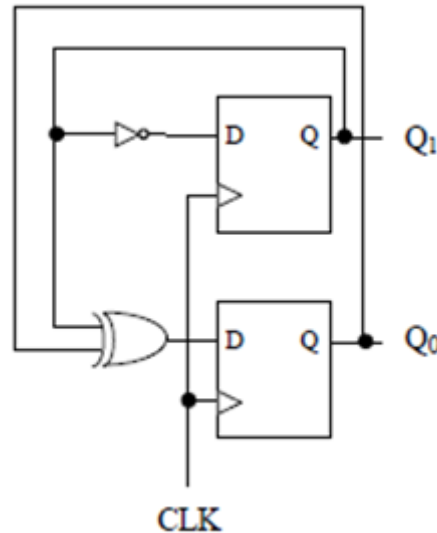


Figure 3.2

(i) Write the equation for the input of two flip-flops D_1 and D_0 (5 marks)

(ii) Using the equation from (i), complete the state table for this counter. (15 marks)

(c) You are required to design a 3-bit counter using T flip-flops. In order to complete it, investigate the information and answer from question 3(b). All required steps in order to produce the schematic for the counter MUST be shown in your answer. (30 marks)

4. (a) Table 4(a) shows a state table for a sequence detector with one input, x and one output, z . Investigate the table with the given symbol, then complete the following question.

(i) Draw an ASM chart for this sequence detector. (15 marks)

(ii) Identify either the system employs Mealy or Moore machine?

(3 marks)

(iii) Identify the sequence that will be detected by the system?

(7 marks)

(iv) Design the control unit using JK flip flop.

(40 marks)

Present State Symbol	Present State		Input x	Next State		Output,
	Q ₁	Q ₀		Q ₁	Q ₀	
T0	0	0	0	0	0	0
T0	0	0	1	0	1	0
T1	0	1	0	1	1	0
T1	0	1	1	0	1	0
T2	1	1	0	0	0	0
T2	1	1	1	0	1	1

Table 4(a)

(b) The system illustrated using ASM chart as answered in 4(a)(i) can also be designed if it is described by state diagram. Based on ASM chart, state table and the answer you have in 4(a)(ii) and 4(a)(iii), find the solution for the following:

(i) Re-illustrate the system using state diagram.

(15 marks)

(ii) Derive the state table using state diagram.

(10 marks)

(iii) Using the statement or any evidence, how to verify that the circuit in 4a(iv) is similar with the circuit that you will design using the new state diagram.

(10 marks)

5. (a) Consider the Mealy state diagram shown in Figure 5(a) below for a circuit with one input X, one output Z and 8 states named A through H.

(i) Write down a state table for the diagram.

(15 marks)

(ii) From state table in (i), reduce the state using implication chart.

(15 marks)

(iii) From (ii), re-draw the reduced state diagram.

(10 marks)

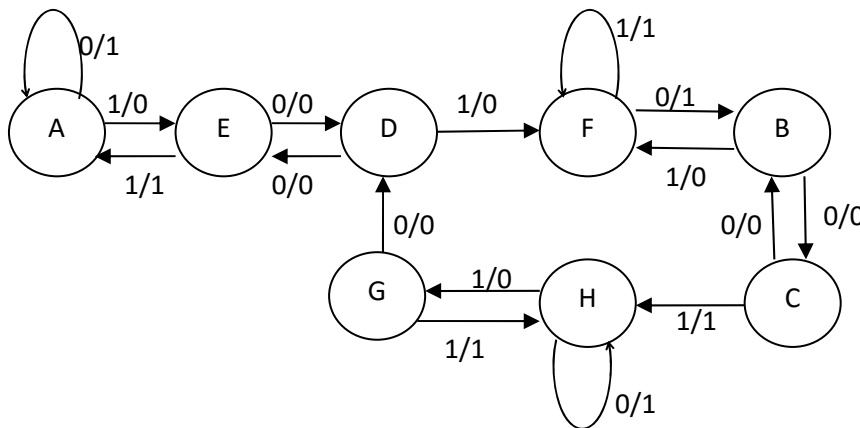


Figure 5(a)

(b) The sequence of state, input and output shown in Figure 5(b) below is a Mealy machine for a circuit with one input X and one output Z. Complete the sequence by showing it using state diagram.

(20 marks)

States:	S0	S1	S3	S4	S0	S1	S5	S6	S0	S2	S3	S4	S0	S1	S3	S4	S0	S2	S5	S6	S0
Input:	0	1	0	1	0	0	1	0	1	0	0	1	0	1	0	0	1	1	0	1	0
Output:	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0

Figure 5(b)

(c) Figure 5(c) shows a circuit diagram with two JK flip-flops, one input X and one output Z. From the circuit,

(i) Find the equation for the flip-flops and the output Z.

(15 marks)

(ii) From (i), construct a state table.

(15 marks)

(iii) From (ii), construct a state diagram.

(10 marks)

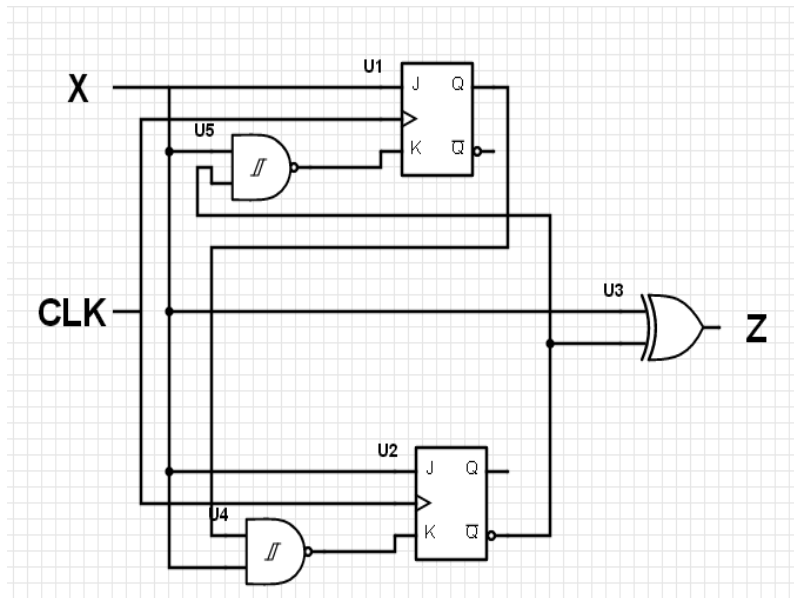
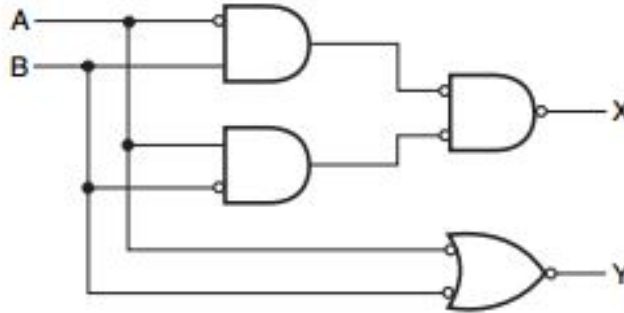


Figure 5(c)

VERSI BAHASA MELAYU
BAHAGIAN A

1. (a) Get logik dalam Rajah 1(a) menjalankan fungsi blok binaan aritmetik yang biasa. Kenalpasti fungsi get logik tersebut.

(20 markah)



Rajah 1(a)

- (b) Dengan menggunakan kaedah 'entered-variable method (EVM)' yang menggunakan 'z' sebagai 'entered-variable', dapatkan sebutan Boolean teringkas dalam sebutan Pekali Campur (SOP) untuk fungsi berikut:

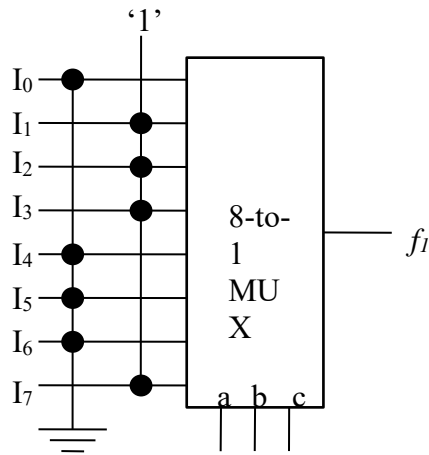
Tunjukkan jadual kebenaran yang lengkap dan peta-K.

(60 markah)

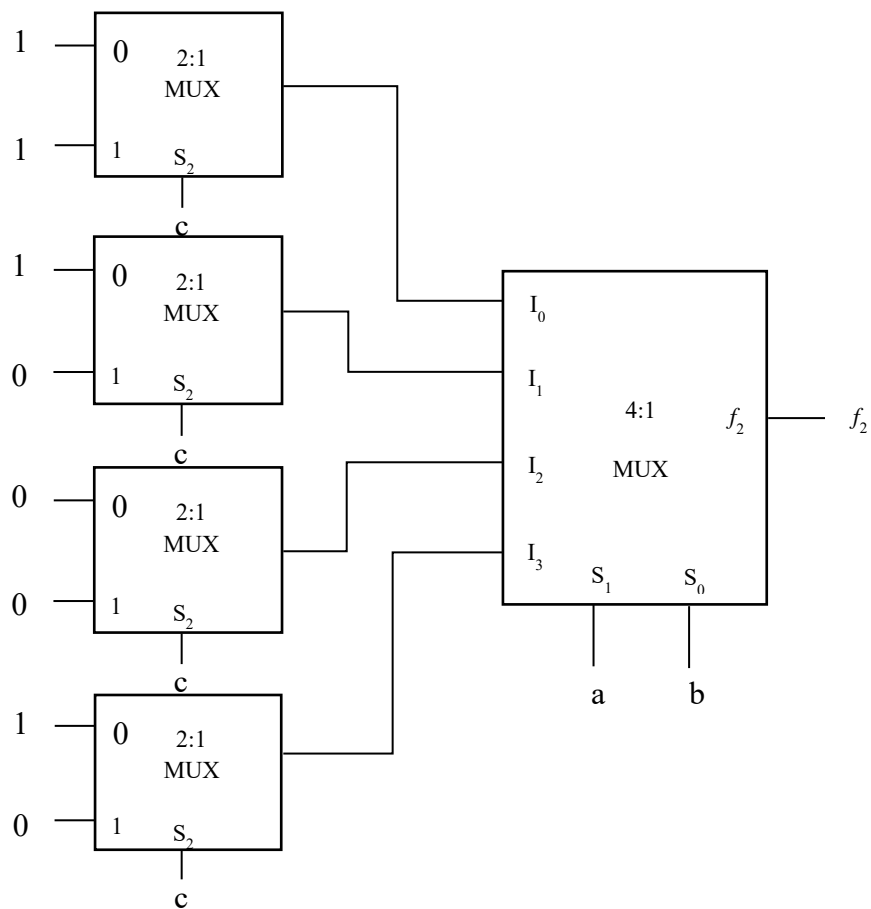
- (c) Laksanakan sebutan Boolean teringkas yang diperolehi dalam 1(b) dengan hanya menggunakan pemultipleks talian 8:1.

(20 markah)

2. Pelaksanaan dua fungsi Boolean $f_1(a,b,c)$ and $f_2(a,b,c)$ menggunakan komponen MSI masing-masing ditunjukkan oleh rajah 2(a) dan 2(b). Dengan memeriksa secara sistematis akan konfigurasi pemultipleks dan menganalisis hubungan antara masukan-keluaran:

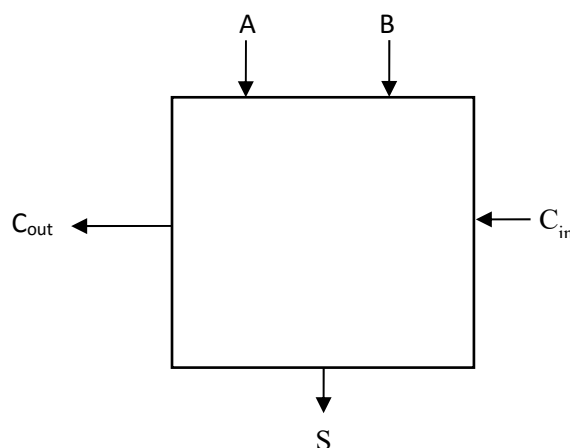


Rajah 2(a)



Rajah 2(b)

- (a) Tingkatkan rekabentuk dalam Rajah 2(a) menggunakan pemultipleks 4-kepada-1 dengan memilih pembolehubah "c" sebagai salah satu daripada masukan. (10 markah)
 - (b) Berdasarkan jawapan daripada soalan 2(a), carikan fungsi $f_1(a,b,c)$ (5 markah)
 - (c) Carikan fungsi $f_2(a,b,c)$ (15 markah)
 - (d) Dengan menggunakan peta-K, dapatkan sebutan Boolean teringkas bagi fungsi-fungsi dalam soalan 2(b) dan 2(c). (10 markah)
 - (e) Kemudian, laksanakan **kedua-dua** fungsi yang diperolehi dari soalan 2(d) menggunakan **satu 3 x 4 x 2 PLA** dengan keupayaan keluaran **benar** dan **terlengkap**. (60 markah)
3. (a) (i) Senaraikan jenis-jenis 'hazard' yang mungkin berlaku dalam litar digital. Terangkan dengan ringkas setiap jenis 'hazard' tersebut. (30 markah)
- (ii) Binakan penambah-penolak selari 4-bit menggunakan get-get "Exclusive-OR (XOR)" dan modul penambah separa seperti dalam Rajah 3. Dalam kes ini, get XOR berfungsi sebagai penyongsang terkawal. (10 markah)

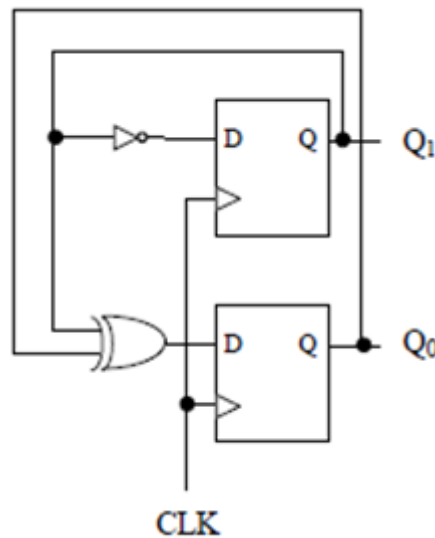


Rajah 3.1

- (iii) Terangkan dengan ringkas operasi penambah-penolak selari 4-bit dalam 3(a)(ii). (10 markah)

BAHAGIAN B

- (b) Skematik untuk pembilang binari 2-bit yang mengira jujukan 0,1,2,3,0,1,2,3,0,...dihasilkan menggunakan D flip-flop ditunjukkan dalam Rajah 3.2



Rajah 3.2

- (i) Tulis persamaan untuk masukan dua flip-flop D_1 and D_0 .
(5 markah)
- (ii) Menggunakan persamaan dari (i), lengkapkan jadual keadaan untuk pembilang ini.
(15 markah)
- (c) Anda diminta untuk mereka bentuk satu pembilang 3-bit menggunakan T flip-flop. Bagi melengkapkan ini, siasat maklumat dan jawapan dari Soalan 3(b). Semua langkah-langkah yang diperlukan dalam menghasilkan skematik untuk pembilang MESTI ditunjukkan dalam jawapan anda.
(30 markah)
4. (a) Jadual 4(a) menunjukkan satu jadual keadaan untuk satu pengesan jujukan dengan satu masukan, x dan satu keluaran, z . Siasat jadual dengan simbol yang diberi, kemudian selesaikan soalan berikut.
- (i) Lukis satu carta ASM untuk pengesan jujukan ini.
(15 markah)

(ii) *Kenal pasti sama ada sistem menggunakan mesin Mealy atau Moore.*

(3 markah)

(iii) *Kenal pasti jujukan yang akan dikesan oleh sistem.*

(7 markah)

(iv) *Reka bentuk unit pengawal menggunakan JK flip flop.*

(40 markah)

Present State Symbol	Present State		Input	Next State		Output,
	Q_1	Q_0		Q_1	Q_0	
<i>T0</i>	0	0	0	0	0	0
<i>T0</i>	0	0	1	0	1	0
<i>T1</i>	0	1	0	1	1	0
<i>T1</i>	0	1	1	0	1	0
<i>T2</i>	1	1	0	0	0	0
<i>T2</i>	1	1	1	0	1	1

Jadual 4(a)

(b) *Sistem yang digambarkan menggunakan carta ASM sebagaimana dijawab dalam 4(a)(i) juga boleh direkabentuk jika ia dinyatakan menggunakan gambar rajah keadaan. Berdasarkan carta ASM, jadual keadaan and jawapan anda dalam 4(a)(ii) dan 4(a)(iii), carikan penyelesaian untuk berikut:*

(i) *Gambarkan kembali sistem menggunakan gambarajah keadaan*

(15 markah)

(ii) *Keluarkan jadual keadaan menggunakan gambarajah keadaan*

(10 markah)

(iii) *Menggunakan pernyataan atau apa-apa bukti, bagaimana untuk mengesahkan litar dalam 4(a)(iv) adalah sama dengan litar yang anda akan reka bentuk menggunakan gambar rajah keadaan yang baru.*

(10 markah)

5. (a) *Pertimbangkan gambarajah keadaan Mealy yang ditunjukkan dalam Rajah 5(a) di bawah untuk satu litar dengan satu masukan X, satu keluaran Z dan 8 keadaan dinamakan A hingga H.*

(i) *Tulis satu jadual keadaan untuk gambarajah tersebut.*

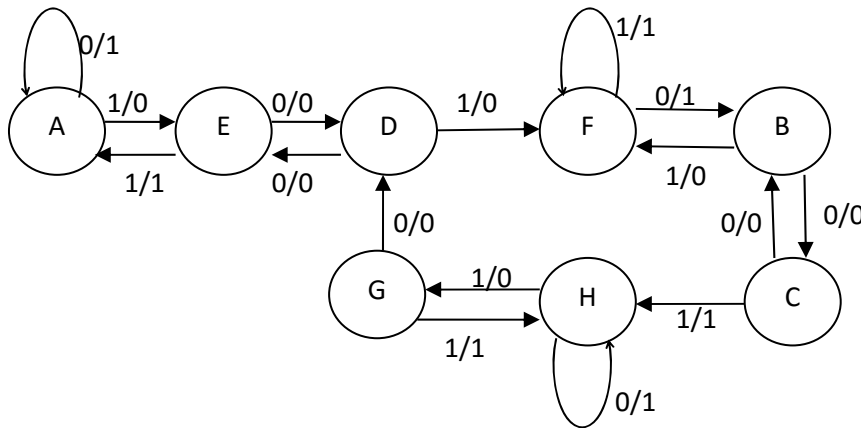
(15 markah)

(ii) *Dari jadual keadaan, kurangkan keadaan menggunakan carta implikasi.*

(15 markah)

(iii) *Dari (ii), lukis kembali gambarajah keadaan yang telah dikurangkan.*

(10 markah)



Rajah 5(a)

(b) *Jujukan untuk keadaan, masukan dan keluaran yang ditunjukkan dalam Rajah 5(b) di bawah adalah satu mesin Mealy untuk satu litar dengan satu masukan X dan satu keluaran Z. Lengkapkan jujukan dengan menunjukkannya dengan menggunakan gambarajah keadaan.*

(20 markah)

Keadaan:	S0	S1	S3	S4	S0	S1	S5	S6	S0	S2	S3	S4	S0	S1	S3	S4	S0	S2	S5	S6	S0
Masukan:	0	1	0	1	0	0	1	0	1	0	0	1	0	1	0	0	1	1	0	1	0
Keluaran:	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0

Rajah 5(b)

(c) *Rajah 5(c)* menunjukkan satu gambar rajah litar dengan dua JK flip-flop, satu masukan X dan satu keluaran Z. Daripada litar,

(i) *Dapatkan persamaan untuk flip-flop dan keluaran Z.*

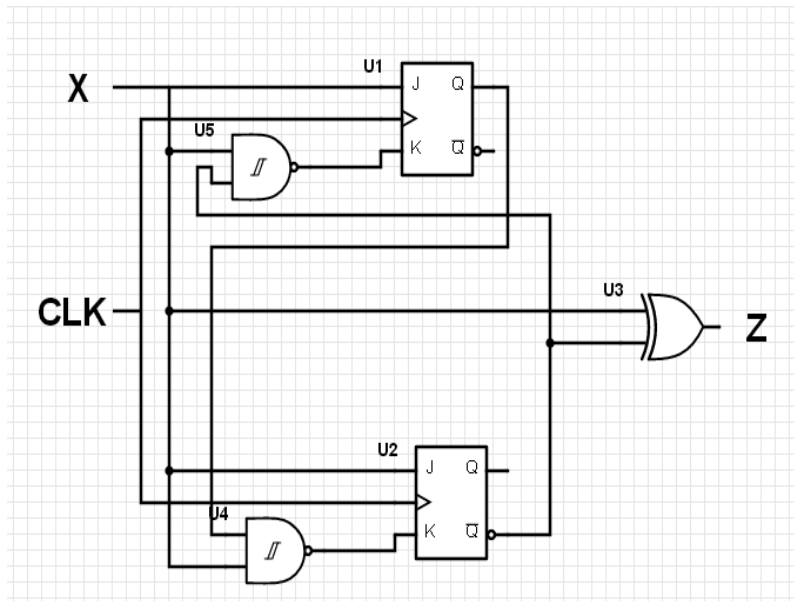
(15 markah)

(ii) *Dari (i), bina satu jadual keadaan.*

(15 markah)

(iii) *Dari (ii), bina satu gambarajah keadaan.*

(10 markah)



Rajah 5(c)