
UNIVERSITI SAINS MALAYSIA
Peperiksaan Kursus Semasa Cuti Panjang
Sidang Akademik 2002/2003

April 2003

JEE 342 – ANALOG ELEKTRONIK II

Masa : 3 Jam

ARAHAN KEPADA CALON:

Sila pastikan kertas peperiksaan ini mengandungi **TUJUH (7)** muka surat yang bercetak dan **ENAM (6)** soalan sebelum anda memulakan peperiksaan ini.

Jawab **LIMA (5)** soalan.

Agihan markah diberikan di sut sebelah kanan soalan berkenaan.

Semua soalan hendaklah dijawab di dalam Bahasa Malaysia.

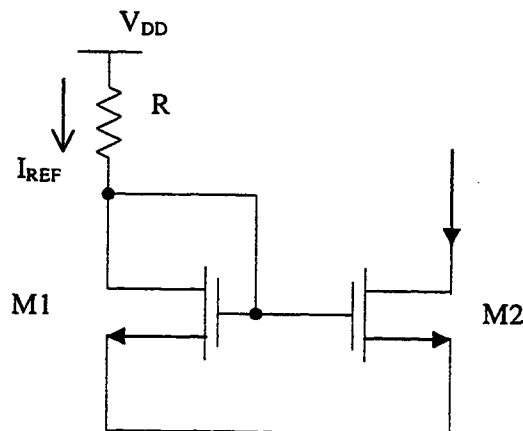
1. (a) Rajah S1(a) menunjukkan cermin arus. Diberikan untuk $M1, M2$, lebar salir $W = 40\mu$, panjangsalir $L = 5\mu$, dan $V_{DD} = 3V$. Kira nilai R yang diperlukan untuk menyediakan I_{REF} bernilai $50\mu A$. Nyatakan sebarang anggapan yang digunakan. Diberikan data proses untuk $L = 2\mu$.

(40%)

$$\mu_n C_{ox} = 50\mu A/V, V_m = 0.7V$$

$$I_{DSAT} = \frac{W}{L} \frac{\mu_n C_{ox}}{2} (V_{GS} - V_m)^2$$

$$I_{DLIN} = \frac{W}{L} \frac{\mu_n C_{ox}}{2} \left[V_{GS} - V_m - \frac{V_{DS}}{2} \right]$$



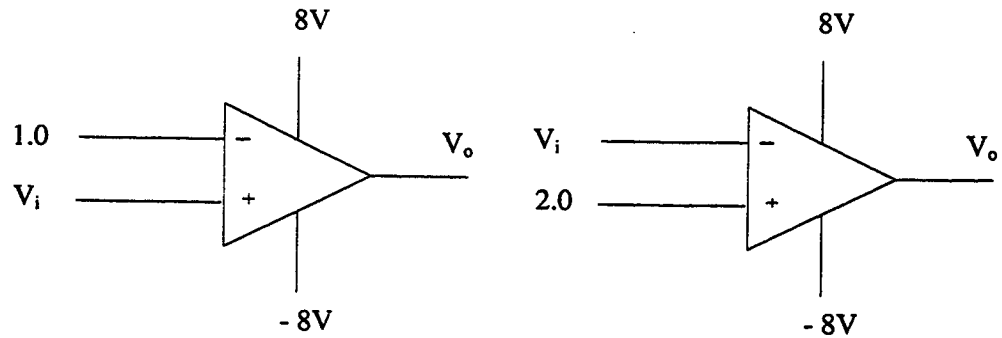
Rajah S1(a)

- (b) Jika $V_{dd} = 3V$, rekabentuk litar cermin arus untuk menyediakan punca arus $40\mu A$, $20\mu A$ dan $10\mu A$. Nyatakan sebarang anggapan yang digunakan.

(60%)

...3/-

2. (a) Rajah blok suatu pembanding (Rajah S2(a)) diberikan. Lakarkan gelombang keluaran V_o untuk isyarat masukan sinus $V_{i(p-p)} = \pm 5V$.



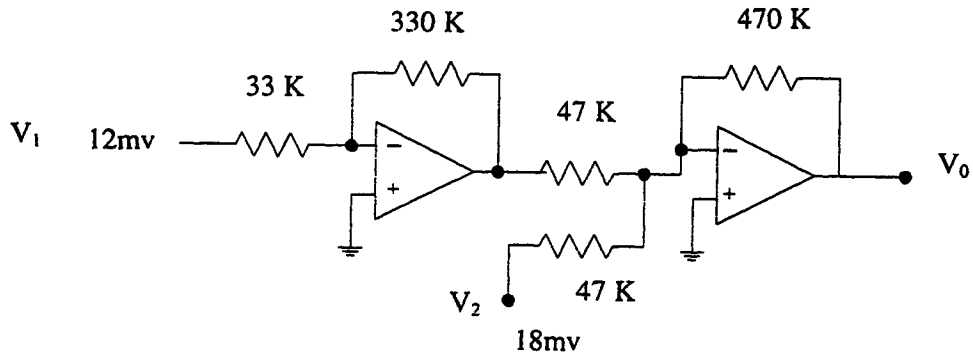
Rajah S2(a)

(30%)

- (b) Gunakan pembanding, rekabentuk litar yang boleh mengesan julat voltan masukan V_i (3-4)V dan voltan keluaran $V_o \rightarrow 0V$. Selain daripada julat tersebut $V_o = 5V$.

(70%)

3. (a) Tentukan voltan keluaran Rajah S3(a).



Rajah S3(a)

(20%)

(b) Rekabentuk penapis aktif Salen-Key laluan jalur yang mempunyai lebar jalur 100KHz dan frekuensi tengah $f_o = 1$ MHz. Penapis tersebut hendaklah menyediakan 'rolloff' sekurang-kurangnya 60 dB/dec. Gunakan jadual yang diberikan untuk nilai-nilai sambutan Butterworth dan lakarkan litar lengkapnya.

Order	Roll-off DB/decade	1 st stage			2 nd stage			3 rd stage		
		Poles	DF	R1/R2	Poles	DF	R1/R2	Poles	DF	R1/R2
1	20	1	optional							
2	40	2	1.414	0.586						
3	60	2	1.00	1	1	1.00	1			
4	80	2	1.848	0.152	2	0.765	1.235			
5	100	2	1.00	1	2	1.618	1.382	1	1.618	1.382
6	120	2	1.932	0.068	2	1.414	0.586	2	0.518	1.482

(80%)

...5/-

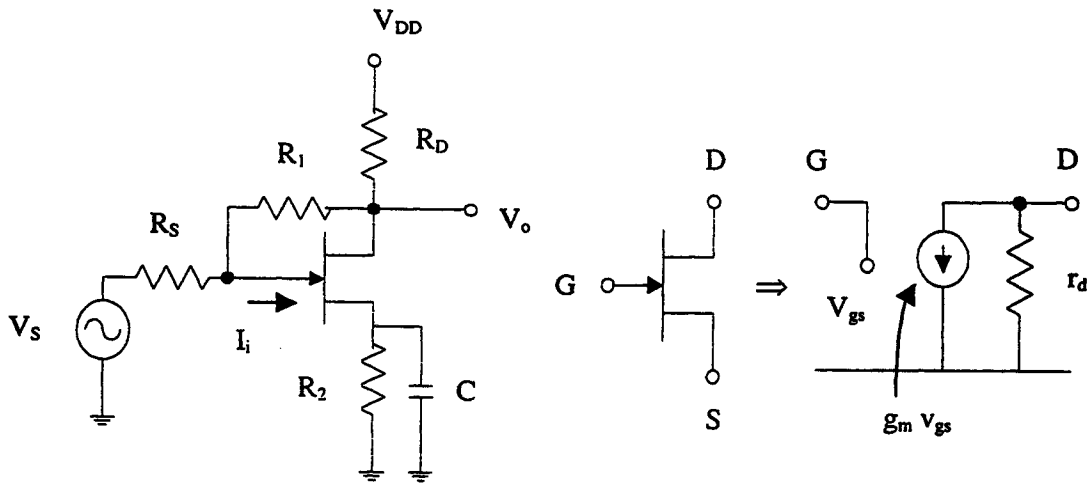
4. (a) Nyatakan kesan voltan keluaran bila suapbalik positif dan negatif digunakan di dalam suatu pengganda.

(20%)

(b) Merujuk kepada Rajah S4. Nyatakan jenis suap balik yang digunakan. Lakarkan model isyarat kecil dan tentukan gandaan $\frac{V_o}{I_i}$ tanpa suap balik dan faktor suap balik β .

(40%)

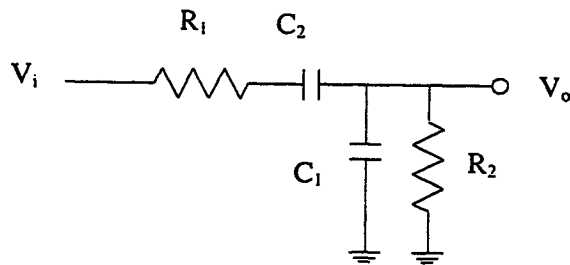
(c) Tentukan gandaan voltan dengan suap balik $\frac{V_o}{V_s}$.



Rajah S4

(40%)

5. (a) Rajah S5(a) ialah rangkaian 'lead-lag' RC. Lakarkan dan terangkan sambutan V_o melawan f_i . Disini f_i ialah frekuensi voltan masukan v_i .



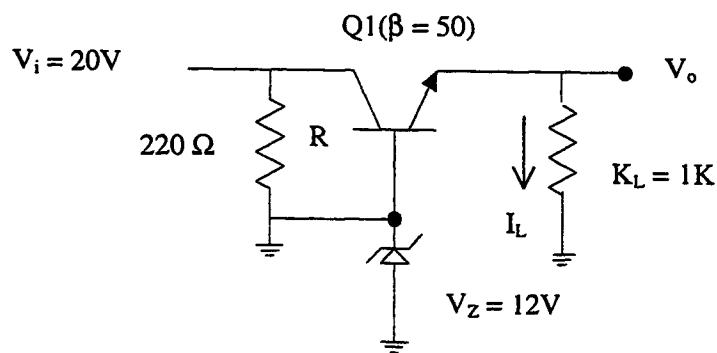
Rajah S5(a)

(30%)

- (b) Nyatakan syarat untuk pengayunan berlaku. Lakarkan litar pengayun 'Wein Bridge' menggunakan litar di bahagian (a), op-amp dan diod zener yang sesuai. Tunjukkan litar tersebut akan mula berayun dan terus berayun bila voltan keluaran melebihi voltan runtuh diod zener V_z . Pilih nilai R, C supaya $f_r = 1$ MHz.

(70%)

6. (a) Merujuk kepada Rajah S6(a). Terangkan bagaimana pengendalian voltan V_o berlaku.



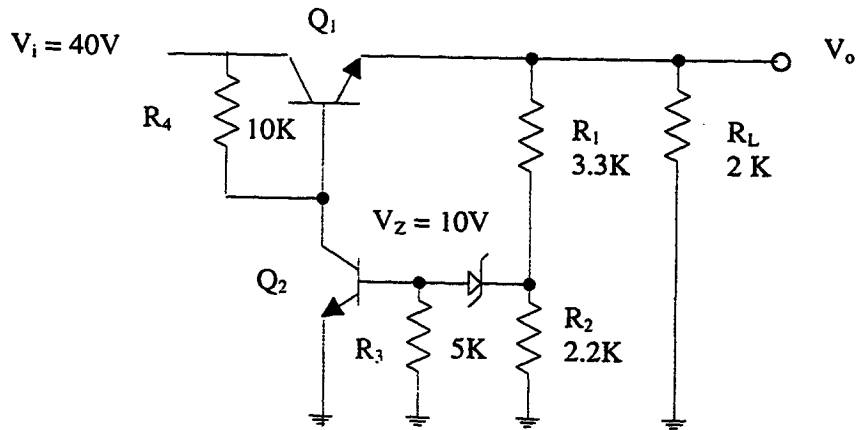
Rajah S6(a)

(40%)

...7/-

Kira V_o , I_L dan arus diod zener I_z .

- (b) Merujuk kepada Rajah S6(b). Terangkan bagaimana litar pengendalian V_o beroperasi dan dapatkan V_o dalam sebutan R_1 , R_2 , V_z , V_{BE} . Kira nilai V_o .



Rajah S6(b)

(60%)