

---

# UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Kedua  
Sidang Akademik 2007/2008

April 2008

## EEE 344 – SISTEM VLSI

Masa: 3 jam

---

Sila pastikan bahawa kertas peperiksaan ini mengandungi EMPAT BELAS muka surat dan SATU muka surat LAMPIRAN yang bercetak sebelum anda memulakan peperiksaan ini.

Kertas soalan ini mengandungi ENAM soalan.

Jawab LIMA soalan.

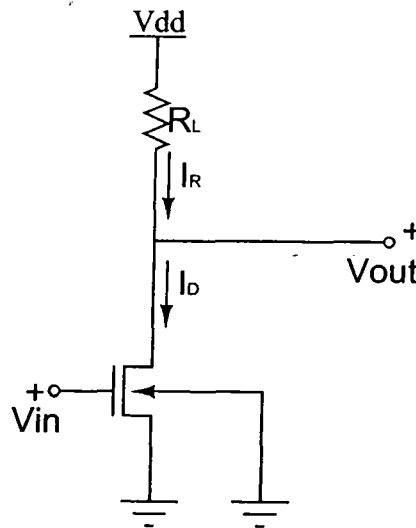
Mulakan jawapan anda untuk setiap soalan pada muka surat yang baru.

Agihan markah bagi setiap soalan diberikan di sudut sebelah kanan soalan berkenaan.

Jawab semua soalan dalam bahasa Malaysia atau bahasa Inggeris atau kombinasi kedua-duanya.

1. Diberi sebuah litar penyongsang dengan beban perintang seperti dalam Rajah 1, di mana jumlah arus yang mengalir ke perintang adalah sama dengan jumlah arus yang mengalir ke transistor nMOS ( $I_R = I_D$ ). Untuk pengiraan di dalam soalan (b) dan (c), abaikan kesan perubahan panjang saluran ( $\lambda = 0$ ).

Consider a resistive-load inverter circuit shown in Figure 1, which the amount of current that flow to resistor is equal to the amount of current that flow to nMOS transistor ( $I_R = I_D$ ). For the calculation in questions (b) and (c), neglect the channel-length modulation effect ( $\lambda = 0$ ).



Rajah 1  
Figure 1

- (a) Terangkan secara kualitatif operasi litar yang ditunjukkan di Rajah 1.  
*Explain qualitatively how the circuit shown in Figure 1 works.*

(20%)

...3/-

- (b) Sekiranya  $V_{DD} = 5V$ ,  $k'_n = 20\mu A/V^2$ ,  $V_{T0} = 0.8V$ ,  $R_L = 50k\Omega$  dan  $W/L = 2$ . Kira voltan kritikal  $V_{OL}$ ,  $V_{OH}$ ,  $V_{IL}$ ,  $V_{IH}$  dan cari nilai jidar hingar rendah ( $N M_L$ ), dan nilai jidar hingar tinggi ( $N M_H$ ) bagi litar dalam Rajah 1.

*Given  $V_{DD} = 5V$ ,  $k'_n = 20\mu A/V^2$ ,  $V_{T0} = 0.8V$ ,  $R_L = 50k\Omega$  and  $W/L = 2$ . Calculate the critical voltages  $V_{OL}$ ,  $V_{OH}$ ,  $V_{IL}$ ,  $V_{IH}$  and find low noise margin ( $N M_L$ ), and high noise margin ( $N M_H$ ) for the circuit in Figure 1. (50%)*

- (c) Tentukan nilai  $k_n R_L$  supaya nilai jidar hingar tinggi ( $N M_H$ ) menjadi 3.03V.

*Determine the value of  $k_n R_L$  so that the value of high noise margin ( $N M_H$ ) becomes 3.03V. (30%)*

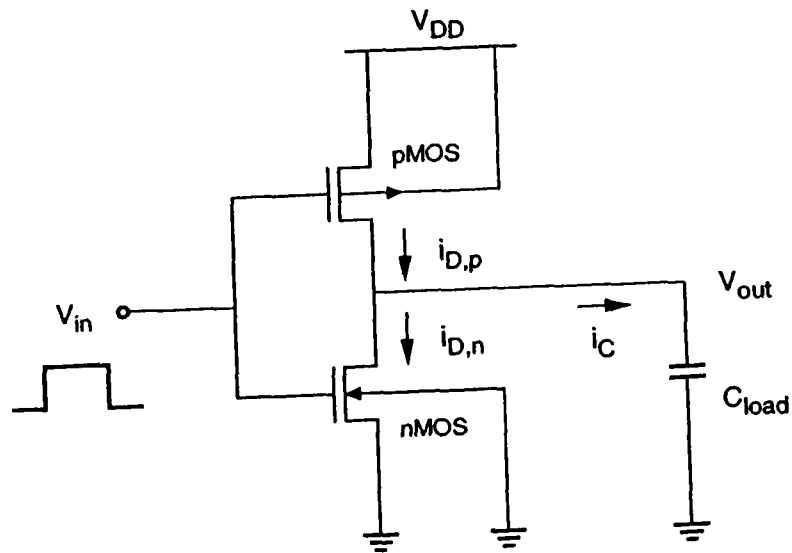
2. Diberi sebuah litar penyongsang CMOS yang bersambung dengan sebuah beban pemuat seperti dalam Rajah 2, di mana jumlah arus yang mengalir ke transistor pMOS adalah  $i_{D,p}$ , jumlah arus yang mengalir ke transistor nMOS adalah  $i_{D,n}$ , jumlah arus yang mengalir ke beban pemuat adalah  $i_C$  dan nilai bagi beban pemuat adalah  $C_{load}$ . Didapati  $C_{load} \frac{dV_{out}}{dt} = i_C = i_{D,p} - i_{D,n}$ . Bentuk gelombang  $V_{in}$  dan  $V_{out}$  ditunjukkan dalam Rajah 3. Anggap kesan perubahan panjang channel boleh diabaikan ( $\lambda = 0$ ).

*Consider a CMOS inverter with a load capacitor shown in Figure 2, which the amount of current that flow to pMOS transistor is  $i_{D,p}$ , the amount of current that flow to nMOS transistor is  $i_{D,n}$ , the amount of current that flow to load capacitor is  $i_C$  and the capacitance of the load capacitor is  $C_{load}$ . Found that*

*$C_{load} \frac{dV_{out}}{dt} = i_C = i_{D,p} - i_{D,n}$ . The waveforms of  $V_{in}$  and  $V_{out}$  shown in Figure 3.*

*Assume that the channel-length modulation effect can be neglected ( $\lambda = 0$ ).*

...4/-



Rajah 2  
Figure 2

- (a) Buktikan yang bahawa masa untuk  $V_{out}$  berubah daripada  $V_{OH}$  kepada  $V_{50\%}$  ( $\tau_{PHL}$ ) adalah seperti berikut:

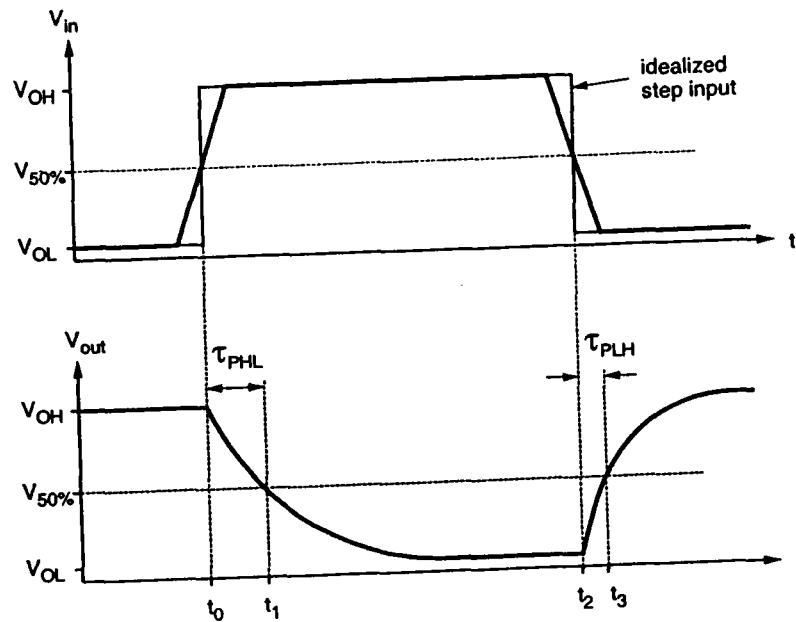
*Prove that the time taken for the  $V_{out}$  to change from  $V_{OH}$  to  $V_{50\%}$  ( $\tau_{PHL}$ ) is as following:*

$$\tau_{PHL} = \frac{C_{load}}{k_n (V_{DD} - V_{T,n})} \left[ \frac{2V_{T,n}}{V_{DD} - V_{T,n}} + \ln \left( \frac{4(V_{DD} - V_{T,n})}{V_{DD}} - 1 \right) \right]$$

Selain daripada persamaan matematik, gambarajah persamaan penyongsang CMOS dan bentuk gelombang  $V_{in}$  dan  $V_{out}$  semasa perubahan daripada  $V_{OH}$  kepada  $V_{50\%}$  hendaklah dilukis di dalam jawapan anda. Operasi untuk setiap transistor semasa perubahan juga hendaklah diterangkan.

*Besides the mathematic equations, you need to draw the equivalent CMOS inverter and the waveforms of  $V_{in}$  and  $V_{out}$  during the transition from  $V_{OH}$  to  $V_{50\%}$ . The operation of each transistor during the transition also need to be explained.*

(50%)



Rajah 3  
Figure 3

- (b) Buktikan yang bahawa masa untuk  $V_{out}$  berubah daripada  $V_{OL}$  kepada  $V_{50\%}$  ( $\tau_{PLH}$ ) adalah seperti berikut:

*Prove that the time taken for the  $V_{out}$  to change from  $V_{OL}$  to  $V_{50\%}$  ( $\tau_{PLH}$ ) is as the following:*

$$\tau_{PLH} = \frac{C_{load}}{k_p (V_{DD} - |V_{T,p}|)} \left[ \frac{2|V_{T,p}|}{V_{DD} - |V_{T,p}|} + \ln \left( \frac{4(V_{DD} - |V_{T,p}|)}{V_{DD}} - 1 \right) \right]$$

Selain daripada persamaan matematik, gambarajah persamaan penyongsang CMOS dan bentuk gelombang  $V_{in}$  dan  $V_{out}$  semasa perubahan daripada  $V_{OL}$  kepada  $V_{50\%}$  hendaklah dilukis di dalam jawapan anda. Operasi untuk setiap transistor semasa perubahan juga hendaklah diterangkan.

*Besides the mathematic equations, you need to draw the equivalent CMOS inverter and the waveforms of  $V_{in}$  and  $V_{out}$  during the transition from  $V_{OL}$  to  $V_{50\%}$ . The operation of each transistor during the transition also need to be explained.*

(50%)

Jadual 1  
Table 1

Input			Output
a	b	c	y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

...7/-

3. (a) Rekabentuk sebuah litar logik berdasarkan jadual kebenaran dalam Jadual 1 dengan menggunakan teknologi CMOS.

*Design a logic circuit based on the truth table shown in Table 1 with CMOS technology.*

- (i) Tentukan fungsi Boolean untuk jadual kebenaran dalam Jadual 1.  
*Determine the Boolean function for the truth table shown in Table 1.*

(20%)

- (ii) Lukiskan litar skematik berdasarkan fungsi Boolean yang diperolehi di soalan (i).

*Draw a transistor level schematic of the Boolean function obtained in question (i).*

(20%)

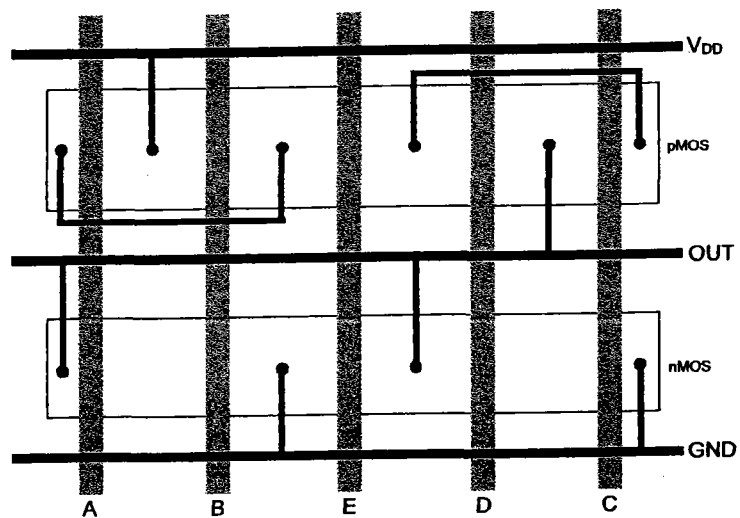
- (iii) Cari susunan get yang optimum berdasarkan pendekatan laluan Euler.

*Find the optimum gate ordering based on the Euler Path approach.*

(20%)

- (b) Diberi sebuah gambarajah liti seperti dalam Rajah 4. Ianya adalah susun atur bagi sebuah litar logik yang direkabentuk berdasarkan teknologi CMOS.

*Consider a stick diagram shown in Figure 4. It is a layout of a logic circuit that had been designed with CMOS technology.*



Rajah 4  
Figure 4

- (i) Lukis litar skema untuk gambarajah lidi dalam Rajah 4.  
*Draw a transistor level schematic of the stick diagram shown in Figure 4.*  
(20%)
  
- (ii) Tentukan fungsi Boolean untuk gambarajah lidi dalam Rajah 4.  
*Determine the Boolean function of the stick diagram shown in Figure 4.*  
(20%)



4. Litar CMOS yang ditunjukkan dalam Rajah 5 berikut adalah berasaskan aturan rekabentuk 3  $\mu\text{m}$  dengan  $W_n = 7 \mu\text{m}$  dan  $W_p = 15 \mu\text{m}$ .  
*CMOS circuit as shown in Figure 5 below is based on 3  $\mu\text{m}$  design rules with  $W_n = 7 \mu\text{m}$  and  $W_p = 15 \mu\text{m}$ .*

Anggapan berikut adalah dibuat mengenai litar:  
*The following assumptions are made on the circuit:*

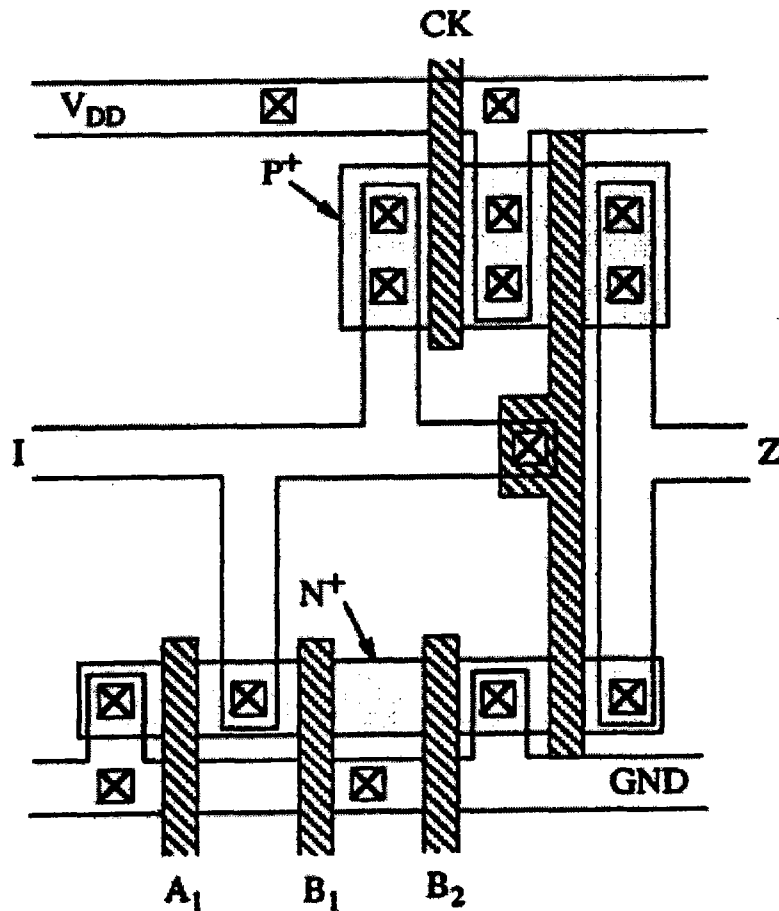
- (a) Kapasitans parasitik dan rintangan pendawaian adalah boleh diabaikan.  
*Wiring parasitic capacitance and resistances are negligible.*
- (b) Jumlah kapasitans pada nod I adalah 0.6 pF.  
*The total capacitance at node I is 0.6 pF.*
- (c) Suatu isyarat langkah denyut unggul adalah dikenakan pada terminal CK dengan,  
*An ideal step-pulse signal is applied to the terminal CK with,*

$$\begin{aligned}
 V_{CK} &= 5V, & t < 0 \\
 V_{CK} &= 0V, & 0 \leq t < T_w \\
 V_{CK} &= 5V, & t \geq T_w \\
 V_{DD} &= 5V
 \end{aligned}$$

- (d) Parameter-parameter peranti adalah seperti berikut:  
*Device parameters are as follows:*

	nMOS	pMOS
$V_{T0}$ (V)	1.0	-1.0
$t_{ox}$ (Å)	500	500
$k'$ ( $\mu\text{A}/\text{V}^2$ )	20	10
$X_i$ ( $\mu\text{m}$ )	0.5	0.5
$L_D$ ( $\mu\text{m}$ )	0.5	0.5

- (i) Lukiskan litar skematik transistor bagi bentangan yang diberikan.  
*Draw the transistor schematic diagram for the layout given.*  
(35%)
  
- (ii) Sekiranya voltan-voltan masukan  $A_1$ ,  $B_1$  dan  $B_2$  adalah sifar bagi  $0 \leq t \leq T_w$ , cari nilai minimum  $T_w$  yang membolehkan  $V_I$  mencapai 2.5V.  
*If input voltages  $A_1$ ,  $B_1$  and  $B_2$  are zero for  $0 \leq t \leq T_w$ , find the minimum  $T_w$  that allows  $V_I$  to reach 2.5V.*  
(65%)



Rajah 5  
Figure 5

5. (a) Bincangkan masalah perkongsian cas dalam litar-litar VLSI. Jelaskan berbagai teknik litar yang digunakan dalam litar-litar domino CMOS bagi menyelesaikan masalah perkongsian cas. Berikan beberapa teknik yang diketahui.

*Discuss the charge sharing problems in VLSI circuits. Explain various circuit techniques used in domino CMOS circuits for solving charge-sharing problems. State as many as you know.*

(30%)

- (b) Suatu sel DRAM transistor-tunggal di tunjukkan dalam Rajah 6. Baris bit boleh dipracas ke  $V_{DD}/2$  dengan menggunakan litar pracas berjam. Di sini, litar WRITE dianggap boleh membawa keupayaan baris bit kepada  $V_{DD}$  atau 0V semasa operasi WRITE dengan baris perkataan pada  $V_{DD}$ . Menggunakan parameter diberikan:

*A single-transistor DRAM cell is represented by the following circuit diagram. The bitline can be precharged to  $V_{DD}/2$  by using a clocked precharge circuit. Also the WRITE circuit is assumed here to bring the potential of the bitline to  $V_{DD}$  or 0V during the WRITE operation with wordline at  $V_{DD}$ . Using the parameter given:*

- (i) Cari voltan maksimum merentasi kapasitor storan  $C_s$  selepas operasi WRITE-1, iaitu, bila baris perkataan dipacu ke  $V_{DD} = 5V$ .

*Find the maximum voltage across the storage capacitor  $C_s$  after WRITE-1 operation, i.e., when the bitline is driven to  $V_{DD} = 5V$ .*

(30%)

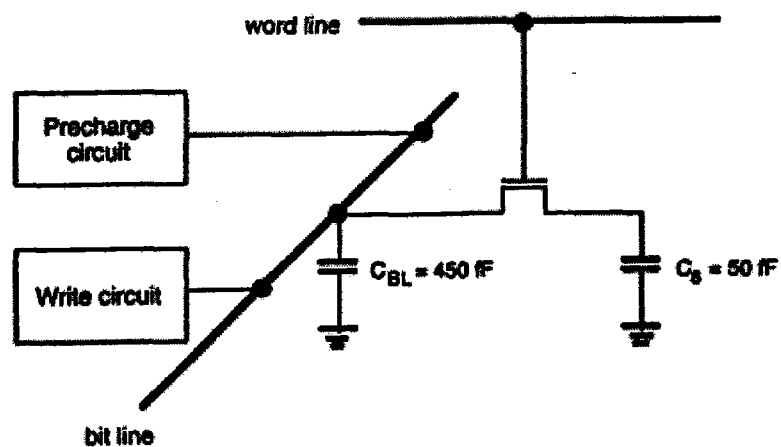
- (iii) Anggapkan arus bocor sifar dalam litar. Cari voltan pada baris perkataan semasa operasi READ-1 selepas baris perkataan terdahulu dipracas ke  $V_{DD}/2$ .

*Assuming zero leakage current in the circuit, find the voltage at the bitline during READ-1 operation after bitline is first precharged to  $V_{DD}/2$ .*

(40%)

Parameter yang diberi/Parameters given:

- $\gamma = 0.3 \text{ V}^{-1/2}$
- $V_{TO} = 1.0\text{V}$
- $|2\phi_F| = 0.6\text{V}$



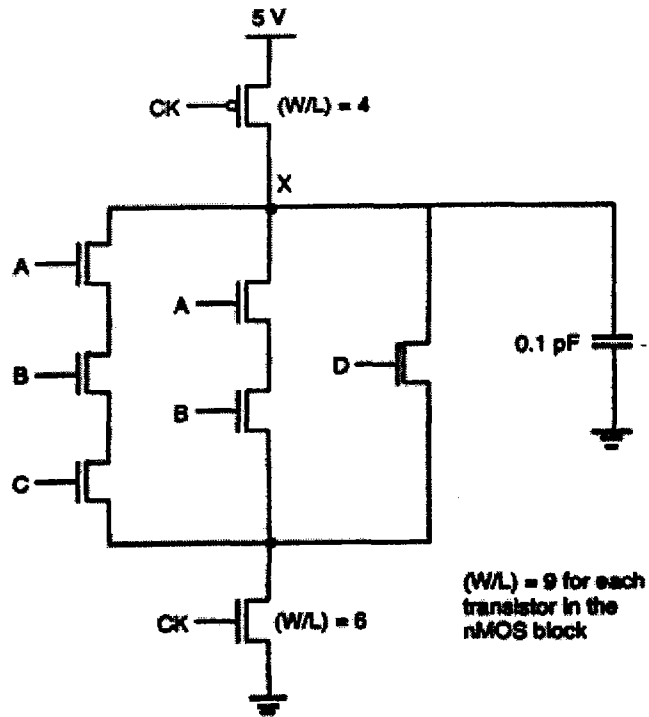
Rajah 6  
Figure 6

6. Satu litar CMOS ditunjukkan dalam Rajah 7. Anggapkan satu transistor precharge dipilih supaya nod X dijamin untuk dicas kepada  $V_{DD}$ . Kesemua transistor nMOS mempunyai  $W/L = 20$ . Tentukan masa yang diambil bagi nod X mengurang kepada  $0.8V_{DD}$  selepas isyarat denyut jam menaik ke aras tinggi (dengan masa naik sifar) apabila voltan-voltan masukan pada A, B, D adalah 5V dan voltan input C adalah pada sifar. Kelompok transistor nMOS antara nod X dengan bumi boleh dianggarkan kepada transistor setara dengan  $W/L$  berkesan. Anggapkan nilai-nilai parameter berikut:

*A CMOS circuit is shown in Figure 7. Suppose the precharge transistor was chosen such that the node X is guaranteed to be charged to  $V_{DD}$ . All the nMOS transistors have  $W/L = 20$ . Determine how long it takes for the node voltage at X to decrease to  $0.8V_{DD}$  after the clock signal pulse goes to high (with zero rise time) when input voltages A, B, D are 5V and the input voltage at C is zero. The nMOS transistor tree between the node X and the ground can be approximated by an equivalent transistor with an effective  $W/L$ . Assume the following parameter value:*

- $\gamma = 0.0 \text{ V}^{1/2}$
- $V_{TO} = 1.0\text{V}$
- $k_n' = 10 \mu\text{A}/\text{V}^2$

(100%)



Rajah 7  
Figure 7

ooo0ooo

Current-voltage equations of the nMOS Transistor:-

$$I_D = 0 \quad \text{for} \quad V_{GS} < V_T$$
$$I_D(\text{lin}) = \frac{k_n}{2} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \quad \text{for} \quad V_{GS} \geq V_T \quad \text{and} \quad V_{DS} < V_{GS} - V_T$$
$$I_D(\text{sat}) = \frac{k_n}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad \text{for} \quad V_{GS} \geq V_T \quad \text{and} \quad V_{DS} \geq V_{GS} - V_T$$

where,

$$k_n = \mu_n C_{ox} \frac{W}{L}$$

Current-voltage equations of the pMOS Transistor:-

$$I_D = 0 \quad \text{for} \quad V_{GS} > V_T$$
$$I_D(\text{lin}) = \frac{k_p}{2} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \quad \text{for} \quad V_{GS} \leq V_T \quad \text{and} \quad V_{DS} > V_{GS} - V_T$$
$$I_D(\text{sat}) = \frac{k_p}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad \text{for} \quad V_{GS} \leq V_T \quad \text{and} \quad V_{DS} \leq V_{GS} - V_T$$

where,

$$k_p = \mu_p C_{ox} \frac{W}{L}$$