
UNIVERSITI SAINS MALAYSIA

First Semester Examination

2014/2015 Academic Session

December 2014/January 2015

EEE 130 – DIGITAL ELECTRONIC I

[ELEKTRONIK DIGIT I]

Duration : 3 hours

[Masa : 3 jam]

Please check that this examination paper consists of **THIRTEEN (13)** pages printed material and **THREE (3)** pages of Appendix before you begin the examination.

*[Sila pastikan bahawa kertas peperiksaan ini mengandungi **TIGA BELAS (13)** mukasurat bercetak berserta **TIGA (3)** mukasurat lampiran bercetak sebelum anda memulakan peperiksaan ini.]*

Instructions: This question paper consists of **FIVE (5)** questions. Answer **ALL** questions. All questions carry the same marks.

Arahan: Kertas soalan ini mengandungi **LIMA (5)** soalan. Jawab **SEMUA** soalan. Semua soalan membawa jumlah markah yang sama.]

Answer to any question must start on a new page.

[Mulakan jawapan anda untuk setiap soalan pada muka surat yang baru]

In the event of any discrepancies, the English version shall be used.

[Sekiranya terdapat sebarang percanggahan pada soalan peperiksaan, versi Bahasa Inggeris hendaklah digunakan.]

You are not allowed to bring this question paper out of the examination hall.

[Anda tidak dibenarkan membawa keluar kertas soalan ini daripada dewan peperiksaan.]

1. (a) One advantage of NAND gates is their universal property. Show how NAND gates can be used to implement the following gates:

Satu kelebihan get TAKDAN ialah sifat umumnya. Tunjukkan bagaimana get-get TAKDAN boleh digunakan untuk mengaplikasikan get-get berikut:

- (i) A NOT gate.
Get TAK.

(5 marks/markah)

- (ii) An AND gate.
Get DAN.

(5 marks/markah)

- (iii) An OR gate.
Get ATAU.

(10 marks/markah)

- (b) For the circuit shown in Figure 1(b)(i), a timing diagram is given in Figure 1(b)(ii). Given that block X is a single logic gate, what gate is it? Show your work.

Bagi litar dalam Rajah 1(b)(i), satu carta masa diberikan dalam Rajah 1(b)(ii). Jika dinyatakan bahawa blok X ialah satu get logik, apakah get tersebut? Tunjukkan jalan kerja anda.

(20 marks/markah)

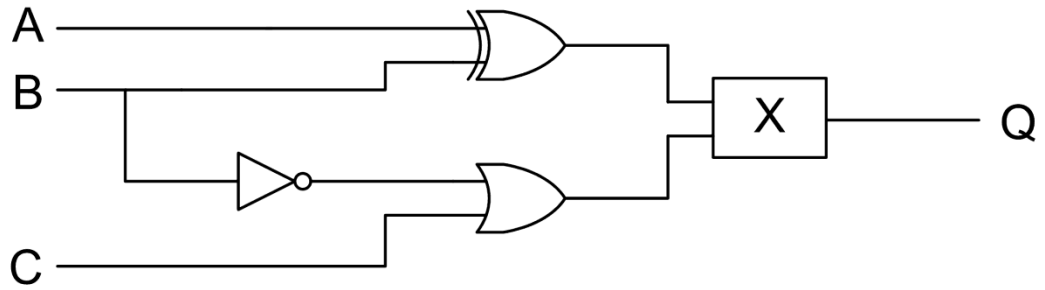


Figure 1(b)(i)

Rajah 1(b)(i)

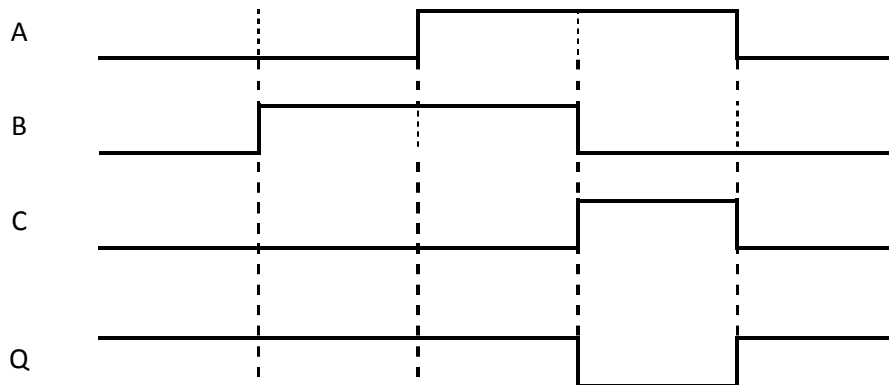


Figure 1(b)(ii)

Rajah 1(b)(ii)

- (c) For the circuit in Figure 1(c):
Bagi litar dalam Rajah 1(c):

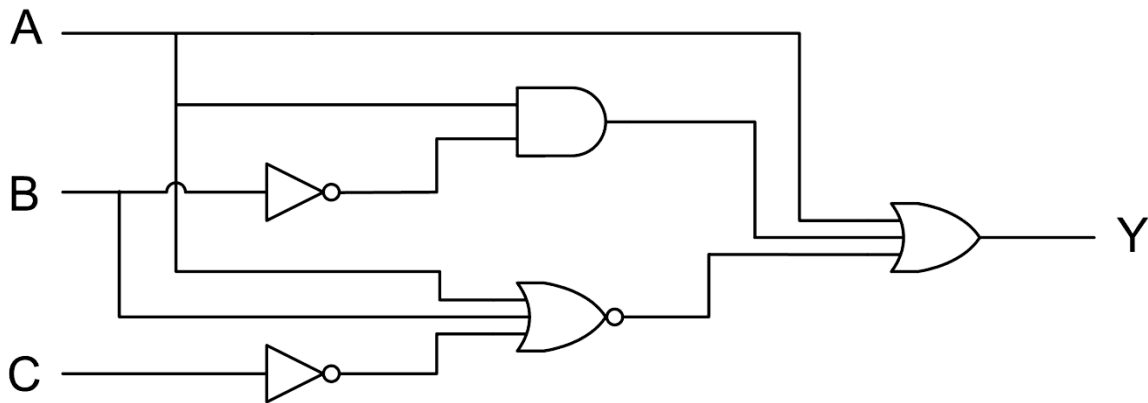


Figure 1(c)
Rajah 1(c)

- (i) Construct the truth table.
Bina jadual kebenaran.
(10 marks/markah)
- (ii) Write the Boolean expression for Y.
Tuliskan ungkapan Boolean untuk Y.
(10 marks/markah)
- (iii) Simplify Y to its minimal sum-of-product (SOP).
Permudahkan Y kepada persamaan sum-of-product (SOP) yang minimum.
(20 marks/markah)

- (iv) Draw the AND-OR circuit that implements the minimal sum-of product (SOP). Assume that complemented inputs are available.

Lukis litar DAN-ATAU yang mengaplikasikan ungkapan sum-of-product (SOP) yang minimum. Anggapkan bahawa pelengkap input boleh didapati.

(10 marks/markah)

- (v) Draw the NAND-NAND implementation of the minimal sum-of-product (SOP). Assume that complemented inputs are available.

Lukis litar TAKDAN-TAKDAN yang mengaplikasikan ungkapan sum-of-product (SOP) yang minimum. Anggapkan bahawa pelengkap input boleh didapati.

(10 marks/markah)

- 2) A 7-segment display is commonly used to display the numbers 0-9 as shown in Figure 2(i).

Paparan 7-segmen lazimnya digunakan untuk memaparkan nombor 0-9 seperti yang ditunjukkan dalam Rajah 2(i).

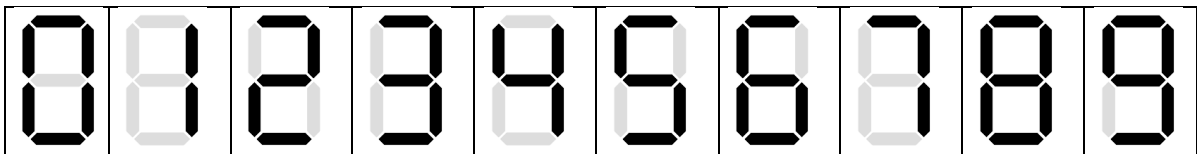


Figure 2(i)
Rajah 2(i)

Assume that in a particular implementation, two 7-segment displays are used to display the numbers 0-31. The input is a 5-bit binary number $A_4A_3A_2A_1A_0$. For example, the displays for inputs $A_4A_3A_2A_1A_0 = 00011$ and $A_4A_3A_2A_1A_0 = 10101$ are given in Figure 2(ii).

Anggapkan bahawa dalam satu aplikasi, dua paparan 7-segmen digunakan untuk memaparkan nombor 0-31. Input ialah satu nombor perduaan 5-bit $A_4A_3A_2A_1A_0$. Contohnya, paparan bagi input $A_4A_3A_2A_1A_0 = 00011$ dan $A_4A_3A_2A_1A_0 = 10101$ ditunjukkan dalam Rajah 2(ii).

Display for input $A_4A_3A_2A_1A_0 = 00011$

Display for input $A_4A_3A_2A_1A_0 = 10101$

Paparan untuk input $A_4A_3A_2A_1A_0 = 00011$

Paparan untuk input $A_4A_3A_2A_1A_0 = 10101$

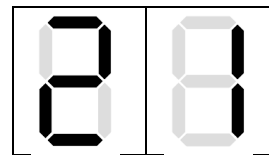
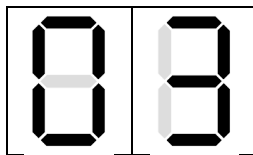


Figure 2(ii)

Rajah 2(ii)

- a) Design a circuit that will take in $A_4A_3A_2A_1A_0$ as inputs and produces a HIGH output whenever the inputs translate to a number that lights up the bottom-right segment of the left display as circled in Figure 2(a). Your circuit must implement the minimal sum-of-product (SOP) representation of the function. Draw your circuit.

Bina sebuah litar dengan input-input $A_4A_3A_2A_1A_0$ yang menghasilkan output HIGH apabila input-input mewakili nombor-nombor yang menyalakan segmen bawah-kanan bagi paparan di sebelah kiri seperti yang dibulatkan dalam Rajah 2(a). Litar anda mestilah mengaplikasikan ungkapan sum-of-product (SOP) yang minimum untuk fungsi tersebut. Lukis litar anda.

(50 marks/markah)

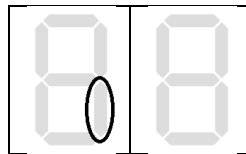


Figure 2(a)
Rajah 2(a)

- b) Design a circuit that will take in $A_4A_3A_2A_1A_0$ as inputs and produces a HIGH output whenever the inputs translate to a number that lights up the bottom-left segment of the right display as circled in Figure 2(b). Your circuit must implement the minimal product-of-sum (POS) representation of the function. Draw your circuit.

Bina sebuah litar dengan input-input $A_4A_3A_2A_1A_0$ yang menghasilkan output HIGH apabila input-input mewakili nombor-nombor yang menyalakan segmen bawah-kiri bagi paparan di sebelah kanan seperti yang dibulatkan dalam Rajah 2(b). Litar anda mestilah mengaplikasikan ungkapan product-of-sum (POS) yang minimum untuk fungsi tersebut. Lukis litar anda.

(50 marks/markah)

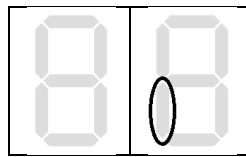


Figure 2(b)
Rajah 2(b)

3. (a) Design a 3-to-8 decoder using 2-to-4 decoders and some additional gates. You may use decoders with or without “Enable” inputs.

Reka sebuah penyahkod 3-ke-8 dengan menggunakan penyahkod - penyahkod 2-ke-4 dan get-get lain. Anda boleh menggunakan penyahkod yang mempunyai atau tidak mempunyai input “Enable”.

(25 marks/markah)

- (b) Design a full adder using only two 4-to-1 multiplexers. Assume that complemented inputs are available.

Reka sebuah penambah penuh dengan hanya menggunakan dua pemultipleks 4-ke-1. Anggap bahawa pelengkap input boleh didapati.

(25 marks/markah)

- (c) You are given a J-K flip-flop with a logic symbol as shown in Figure 3(a). If the timing diagrams of the inputs signal J-K, Clock (CLK) asynchronous Clear (CLR) and asynchronous Preset (PRE) are given to the J-K flip-flops as shown in Figure A(I) in Appendix A, draw the timing diagram of the Q output. Detach Appendix A from question paper and submit with your answer script.

Anda diberi satu flip-flop J-K dengan simbol logik seperti yang ditunjukkan dalam Rajah 3(a). Jika gambarajah pemasaan untuk isyarat masukan J-K, Clock (CLK), asynchronous Clear (CLR) dan asynchronous Preset (PRE) diberi kepada flip-flop J-K tersebut seperti yang ditunjukkan pada Rajah A(I) dalam Lampiran A, lukiskan gambarajah pemasaan untuk keluaran Q. Leraikan Lampiran A dari kertas soalan dan hantar bersama-sama skrip jawapan anda.

(30 marks/markah)

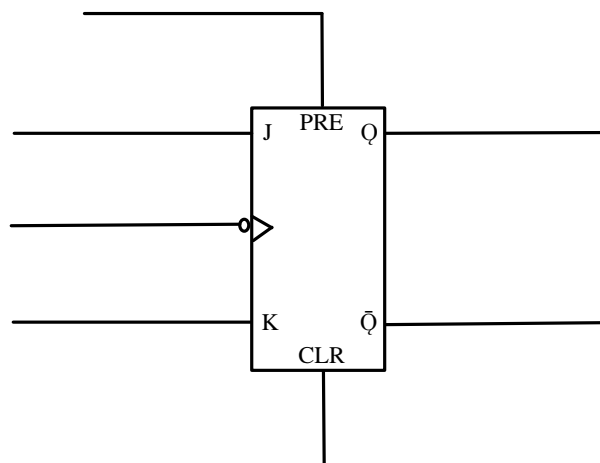


Figure 3(a)

Rajah 3(a)

- (d) Based on Figure 3(b) fill in the truth table as shown in Appendix B. Detach Appendix B and submit with your answer script.

Berdasarkan Rajah 3(b), lengkapkan jadual kebenaran seperti yang ditunjukkan dalam Lampiran B. Leraikan Lampiran B dan hantar bersama skrip jawapan anda.

(20 marks/markah)

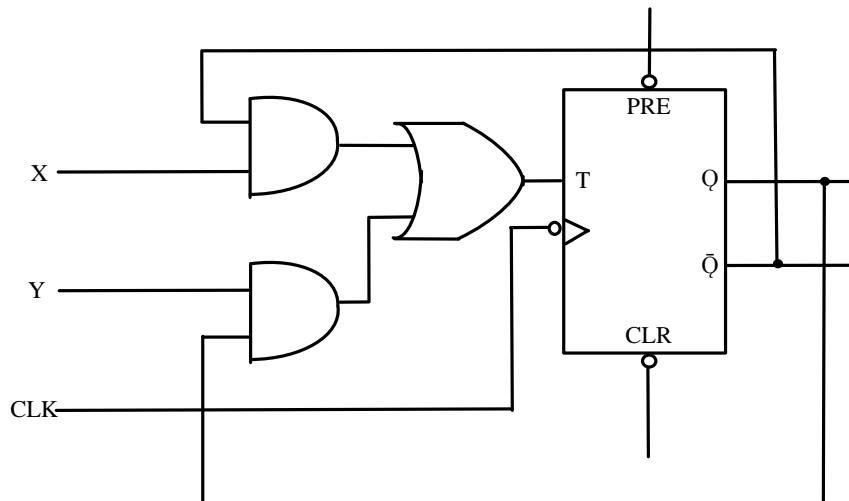


Figure 3(b)

Rajah 3(b)

4. a) By using 74LS93 4-bit asynchronous counter as shown in Figure 4(a), cascade the counter to design a modulus-24 counter.

Dengan menggunakan 74LS93 pembilang tak segerak 4-bit seperti yang ditunjukkan pada Rajah 4(a), kaskadkan pembilang tersebut untuk merekabentuk satu pembilang modulus-24.

(30 marks/markah)

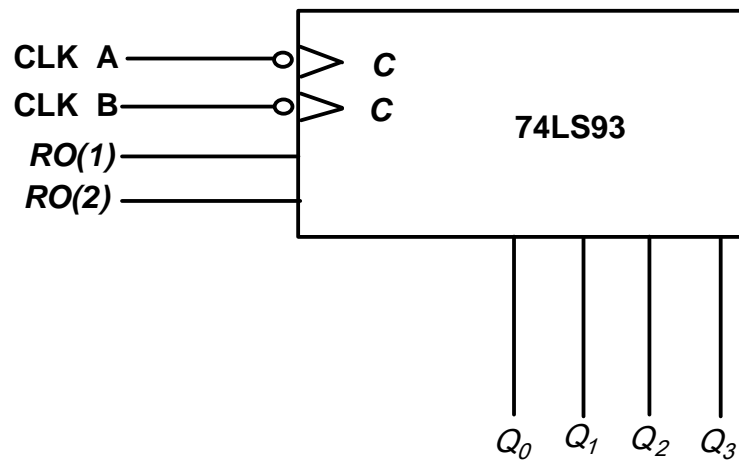


Figure 4 (a)

Rajah 4 (a)

- b) Based on Figure 4(b), fill in the truth table as shown in Appendix C. Detach Appendix C and submit with your answer script.

Berdasarkan Rajah 4(b), isikan jadual kebenaran yang ditunjukkan pada Lampiran C. Leraikan Lampiran C dan hantar bersama-sama skrip jawapan anda.

(70 marks/markah)

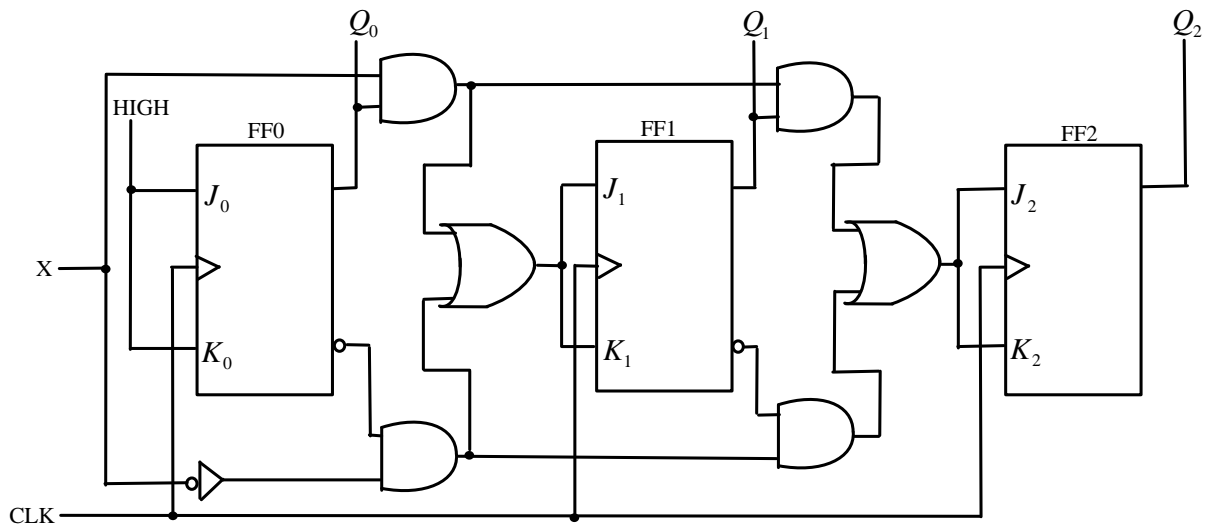


Figure 4 (b)

Rajah 4 (b)

5. a) (i) Sketch 3-bit asynchronous and synchronous counter using J-K flip-flops.

Lakarkan pembilang tak segerak dan segerak 3-bit menggunakan flip-flop J-K.

(40 marks/markah)

- (ii) Then, state 2 advantages and 1 disadvantage of synchronous counter as compared to asynchronous counter.

Kemudian, nyatakan 2 kelebihan dan 1 kekurangan pembilang segerak berbanding pembilang tak segerak.

(20 marks/markah)

- b) Design a J-K flip-flop from D flip-flop. Show all steps involved.

Rekabentuk satu flip-flop J-K daripada flip-flop D. Tunjukkan semua langkah yang terlibat.

(40 marks/markah)