

---

UNIVERSITI SAINS MALAYSIA

Second Semester Examination  
2015/2016 Academic Session

June 2016

**EEE 348 – INTRODUCTION TO INTEGRATED CIRCUIT DESIGN**  
**[PENGANTAR REKABENTUK LITAR BERSEPADU]**

Duration 3 hours

*[Masa : 3 jam]*

---

Please check that this examination paper consists of **SEVENTEEN (17)** pages of printed material before you begin the examination. This examination paper consist of two versions, The English version and Malay version. The English version from page **TWO (2)** to page **EIGHT (8)** and Malay version from page **NINE (9)** to page **SEVENTEEN (17)**.

*Sila pastikan bahawa kertas peperiksaan ini mengandungi **TUJUH BELAS (17)** muka surat bercetak sebelum anda memulakan peperiksaan ini. Kertas peperiksaan ini mengandungi dua versi, versi Bahasa Inggeris dan Bahasa Melayu. Versi Bahasa Inggeris daripada muka surat **DUA (2)** sehingga muka surat **LAPAN (8)** dan versi Bahasa Melayu daripada muka surat **SEMBILAN (9)** sehingga muka surat **TUJUH BELAS (17)**.*

**Instructions:** This question paper consists of **SIX (6)** questions. Answer **FIVE (5)** questions. All questions carry the same marks.

***[Arahan:** Kertas soalan ini mengandungi **ENAM (6)** soalan. Jawab **LIMA (5)** soalan. Semua soalan membawa jumlah markah yang sama]*

Begin your answer to each question on a new page.

*[Mulakan jawapan anda untuk setiap soalan pada muka surat yang baru]*

**“In the event of any discrepancies, the English version shall be used”.**

***[Sekiranya terdapat sebarang percanggahan pada soalan peperiksaan, versi Bahasa Inggeris hendaklah diguna pakai]***

**ENGLISH VERSION**

1. (a) Explain in detail the term “*layout design rule*” in the perspective of CMOS fabrication. (20 marks)
- (b) Draw the typical cross-sectional view AND explain the operation of the following transistors:
- (i) nMOS transistor (10 marks)
- (ii) pMOS transistor (10 marks)
- (c) Explain the *write* operation for a generic DRAM cell with 1 transistor per bit. (20 marks)
- (d) Design (transistor level representation) a 3-input CMOS logic gate which provides a low output if any of the input is high, and a high output if all the inputs are low. Distinguish the state of each transistor for every change in input combinations. (40 marks)

2. (a) Design a 2-bit column address decoder that selects one of the four-bit line (BL) of a ROM.

(20 marks)

- (b) Photolithography is a very important process in semiconductor fabrication.

(i) What is photolithography process? (5 marks)

(ii) Briefly explain the generic photolithography process steps.

(15 marks)

- (c) CMOS inverter consists of a pair of complementary MOSFETs switched by the input voltage,  $v$ . Also, the issue of latch up had been addressed by means of fabrication.

(i) Draw (with label) the complete cross-sectional view of a CMOS inverter from fabrication stand point.

(10 marks)

(ii) Design the layout and masks needed to realize the inverter in 2.(c)(i). (Hint: Number and name the masks according to typical CMOS fabrication steps).

(50 marks)

3. (a) Describe the CMOS basic structure as shown in Figure 1. (20 marks)

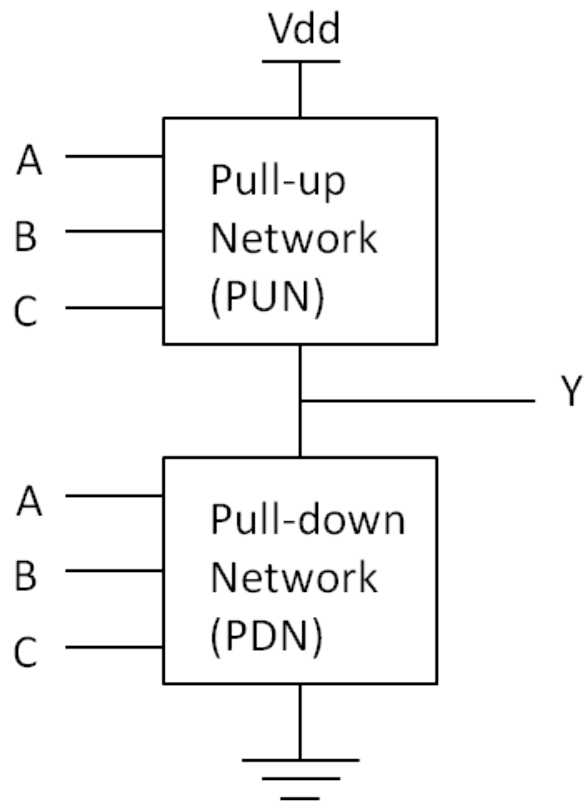


Figure 1: CMOS basic structure

- (b) Describe the *read* operation of a 6T CMOS SRAM cell and make assumptions where necessary.

(30 marks)

- (c) Design a CMOS logic circuit based on the following Boolean function:

$$F = \overline{a + b(c + d)}$$

- (i) Draw a transistor level schematic for the above Boolean function.  
(10 marks)
  - (ii) Find the optimum gate ordering based on the Euler path approach.  
(10 marks)
  - (iii) Sketch a stick diagram based on the obtained transistor level schematic.  
(30 marks)
4. (a) Consider following Verilog modules. Determine the values of OUT in binary at simulation time of 0, 1, 2, 3, 4 and 5. Identify the function of the circuit circuit4a

```
module circuit4a(out, a, b);  
output out;  
input [3:0] a, b;  
reg out;  
  
always @(a,b) begin  
  
    case({a[0], b[0]})  
        2'b00: out = 1;  
        2'b01: out = 0;  
        2'b10: out = 0;  
        2'b11: out = 1;  
  
    endcase  
  
    end  
endmodule
```

```
module tb_circuit4a;  
  wire OUT;  
  reg [3:0] A, B;  
  
  circuit4a dut(OUT, A, B);  
  
  initial begin  
    A = 4'd15; B = 4'd14;  
    #1 A = 4'd10; B = 4'd14;  
    #1 A = 4'd9; B = 4'd5;  
    #1 A = 4'd1; B = 4'd8;  
    #1 A = 4'd6; B = 4'd12;  
    #1 A = 4'd3; B = 4'd7;  
    #1 $stop;  
  end  
  
endmodule
```

(40 marks)

- (b) Consider following Verilog modules. Draw the waveform for the input signals CLK and IN and the output signal OUT.

```
module circuit4b(out, clk, in);  
  output out;  
  input clk;  
  input [3:0] in;  
  reg out;  
  reg [3:0] temp;  
  always @(posedge clk)  
  begin  
    temp <= in;  
    if (temp == in) out <= 1;  
    else out <= 0;  
  end  
endmodule
```

...7/-

```
module tb_circuit4b;  
    wire OUT;  
    reg CLK;  
    reg [3:0] IN;  
  
circuit4b dut(OUT, CLK, IN);  
initial begin  
    CLK = 0;  
    #1 IN = 6;  
    #4 IN = 4;  
    #4 IN = 4;  
    #4 IN = 4;  
    #4 IN = 10;  
    #4 $stop;  
  
end  
always  
    #2 CLK = ~CLK;  
endmodule
```

(60 marks)

5. Design a digital circuit based on following specification using Verilog HDL.

The circuit has four inputs **a**, **b**, **c** and **d** and an output **out**. Each input is between 0 to 15. The output is the difference of the maximum and minimum values among those four inputs. No need to develop the test bench.

For example:-

...8/-

- (i) If  $a = 10$ ,  $b = 13$ ,  $c = 1$ ,  $d = 12$  then  $out = 12$  (since  $max = 13$ , and  $min = 1$ )
- (ii) If  $a = 1$ ,  $b = 10$ ,  $c = 1$ ,  $d = 10$  then  $out = 9$  (since  $max = 10$ , and  $min = 1$ )
- (iii) If  $a = 13$ ,  $b = 12$ ,  $c = 0$ ,  $d = 15$  then  $out = 15$  (since  $max = 15$ , and  $min = 0$ )
- (iv) If  $a = 8$ ,  $b = 7$ ,  $c = 14$ ,  $d = 10$  then  $out = 7$  (since  $max = 14$ , and  $min = 7$ )

(a) Design the digital circuit using continuous assignment.

(50 marks)

(b) Design the digital circuit using procedural constructs. You need to develop also the test bench to verify the designed circuit.

(50 marks)

6. Design a digital circuit based on following specification using Verilog HDL. You have to use the concept of connection of instances for the top level module, where the top level module only consists of the instances of low level module. As for the low level module, you may use any type of description. However, you are not allowed to use the arithmetic operator (\*). You need to develop also the test bench to verify the designed circuit. No need to test all combinations.

The circuit has two inputs (A and B) and each of it is in the range of 0 to 7. An output OUT is based on following conditions:-

- (i) If A is an even number and B is an odd number,  $OUT = A * 2$ ;
- (ii) If A is an odd number and B is an even number,  $OUT = B * 2$ ;
- (iii) If both are even numbers,  $OUT = A + B$ ;
- (iv) If both are odd numbers,  $OUT = (A + B)*2$ ;

(100 marks)

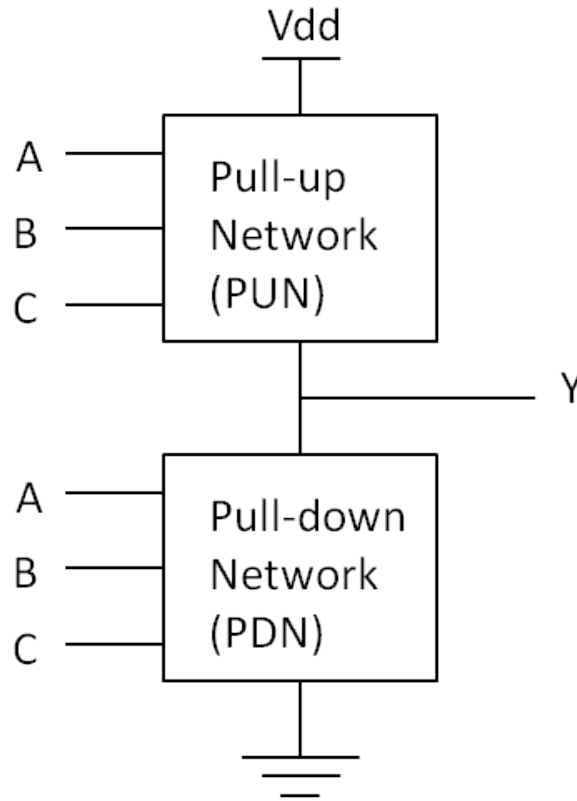


**VERSI BAHASA MALAYSIA**

1. (a) Jelaskan dengan terperinci terma “layout design rule” dalam perspektif fabrikasi CMOS.  
(20 markah)
  
- (b) Lukiskan gambar rajah pandangan sisi dan jelaskan operasi transistor - transistor berikut:
  - (i) Transistor nMOS (10 markah)
  
  - (ii) Transistor pMOS (10 markah)
  
- (c) Jelaskan operasi “write” untuk sel DRAM dengan 1 transistor per bit.  
(20 markah)
  
- (d) Rekabentuk (perwakilan peringkat transistor) satu get logic CMOS 3-masukan yang menghasilkan satu keluaran rendah jika salah satu dari masukannya adalah tinggi dan satu keluaran tinggi jika semua masukannya adalah rendah. Bezakan setiap transistor bagi setiap perubahan kepada kombinasi masukannya.  
(40 markah)

2. (a) Rekabentuk sebuah “2-bit column address decoder” yang dapat memilih satu di antara empat “Bit Line (BL)” bagi sebuah ROM.  
(20 markah)
- (b) Fotolitografi sangat penting dalam pemprosesan fabrikasi semikonduktor.
- (i) Apakah itu proses fotolitografi?  
(5 markah)
- (ii) Terangkan dengan mudah langkah-langkah biasa yang diambil dalam proses fotolitografi.  
(15 markah)
- (c) Penyongsang CMOS terdiri daripada sepasang MOSFET pelengkap yang disuisikan oleh satu voltan masukan,  $v_i$ . Isu tentang “latch up” juga telah diperbetulkan melalui fabrikasi.
- (i) Lukiskan (dengan label) gambar rajah pandangan sisi yang lengkap bagi sebuah penyongsang CMOS melalui pandangan fabrikasi.  
(10 markah)
- (ii) Rekabentuk satu bentangan dan topeng-topeng yang diperlukan untuk membina penyongsang dalam 2.(c)(i).  
(Panduan: Nombor dan namakan topeng-topeng tersebut mengikut susunan biasa fabrikasi CMOS)  
(50 markah)

3. (a) Terangkan struktur asas CMOS seperti dalam Rajah 1 berikut. (20 markah)



Rajah 1 : Struktur asas CMOS

- (b) Terangkan operasi “read” bagi satu sel CMOS SRAM 6T dan buat andaian di mana perlu.

(30 markah)

- (c) Rekabentuk satu litar logik CMOS berdasarkan fungsi Boolean berikut:

$$F = \overline{a + b(c + d)}$$

- (i) Lukiskan satu perwakilan peringkat transistor untuk fungsi Boolean di atas.  
(10 markah)
- (ii) Cari susunan get yang optimum berdasarkan pendekatan laluan Euler.  
(10 markah)
- (iii) Lakarkan gambar rajah liti untuk lukisan litar skema transistor yang telah diperolehi.  
(30 markah)

4. (a) Diberi modul-modul Verilog seperti berikut. Tentukan nilai bagi OUT di dalam binari pada waktu simulasi 0, 1, 2, 3, 4 dan 5. Kenalpasti fungsi bagi litar circuit4a.

```
module circuit4a(out, a, b);  
  output out;  
  input [3:0] a, b;  
  reg out;  
  
  always @(a,b) begin  
    case({a[0], b[0]})  
      2'b00: out = 1;  
      2'b01: out = 0;  
      2'b10: out = 0;  
      2'b11: out = 1;  
    endcase  
  
  end  
endmodule  
  
module tb_circuit4a;  
  wire OUT;  
  reg [3:0] A, B;  
  
  circuit4a dut(OUT, A, B);  
  
  initial begin  
    A = 4'd15; B = 4'd14;  
    #1 A = 4'd10; B = 4'd14;  
    #1 A = 4'd9; B = 4'd5;  
    #1 A = 4'd1; B = 4'd8;  
    #1 A = 4'd6; B = 4'd12;  
    #1 A = 4'd3; B = 4'd7;  
    #1 $stop;  
  end  
  
endmodule
```

(40 markah)

- (b) Diberi modul-modul Verilog seperti berikut. Lukis gambarajah gelombang untuk isyarat masukan CLK dan IN dan juga isyarat keluaran OUT.

```
module circuit4b(out, clk, in);  
    output out;  
    input clk;  
    input [3:0] in;  
    reg out;  
    reg [3:0] temp;  
    always @(posedge clk)  
    begin  
        temp <= in;  
        if (temp == in) out <= 1;  
        else out <= 0;  
    end  
endmodule
```

```
module tb_circuit4b;  
    wire OUT;  
    reg CLK;  
    reg [3:0] IN;  
  
circuit4b dut(OUT, CLK, IN);  
    initial begin  
        CLK = 0;  
        #1 IN = 6;  
        #4 IN = 4;  
        #4 IN = 4;  
        #4 IN = 4;  
        #4 IN = 10;  
        #4 $stop;  
  
    end  
    always  
        #2 CLK = ~CLK;  
    endmodule  
  
always  
    #2 CLK = ~CLK;  
endmodule
```

(60 markah)

5. Rekabentuk sebuah litar digital berdasarkan spesifikasi berikut dengan menggunakan Verilog HDL.

Terdapat empat masukan **a**, **b**, **c** dan **d** dan satu keluaran **out** pada litar tersebut. Setiap masukan adalah di antara 0 hingga 15. Keluaran adalah perbezaan nilai maksimum dan minimum dikalangan empat masukan.

Sebagai contoh :-

- (i) Sekiranya  $a = 10$ ,  $b = 13$ ,  $c = 1$ ,  $d = 12$ ,  $out = 12$  (kerana maksimum = 13, dan minimum = 1)
- (ii) Sekiranya  $a = 1$ ,  $b = 10$ ,  $c = 1$ ,  $d = 10$ ,  $out = 9$  (kerana maksimum = 10, dan minimum = 1)
- (iii) Sekiranya  $a = 13$ ,  $b = 12$ ,  $c = 0$ ,  $d = 15$ ,  $out = 15$  (kerana maksimum = 15, dan minimum = 0)
- (iv) Sekiranya  $a = 8$ ,  $b = 7$ ,  $c = 14$ ,  $d = 10$ ,  $out = 7$  (kerana maksimum = 14, dan minimum = 7)

- (a) Rekabentuk dengan menggunakan "continuous assignment".

(50 markah)

- (b) Rekabentuk dengan menggunakan "procedural constructs". Anda juga dikehendaki menghasilkan "test bench" untuk mengesahkan litar yang telah direka.

(50 markah)



- 6 Rekabentuk sebuah litar digital berdasarkan spesifikasi berikut dengan menggunakan Verilog HDL. Anda dikehendaki menggunakan konsep “connection of instances” untuk modul peringkat atasan, yang mana modul peringkat atasan hanya mengandungi beberapa “instances” bagi modul peringkat bawahan. Untuk modul peringkat bawahan, anda boleh menggunakan mana mana jenis deskripsi. Tetapi, anda tidak dibenarkan untuk mengguna operator aritmetik (\*). Anda juga dikehendaki untuk membangunkan “test bench” untuk mengesahkan litar yang telah direka. Tidak perlu untuk membuat pengesahan untuk kesemua kemungkinan.

Terdapat dua masukan (A dan B) pada litar tersebut yang mana setiap satunya adalah di antara 0 hingga 7. Keluaran OUT adalah berdasarkan situasi berikut:-

- (i) Sekiranya A adalah nombor genap dan B adalah nombor ganjil,  
 $OUT = A * 2;$
- (ii) Sekiranya A adalah nombor ganjil dan B adalah nombor genap,  
 $OUT = B * 2;$
- (iii) Sekiranya A dan B adalah nombor genap,  $OUT = A + B;$
- (iv) Sekiranya A dan B adalah nombor ganjil,  $OUT = (A + B)*2;$

(100 markah)