
UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Kedua
Sidang Akademik 2007/2008

April 2008

EEE 132 – PERANTI ELEKTRONIK

Masa: 3 jam

Sila pastikan bahawa kertas peperiksaan ini mengandungi **SEMBILAN** muka surat yang bercetak sebelum anda memulakan peperiksaan ini.

Kertas soalan ini mengandungi **ENAM** soalan.

Jawab **LIMA** soalan.

Mulakan jawapan anda untuk setiap soalan pada muka surat yang baru.

Agihan markah bagi setiap soalan diberikan di sudut sebelah kanan soalan berkenaan.

Jawab semua soalan dalam bahasa Malaysia atau bahasa Inggeris atau kombinasi kedua-duanya.

1. (a) Huraikan aras Fermi bagi simpang P-N pada keadaan seimbang, pincang kebelakang dan pincang kehadapan.

Describe the Fermi level for P-N junction at equilibrium, reverse biased and forward biased.

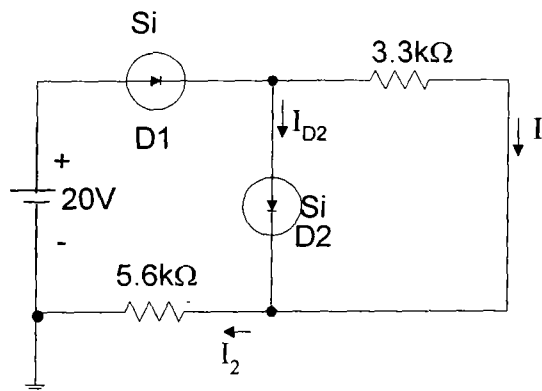
(30%)

- (b) Tentukan nilai arus I_1, I_2, I_{D2} , dalam Rajah 1 di bawah.

Determine the currents I_1, I_2, I_{D2} , in Figure 1 below.

Simbol I_1, I_2, I_{D2} , adalah mengikut definisi seperti biasa.

Symbols of I_1, I_2, I_{D2} , follow the usual definitions.

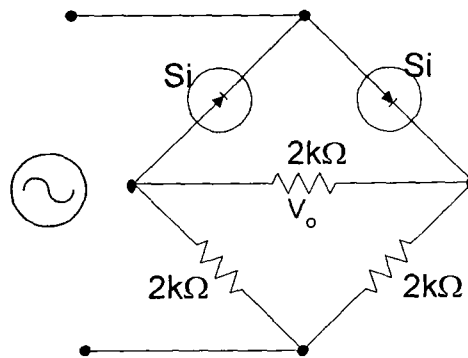


Rajah 1
Figure 1

(35%)

- (c) Tentukan bentuk gelombang keluaran rangkaian di Rajah 2 dan hitung aras dc keluaran serta nilai PIV yang diperlukan oleh setiap diod.

Determine the output waveform of the network in Figure 2 and calculate the output dc level and the required PIV of each diode.



(35%)

Rajah 2
Figure 2

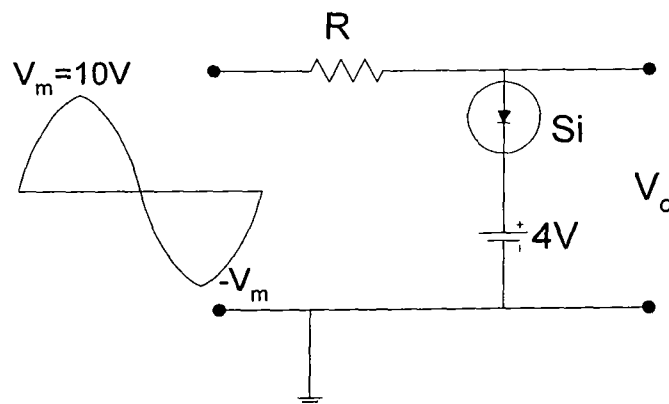
2. (a) Huraikan proses pendopan dengan memberikan contoh kepada bahan silikon Si untuk mendapatkan bahan jenis - p dan bahan jenis - n.

Describe the doping process by giving the example of silicon Si material in order to obtain p-type material and n-type material.

(30%)

- (b) Tentukan bentuk gelombang keluaran bagi masukan sinus kepada rangkaian dalam Rajah 3.

Determine the output waveform for the sinusoidal input of the network in Figure 3.



Rajah 3
Figure 3

(35%)
...4/-

(c) Rajah 4 ialah pengatur voltan masukan tetap.

Figure 4 is a voltage regulator for fixed input voltage.

(i) Tentukan julat R_L dan I_L yang membolehkan V_{RL} kekal pada 10V.

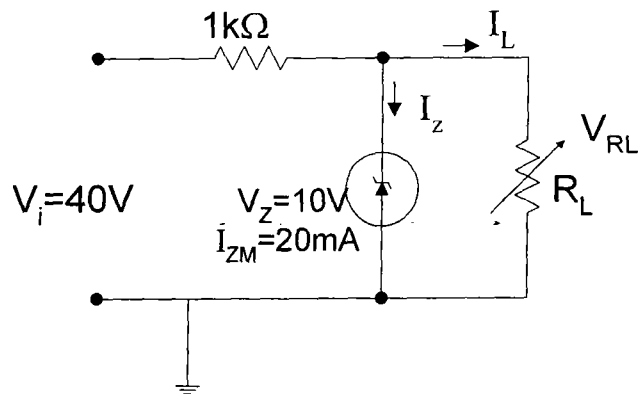
Determine the range of R_L and I_L resulting in the V_{RL} being maintained at 10V.

(20%)

(ii) Tentukan kadar voltan maksimum bagi diod tersebut.

Determine the maximum voltage rating of the diode.

(15%)

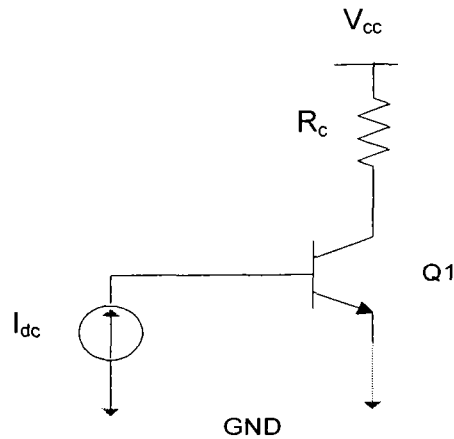


Rajah 4
Figure 4

3. (a) Dengan menggunakan ciri-ciri I-V diod dan hukum Kirchhoff, terbitkan nisbah pindah arus, arus potong bagi pemungut dan ciri-ciri pemungut.

Using the diode I-V curve characteristics and Kirchhoff's law for common emitter configuration, derive the current-transfer ratio, collector cut-off current and collector characteristics.

(60%)



Rajah 5 Operasi Transistor
Figure 5 Transistor Operation

- (b) Transistor silikon NPN dengan $\alpha = 0.99$ dan $I_{CBO} = 10^{-11}$ A adalah dalam konfigurasi seperti Rajah 5. Kirakan I_c , I_e dan V_{ce} apabila $I_{dc} = 20 \mu A$, $R_c = 2 \text{ k}\Omega$ dan $V_{cc} = 10 \text{ V}$.

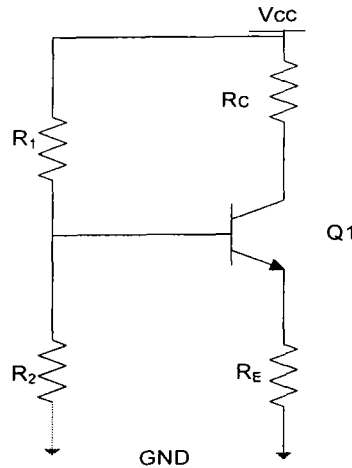
A silicon NPN transistor with $\alpha = 0.99$ and $I_{CBO} = 10^{-11}$ A is connected as shown in Figure 5. Calculate I_c , I_e and V_{ce} when $I_{dc} = 20 \mu A$, $R_c = 2 \text{ k}\Omega$ and $V_{cc} = 10 \text{ V}$.

(40%)

4. (a) Terangkan kenapa pincangan diperlukan untuk penguat dan bukannya suis.

Explain why biasing is needed for bipolar for amplifier and not switches application.

(25%)



Rajah 6 Transistor bersama litar pincangan ringkas

Figure 6 Transistor with simple biasing circuitry

- (b) Merujuk pada Rajah 6 di atas, ciri-ciri transistor adalah; $\alpha=0.98$, $I_{CBO} = 0$ dan $V_{BE} = 0.7 \text{ V}$. Kirakan arus tapak, arus pemungut dan V_{CE} apabila semua perintang adalah $1 \text{ k}\Omega$. Sekiranya hanya nilai R_1 diubah ke $9 \text{ k}\Omega$, apa yang berlaku pada pincangan.

For the circuit in Figure 6, let $\alpha=0.98$, $I_{CBO} = 0$ and $V_{BE} = 0.7 \text{ V}$. If all the resistors at $1 \text{ k}\Omega$, find base current, collector current and V_{CE} . Is the transistor biased properly if R_1 is changed to $9 \text{ k}\Omega$ while the rest of the resistors the same?

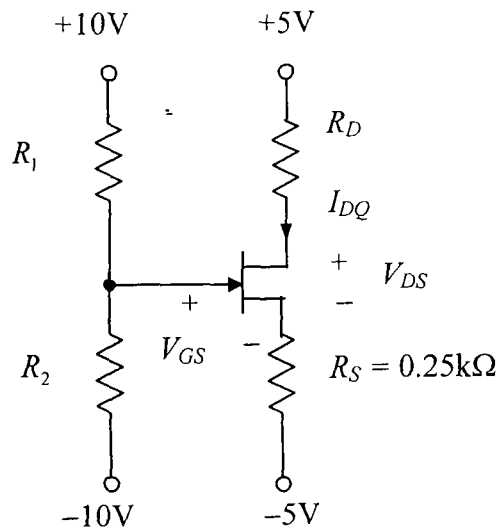
(75%)

...7/-

5. (a) Transistor dalam Rajah 7 mempunyai parameter $I_{DSS} = 6mA$ dan $V_{GS(off)} = -4V$. Rekabentuk litar tersebut supaya $I_{DQ} = 2.5mA$, $V_{DS} = 6V$ dan jumlah kuasa yang dilesapkan dalam R_1 dan R_2 ialah $2mW$.

The transistor in the circuit in Figure 7 has parameters $I_{DSS} = 6mA$ and $V_{GS(off)} = -4V$. Design the circuit such that $I_{DQ} = 2.5mA$, $V_{DS} = 6V$ and the total power dissipated in R_1 and R_2 is $2mW$.

(65%)



Rajah 7
Figure 7

- (b) Lukis keratan rentas satu D-MOSFET saluran-p dalam mod susutan dengan konfigurasi pincangan dan arah arus disertakan dalam gambarajah tersebut. Apakah polarity voltan di get yang diperlukan untuk 'OFF' kan transistor?

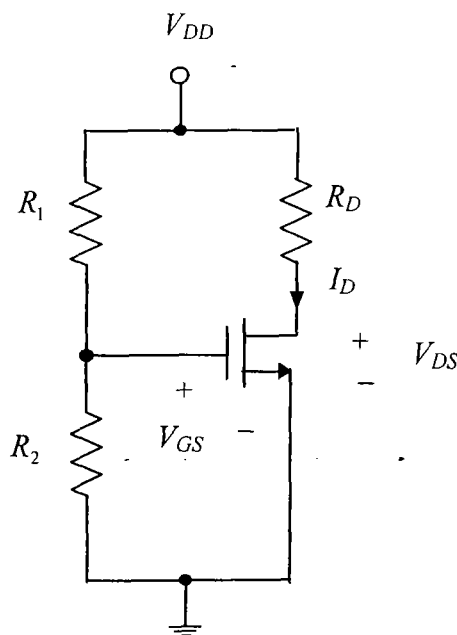
Draw the cross section of a p-channel depletion-mode D-MOSFET with the biasing configuration and current direction. What is the polarity of the gate voltage required to turn off the device?

(35%)

6. (a) Transistor dalam Rajah 8 mempunyai parameter $V_{GS(th)} = +2V$ dan $K = 0.25mA/V^2$. Parameter litar ialah $V_{DD} = 10V$, $R_1 = 280k\Omega$, $R_2 = 160k\Omega$ dan $R_D = 10k\Omega$. Tentukan I_D , V_{DS} dan kuasa yang dilesapkan dalam transistor.

The transistor in Figure 8 has parameters $V_{GS(th)} = +2V$ and $K = 0.25mA/V^2$. The circuit parameters are $V_{DD} = 10V$, $R_1 = 280k\Omega$, $R_2 = 160k\Omega$ and $R_D = 10k\Omega$. Find I_D , V_{DS} and the power dissipated in the transistor.

(30%)



Rajah 8
Figure 8

- (b) Lukis keratan rentas dan lengkung I_D melawan V_{DS} bagi satu E-MOSFET saluran-n apabila $V_{GS} > V_{GS(th)}$ untuk kes;

Draw the cross section and I_D versus V_{DS} curve for an n-channel E-MOSFET when $V_{GS} > V_{GS(th)}$ for the case;

(i) V_{DS} yang kecil

A small V_{DS}

(ii) V_{DS} yang lebih besar tetapi $V_{DS} < V_{DS}(sat)$

A larger V_{DS} but $V_{DS} < V_{DS}(sat)$

(iii) $V_{DS} = V_{DS}(sat)$

(iv) $V_{DS} > V_{DS}(sat)$

Akhir sekali, lukis keluarga lengkung I_D melawan V_{DS} dan tunjukkan dengan jelas titik-titik V_{DS} tepu, kawasan tepu, kawasan triod dan kawasan potong. Beri komen anda tentang kesan perubahan V_{GS} ke atas keluarga lengkung I_D melawan V_{DS} ini.

Finally, draw the family of I_D versus V_{DS} curves and clearly show the saturation V_{DS} points, saturation region, triode region and cut off region. Comment on the effects of varying V_{GS} on these I_D versus V_{DS} plots.

(70%)

ooo0ooo