
UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Kedua
Sidang Akademik 2007/2008

April 2008

EEE 130 – ELEKTRONIK DIGIT I

Masa: 3 jam

Sila pastikan bahawa kertas peperiksaan ini mengandungi **SEBELAS** muka surat yang bercetak sebelum anda memulakan peperiksaan ini.

Kertas soalan ini mengandungi **ENAM** soalan.

Jawab **LIMA** soalan.

Mulakan jawapan anda untuk setiap soalan pada muka surat yang baru.

Agihan markah bagi setiap soalan diberikan di sudut sebelah kanan soalan berkenaan.

Jawab semua soalan dalam bahasa Malaysia atau bahasa Inggeris atau kombinasi kedua-duanya.

1. (a) Nyatakan perbezaan antara Model Mealy dan Model Moore.
Differentiate between Mealy Model and Moore Model. (10%)
 - (b) Nyatakan keadaan-keadaan untuk penolak binari sesiri bagi Model Moore.
Define the states for Moore Model serial binary subtractor. (10%)
 - (c) Dapatkan jadual keadaan bagi penolak binari sesiri Model Moore.
Obtain a state table for Moore Model serial binary subtractor. (20%)
 - (d) Lukis gambarajah keadaan bagi penolak binari sesiri Model Moore.
Draw a state diagram for a Moore Model serial binary subtractor. (20%)
 - (e) Dapatkan jadual keadaan bagi penolak binari sesiri Model Mealy.
Obtain a state table for Mealy Model serial binary subtractor. (20%)
 - (f) Lukis gambarajah keadaan bagi penolak binari sesiri Model Mealy.
Draw a state diagram for Mealy Model serial binary subtractor. (20%)
 2. (a) (i) Lukis gambarajah keadaan bagi pembilang modulus-14.
Draw a state diagram for modulus-14 counter. (10%)
 - (ii) Dengan menggunakan JK flip-flops rekabentuk pembilang modulus-14 tak segerak.

By using JK flip-flops design a modulus-14 asynchronous counter. (10%)
- ... 3/-

(b) Berdasarkan gambarajah logik dalam Rajah 1:

Based on logic diagram in Figure 1:

(i) Dapatkan jadual peralihan.

Obtain the transition table.

(20%)

(ii) Dapatkan jadual keadaan.

Obtain the state table.

(20%)

(iii) Lukis jadual alir.

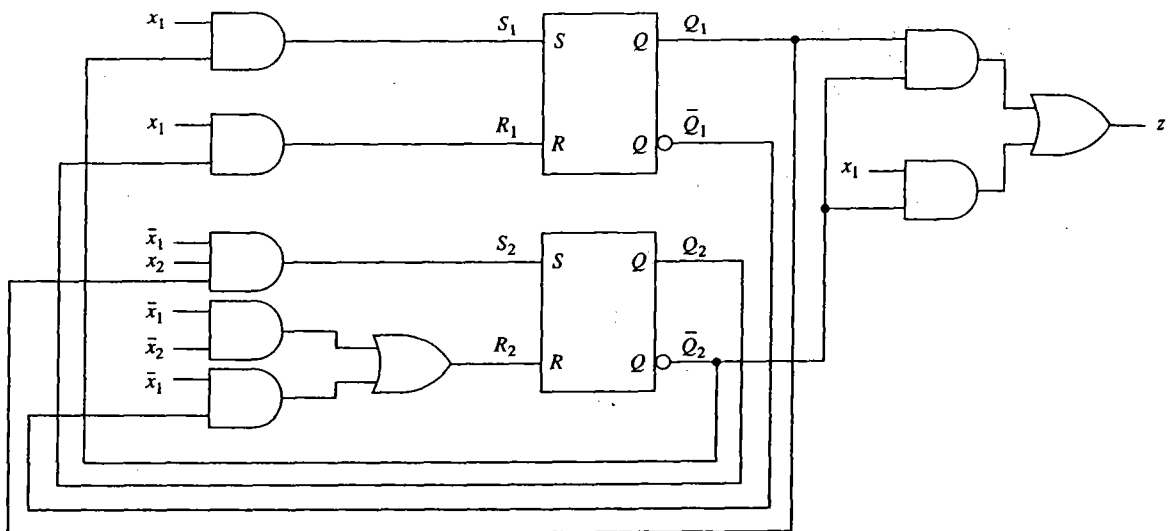
Draw the flow table.

(20%)

(iv) Lukis gambarajah alir.

Draw the flow diagram.

(20%)

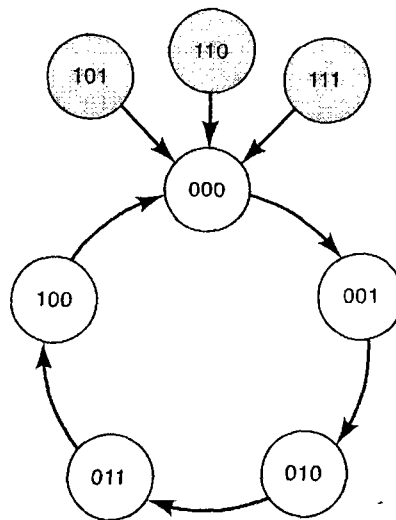


Rajah 1
Figure 1

3. (a) Dengan menggunakan JK flip-flop, rekabentuk pembilang bergerak berpandukan kepada gambarajah keadaan seperti ditunjukkan dalam Rajah 2.

By using JK flip-flops, design a synchronous counter based on the state diagram as shown in Figure 2.

(60%)



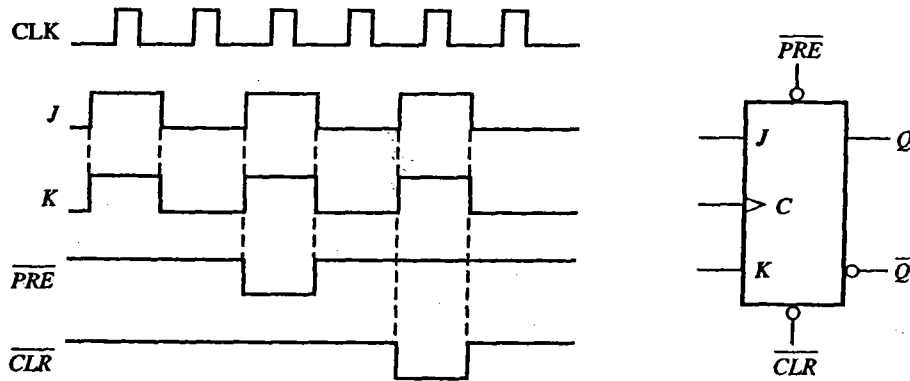
Rajah 2
Figure 2

- (b) Untuk JK flip-flop picu pinggir negatif, dengan masukannya seperti dalam Rajah 3, bina gelombang keluaran Q berbanding kepada jam. Andaikan keadaan awal bagi Q ialah LOW.

For a negative edge triggered JK flip-flop with the inputs as shown in Figure 3, develop the Q output waveform relative to the clock. Assume that Q is initially LOW.

(20%)

...5/-

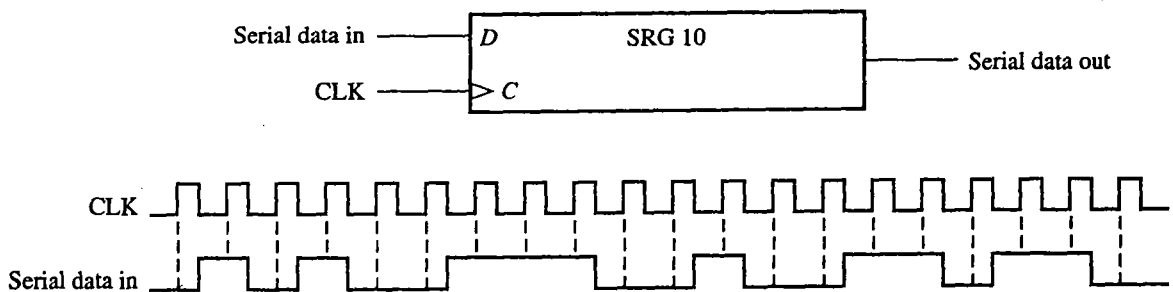


Rajah 3
Figure 3

- (c) Bagi daftar anjak masukan sesiri/keluaran sesiri, tentukan gelombang data keluaran bagi data masukan dan gelombang jam dalam Rajah 4. Andaikan daftar pada keadaan awal ialah logik rendah.

For the serial in/serial out shift register, determine the data output waveform for the data input and clock waveform in Figure 4. Assume that the register is initially cleared.

(20%)



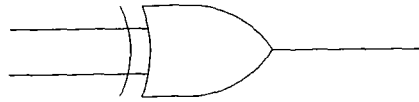
Rajah 4
Figure 4

...6/-

4. (a) Lukiskan satu jadual kebenaran bagi litar logik di dalam Rajah 5 dan tuliskan ungkapan Boolean untuk litar tersebut dengan menggunakan simbol operator piawai.

Draw a truth table for the logic circuit given in Figure 5 and write the Boolean expression for this circuit using the standard operator symbol.

(10%)



Rajah 5 Litar logik
Figure 5 Logic circuit

- (b) Litar ini boleh juga dibina dari beberapa get NOT dan AND. Tunjukkan kombinasi get-get ini untuk membina litar logik yang diberikan di dalam Rajah 5.

This circuit can also be built by using a few NOTs and ANDs gates. Show the combination of these logic gates to form the logic circuit given in Figure 5.

(20%)

- (c) Apakah litar pelengkap untuk get logik pada (a)? Tunjukkan derivasi (dengan menggunakan ungkapan Boolean) bagaimana litar pelengkap ini dapat diterbitkan dari (a).

What is the complement type of the logic gate given in (a)? Show the derivation (using Boolean expression) of how to get this complement type from (a).

(10%)

- (d) Oleh kerana litar logik pada (c) adalah merupakan litar pelengkap kepada (a), tunjukkan litar logik bergabung untuk menerbitkan (c).

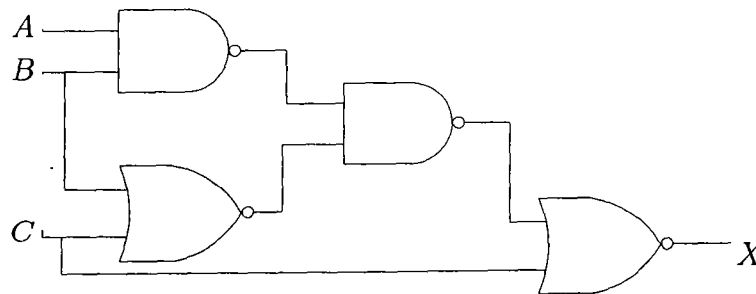
As the logic circuit in (c) is a complement type of (a), show the combinational logic circuits to form (c).

(10%)

- (e) Diberi satu litar logik bergabung di dalam Rajah 6. Carikan bentuk termudah dan sekiranya litar logik tersebut masih boleh dipermudahkan, lukiskan litar logik termudah tersebut. Dengan menggunakan jadual kebenaran, pastikan litar termudah ini adalah sama dengan litar asal.

Given a combinational logic circuit in Figure 6, get its minimum form and if it can be further simplified, draw the final simplified logic circuit. Using truth table, verify that the simplified circuit is equivalent to the original.

(30%)



Rajah 6 Litar logik bergabung untuk menjawab soalan 4(e)
Figure 6 Combinational logic circuit to answer 4(e)

- (f) Permudahkan ungkapan Boolean berikut dan kemudian, lukiskan litar logik asal dan litar logik termudah bagi setiap satu.

Simplify the following Boolean expressions and then, draw the original and simplified logic circuits for each of them.

(i) $X_1 = \overline{(A + B)\overline{C}\overline{D} + E + \overline{F}}$

(ii) $X_2 = \overline{\overline{(\overline{A + B})}C + \overline{\overline{CD}}}$

(20%)

...8/-

5. (a) Diberi ungkapan SOP, $\overline{A} + A\overline{B} + AB\overline{C}$, tentukan ungkapan piawai SOPnya.

Given a SOP expression, $\overline{A} + A\overline{B} + AB\overline{C}$, determine the standard SOP form.

(10%)

- (b) Permudahkan ungkapan-ungkapan berikut kepada bentuk SOP minimum dan gunakan peta Karnaugh untuk pastikan keputusan.

Simplify the following expressions to a minimum SOP form and use Karnaugh map to verify the result.

(i) $AC[\overline{B} + B(B + \overline{C})]$

(ii) $AB + \overline{A}BC + A$

(30%)

- (c) Dengan menggunakan jadual kebenaran di Jadual 1, terbitkan piawai SOP dan POS.

Using the truth table in Table 1, derive a standard SOP and a standard POS expression.

(30%)

Jadual 1: Jadual kebenaran untuk Soalan 5(c)
Table 1: Truth table for question 5(c)

A	B	C	D	X
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

- (d) Kurangkan fungsi yang diberikan dalam jadual kebenaran di Jadual 2 kepada bentuk SOP minimum dengan menggunakan peta Karnaugh.

Reduce the function specified in the truth table in Table 2 to its minimum SOP form by using Karnaugh map.

(30%)

Jadual 2: Peta Karnaugh untuk menjawab soalan 5(d)
Table 2: Karnaugh map to answer question 5(d)

Inputs			Output
A	B	C	X
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

...10/-

6. (a) Anda dikehendaki untuk merekabentuk satu penggera kecemasan kenderaan mudah. Kriteria bagi penggera kecemasan itu berbunyi adalah seperti berikut:

You are required to design a simple automobile warning buzzer. The criterion for the activation of the warning buzzer is as follows:

Penggera akan dibunyikan jika lampu dihidupkan dan pintu pemandu dibuka, atau jika kunci dihidupkan dan pintu pemandu dibuka.

The buzzer activates if the headlights are on and the driver's door is opened, or if the key is in the ignition and the driver's door is opened.

- (i) Sediakan satu jadual kebenaran yang lengkap untuk sistem penggera kecurian.

Prepare a complete truth table for the burglar alarm system.

(10%)

- (ii) Bina satu peta-K bagi sistem penggera kecurian tersebut, lengkap dengan kumpulan-kumpulannya.

Construct a K-map for the burglar alarm system, complete with groups.

(10%)

- (iii) Tulis persamaan Boolean bagi sistem tersebut.

Write the Boolean equation for the system.

(10%)

- (iv) Lukis litar logik bagi sistem.

Draw the system's logic circuit.

(10%)

...11/-

- (b) Telah diketahui bahawa pelengkap kepada sesuatu kod boleh diperolehi dengan mensongsangkan turutannya. Bina sebuah litar logik yang dapat menentukan pelengkap digit kod BCD 8421 (dalam binari). Anggapkan digit-digit BCD tidak sah sebagai tak hirau. Tunjukkan jadual kebenaran, semua peta-K dan lukiskan litar logik termudah.

It is known that the complement of a code can be obtained by reversing its order. Design a combinational logic circuit that generates the complement of the 8421 BCD digits (in binary). Treat invalid BCD digits as don't cares. Show a complete truth table, all K-maps and draw the simplified logic circuit.

(60%)

ooo0ooo