

**REKABENTUK PENURAS DIGIT FIR TERMUSNAH UNTUK APLIKASI
SONAR MENGGUNAKAN TEKNOLOGI FPGA**

Oleh

DALMATAKSIAH BINTI MOHD ZAIN

**Tesis ini diserahkan untuk memenuhi
keperluan bagi Ijazah Sarjana Sains**

Mac 2005

PENGHARGAAN

Setinggi-tinggi syukur ke hadrat Allah S.W.T. kerana dengan limpah kurniaNya telah memberi keizinan, kesihatan tubuh badan dan akal fikiran serta kekuatan kepada saya untuk menyempurnakan penyelidikan ini. Sesungguhnya tiada daya dan upaya melainkan dengan kekuasaan Allah Yang Maha Tinggi dan Maha Besar.

Saya ingin mengambil kesempatan ini untuk merakamkan setinggi-tinggi penghargaan kepada penyelia utama saya **Prof.Madya Dr.Othman bin Sidek** dan penyelia bersama saya **Dr.Mohd Zaid bin Abdullah** yang telah memberi bimbingan dan tunjuk ajar semasa penyelidikan ini dijalankan.

Saya juga ingin merakamkan terima kasih kepada teman-teman seperjuangan yang sama-sama berkongsi idea, maklumat, suka dan duka dalam menjayakan penyelidikan ini. Sekalung budi ditujukan kepada semua kakitangan Pusat Pengajian Kejuruteraan Elektrik dan Elektronik terutamanya juruteknik-juruteknik yang telah banyak membantu saya terutamanya dalam penyediaan alatan.

Terima kasih juga kepada Kementerian Pendidikan Malaysia yang telah menaja penyelidikan ini.

Penghargaan ini juga ditujukan kepada seluruh keluarga saya , ibu, ayah dan anak-anak di atas pengorbanan mereka. Khas buat suami yang tercinta yang telah memberi dorongan tanpa henti sehingga penyelidikan ini berjaya.

KANDUNGAN

	Muka surat
PENGHARGAAN	ii
KANDUNGAN	iii
SENARAI RAJAH	vi
SENARAI JADUAL	x
SENARAI ISTILAH	xi
SINGKATAN PERKATAAN	xii
SENARAI SIMBOL	xiii
ABSTRAK (BAHASA MALAYSIA)	xiv
ABSTRAK (BAHASA INGGERIS)	xv
BAB 1 PENGENALAN	
1.1 Penuras Digit FIR Termusnah Untuk Aplikasi Sonar	
Menggunakan FPGA	4
1.2 Objektif dan Skop Penyelidikan	8
1.3 Organisasi	9
BAB 2 TEORI PENURAS DIGIT FIR TERMUSNAH LALUAN	
RENDAH FASA LELURUS	
2.1 Pengenalan	11
2.2 Penuras Digit FIR Laluan Rendah	11
2.3 Penuras Digit FIR	15
2.4 Pemodulat Delta-Sigma ($\Delta\Sigma$)	16
2.4.1 Pembentukan Hingar	18

2.4.2 Kuasa Hingar Keluaran	19
2.5 Penerima Sonar	19
2.6 Penuras Digit Termusnah	19
2.6.1 Ciri-ciri Penuras FIR Fasa Lelurus	21
2.7 Rekabentuk Penuras FIR Fasa Lelurus Menggunakan Algorithma	
Penukaran Remez	25
2.7.1 Pembinaan Penuras FIR Fasa Lelurus	30
2.7.2 Binaan Penuras FIR Fasa Lelurus	33

BAB 3 REKABENTUK PENURAS DIGIT FIR LALUAN RENDAH

3.1 Pendekatan Rekabentuk	48
3.2 Spesifikasi Penuras	50
3.3 Rekabentuk Penuras	54
3.3.1 Menentukan Tertib Penuras	55
3.3.2 Pengiraan Koefisien Penuras	57
3.3.3 Pengkuantuman Koefisien Penuras	60
3.3.4 Persampelan Turun	63
3.3.5 Kendalian Penuras	65

BAB 4 PERLAKSANAAN PERKAKASAN DAN PENYELAKUAN REKABENTUK PENURAS

4.1 Pengenalan	71
----------------	----

4.2 Konsep Pelaksanaan Perkakasan	71
4.2.1 Konsep Kendalian Penuras	72
4.2.2 Blok-blok Binaan Perkakasan Penuras	75
4.2.2.1 Litar Pembilang	76
4.2.2.2 Daftar	76
4.2.2.3 Litar Penyongsang Tanda	80
4.2.3 Tatasusunan Get Boleh Aturcara Medan (FPGA) XILINX	82
4.2.4 Binaan Skematik Perkakasan Penuras	86
4.2.5 Konsep Asas Perkakasan	86
4.3 Keputusan	91
4.3.1 Penyelakuan Kefungsian Sambutan Dedenyut Penuras	91
4.3.2 Penyelakuan Pemasaan Sambutan Dedenyut Penuras	95
4.4 Pelaksanaan Rekabentuk Ke Atas Cip FPGA	95
4.5 Pengujian Peralatan	99
BAB 5 KESIMPULAN DAN CADANGAN	
5.1 Perbincangan dan Kesimpulan	100
5.2 Cadangan	102
RUJUKAN	103
LAMPIRAN-LAMPIRAN	109

SENARAI RAJAH

Rajah 1.1	Contoh Sistem Sonar yang biasa	2
Rajah 1.2	Sistem Sonar Untuk Industri	3
Rajah 1.3	Gambarajah blok Sistem Sonar Berbilang Alur	6
Rajah 1.4	Sistem Pemprosesan Isyarat Digit Untuk Penerima Sonar	7
Rajah 2.1	Blok penuras digit masa nyata dengan isyarat masukan dan keluaran analog.	12
Rajah 2.2	(a) Gambarajah blok pemodulat $\Delta\Sigma$ tertib pertama	16
	(b) Litar setara pelelurusan masa diskrit bagi pemodulat $\Delta\Sigma$ tertib pertama.	16
Rajah 2.3	Sambutan domain masa pemodulat $\Delta\Sigma$ tertib pertama dengan pengkuantuman 1-bit dengan isyarat masukan sinus 10kHz (simulasi MATLAB $f_s = 10\text{MHz}$) (Roger, 1999)	17
Rajah 2.4	Penuras digit Sampel Turun	20
Rajah 2.5	Jenis-jenis penuras digit FIR fasa lurus dengan tertib genap atau ganjil.	22
Rajah 2.6	Kedudukan sifar untuk penuras jenis I, II, III, dan IV penuras fasa lurus.	24
Rajah 2.7	Sambutan magnitud rekabentuk penuras FIR	27
Rajah 2.8	Sisihan ke i Algoritma Penukaran Remez	29
Rajah 2.9	Struktur bentuk terus penuras FIR	30
Rajah 2.10	Struktur penuras FIR fasa lurus bentuk terus diubahsuai dengan koefisien simetri genap dan N ganjil	32
Rajah 2.11	Gambarajah blok penuras FIR dengan koefisien terkuantum.	34
Rajah 2.12	Sambutan magnitud penuras FIR fasa lurus dengan koefisien dikuantumkan kepada 9-bit (N=64)	35

Rajah 2.13	Ralat sambutan frekuensi $E(\omega)$ untuk penuras tertib $N=64$ koefisien dikuantum kepada 9-bit.	37
Rajah 2.14	Agihan Seragam Kebarangkalian Ralat Pengkuantuman $e[n]$	37
Rajah 2.15	Fungsi pemberat $W(\omega)$ untuk penuras tertib $N=8$ dan $N=64$	41
Rajah 2.16	Had bawah pelemahan dalam jalur dicapai selepas pengkuantuman koefisien sebagai fungsi pelemahan asal (untuk $N=64$). (Dipetik dari Roger, 1999)	43
Rajah 2.17	Bilangan bit minima diperlukan untuk pelemahan dalam jalur minima diberi ($N=64$) (Dipetik dari Roger, 1999)	45
Rajah 2.18	Had Perubahan Dalam Jalur Pelemahan Disebabkan Pengkuantuman Koefisien	46
Rajah 2.19	Sambutan Magnitud Penuras Dengan Koefisien 13-bit (Dipetik dari Roger, 1999)	47
Rajah 3.1	Sistem Perkakasan Penuras FIR Digit di atas papan litar	49
Rajah 3.2	Ciri-ciri penuras laluan rendah	51
Rajah 3.3	Spektrum keluaran pemodulat	53
Rajah 3.4	Spesifikasi penuras digit termusnah	55
Rajah 3.5	Koefisien Penuras Yang Direkabentuk	58
Rajah 3.6	Magnitud sambutan frekuensi $ SambFr(f) $ penuras FIR dengan $N=255$. (Dipetik dari Roger, 1999)	59
Rajah 3.7	Riak pada jalur laluan penuras FIR dengan $N=255$ (Dipetik dari Roger, 1999)	60
Rajah 3.8	Sambutan frekuensi dan fasa penuras FIR fasa lurus (Dipetik dari Roger, 1999)	61
Rajah 3.9	Perbandingan isyarat masukan dan isyarat keluaran terturas.	62

Rajah 3.10	Sambutan Magnitud dan Fasa Penuras Digit FIR	63
Rajah 3.11	Sambutan Magnitud dan Fasa Penuras Digit FIR Koefisien Dikuantumkan	64
Rajah 3.12	Sambutan dedenyut sampel turun	65
Rajah 3.13	Bilangan bit maksima koefisien setiap penumpuk	69
Rajah 4.1	Penuras FIR fasa lelorus N= 255 struktur bentuk terus diubahsuai.	73
Rajah 4.2	Binaan struktur bentuk terus diubahsuai penuras FIR fasa lelorus masukan 1-bit.	74
Rajah 4.3	Carta Alir Proses Penurasan Penuras Digit Termusnah	77
Rajah 4.4	Struktur bentuk terus diubahsuai penumpuk 1 penuras FIR termusnah.	78
Rajah 4.5	Pembilang 4-bit dan penyahkod	79
Rajah 4.6	Daftar anjakan masukan siri keluaran selari.	80
Rajah 4.7	Bahagian masukan penuras	81
Rajah 4.8	Litar penyongsang tanda penumpuk pertama	82
Rajah 4.9	Blok peranti XILINX Siri XC4000	84
Rajah 4.10	Contoh simpangan jaringan dan sambungan CLB (Dipetik dari Xilinx Data Book)	84
Rajah 4.11	CLB dan matrik pensuisan	85
Rajah 4.12	Gambarajah blok penuras digit FIR termusnah N=255	88
Rajah 4.13	Kaedah penjumlahan penuras digit FIR yang direkabentuk	89
Rajah 4.14	Gambarajah isyarat kawalan dan pemasaan	90
Rajah 4.15	Blok fungsi makro penumpuk	90
Rajah 4.16	(a) <i>Stimulator Selection</i> (b) <i>Kotak Formula Isyarat Masukan</i>	92

Penyelaku

Rajah 4.17	Keluaran penuras bagi isyarat masukan F1, logic '0' dan logik '1'	93
Rajah 4.18	Penyelakuan Kefungsian Sambutan Dedenyut Penuras	94
Rajah 4.19	Hasil Penyelakuan Pemasaan	95
Rajah 4.20	Menu paparan 'Project Manager' XILINX FOUNDATION 2.1i	96
Rajah 4.21	Urutan pelaksanaan perkakasan rekabentuk penuras ke atas cip XC4013XLPQ160	97
Rajah 4.22	Perkakasan sistem penuras digit FIR termusnah	98

SENARAI JADUAL

Jadual 2.1	Komponen-komponen yang diperlukan untuk membina penuras FIR fasa lurus	32
Jadual 3.1	Penambahbaikan spesifikasi penuras digit termusnah	57
Jadual 3.2	Kitar kendalian penumpuk pertama	67
Jadual 3.3	Masukan-masukan penuras dan talian lengahan bagi setiap Penumpuk	68
Jadual 3.4	Bilangan bit maksima koefisien setiap penumpuk	70
Jadual 3.5	Panjang perkataan pencampur bagi setiap penumpuk	70
Jadual 4.1	Masukan dan keluaran pendarab	73
Jadual 4.2	Jadual kebenaran keluaran pendarab $w_k[n]$	74
Jadual 4.3	Ringkasan penggunaan komponen dalam peranti XC4013XLAPQ160	98
Jadual 4.4	Keputusan Pengujian Peralatan Menggunakan Penganalisa Logik	99

SENARAI ISTILAH

Look-up table (LUT)	Jadual rujukan
FPGA	Tatasusunan Logik Boleh Aturcara Medan
CLB	Tatarajah blok logik
Resolution	Peleraian
Topography	Kajian rupa bumi
Round-off noise	Hingar pembulatan
Amplifier	Penguat
Hydrophone	Hidrofon
Aliasing	Kelainan
Narrow band	Jalur sempit
Stop band	Jalur henti
Transition band	Jalur peralihan
Decimate	Musneh
Modulator	Pemodulat
Schematic Editor	Pengedit skematik
Pole	Kutub
Linear piece-wise	Serpihan lurus
Stimulator Selection	Pemilih Stimuli
C-language	Bahasa pengaturcaraan C
Multiplier	Pendarab

SINGKATAN PERKATAAN

PC	Personal Computer
DSP	Digital Signal Processing
RAM	Read Access Memory
ROM	Read Only Memory
EPROM	Erasable Programmable Read Only Memory
CLB	Configuration Logic Block
FPGA	Field Programmable Gate Array
FIR	Finite Impulse Response
ADC	Analog to Digital Converter
PDM	Pulse Density Modulator
MEA	Mutiple Exchange Algorithm
REA	Remez Exchange Algorithm
LTI	Linear Time Invariant
BIBO	Bounded Input Bounded Output
STF	Signal Tranfer Function
NTF	Noise Tranfer Function
OSR	Over Sampling Ratio
IFLF	Inverse Follow Leader Feeding
CAD	Computer Aided Design
IC	Intergrated Circuit
LUT	Look Up Table
PIP	Programmable Interconnect Point
SIPO	Serial In Parallel Out

SENARAI SIMBOL

$\Delta\Sigma$

Delta- Sigma

ABSTRAK

Tatasusun Get Boleh Program Medan (FPGA) menjadi alternatif yang berdaya maju kepada aplikasi pemprosesan isyarat digit yang mana mempunyai keupayaan dan berkelajuan tinggi. Peranti FPGA yang terdapat masa kini seperti peranti XILINX mempunyai keupayaan dan kekuatan yang tinggi untuk melaksanakan sistem penapis FIR yang berprestasi tinggi dan menepati spesifikasi yang tertentu. Dalam tesis ini, Penapis Digit FIR Termusnah untuk Sistem Berfrekuensi Rendah dibina untuk memenuhi spesifikasi bagi aplikasi sistem sonar. Rekabentuk penapis ini menggunakan Algoritma Penukaran Remez bagi mendapatkan tertib penapis dan mengira pekalinnya. Di samping itu beberapa skrip MATLAB yang mudah dan ringkas juga digunakan. Binaan perkakasan penapis dibina mengikut rangkaian struktur bentuk terus terubahsuai. Rekabentuk penapis fasa lurus dalam tesis ini juga menyetengahkan binaan tanpa menggunakan pendarab serta bilangan penambah dan lengahan paling minima. Perlaksanaan perkakasan pula menggunakan rangkap skematik untuk memuat-turun binaan ke atas cip FPGA. Penyelakuan perkakasan seterusnya dilakukan dan prestasi penapis ditentukan dengan menyelidik keputusan penyelakuan pemasangan yang menggunakan perisian XILINX FOUNDATION 2.1i. Pendekatan rekabentuk yang digunakan dalam tesis ini telah berjaya mengurangkan saiz perkakasan sehingga 18% berbanding rekabentuk sebelumnya (Roger Meier, 1999). Hasil penyelakuan menunjukkan kelajuan sistem penapis ini telah mencapai frekuensi maksima sehingga 19.92 MHz. Rekabentuk ini yang telah ditentukan keupayaannya seterusnya dimuat-turunkan ke dalam cip FPGA XILINX XC4013XLA.

DESIGN OF DIGITAL DECIMATION FIR FILTER FOR SONAR APPLICATION USING FPGA TECHNOLOGY

ABSTRACT

Field Programmable Gate Arrays (FPGA) have become viable alternatives to implementation of high speed semiconductor technology. It is used in many application such as in digital signal processing (DSP). The FPGA current device such as XILINX have power and capacity to implement a FIR filter with high performance and specification. In this thesis, the Digital Decimation FIR Low Pass Filter with Linear Phase for Low Frequency (DDFIR) application has been designed to perform the specifications of the sonar system applications. The Remez Exchange Algorithm is used to determine the filter order and to calculate the filter coefficient by using the very simple MATLAB script. The modified direct form structure for linear phase filter hardware realizes this filter with multiplier-free and minimum number of delays and adders. The hardware implementation has been made in Schematic Capture to realize it in FPGA. The hardware simulation is introduced and its performance is verified by investigated the structural timing simulation which is available in the XILINX FOUNDATION 2.1i Tools. The result of simulation shows this filter system achieves the maximum frequency up to 19.92 MHz. This filter will be downloaded into a FPGA XILINX XC4013XLA.

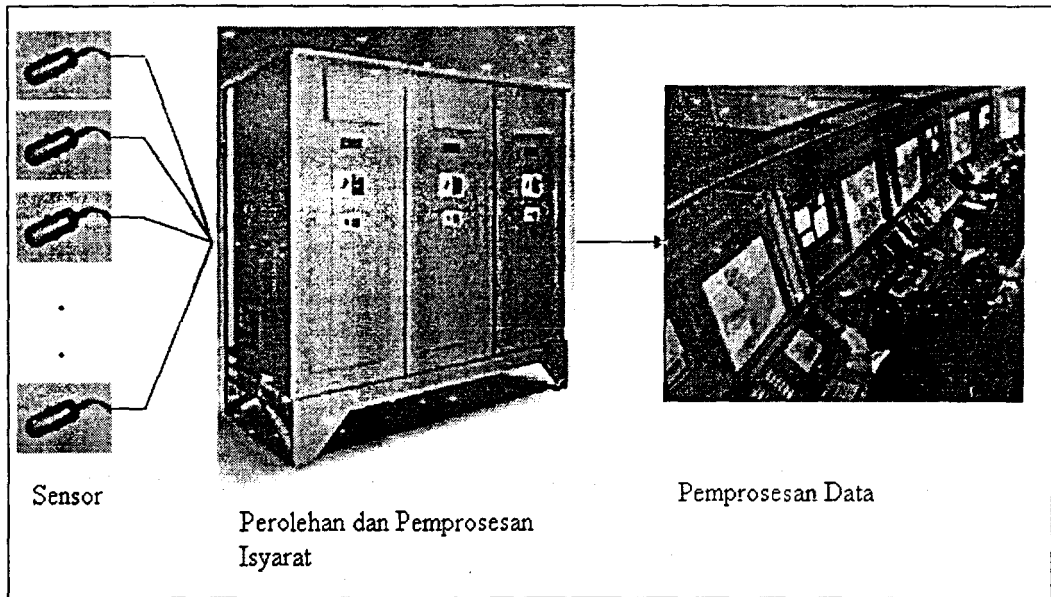
SONAR atau singkatan kepada *SOund NAVigation and Ranging*, adalah satu sistem berasaskan isyarat bunyi yang menjadi begitu penting sejak lama dahulu dalam aktiviti-aktiviti pengesanan di dalam air terutamanya di dalam lautan. Keperluan sistem sonar yang menggunakan tenaga akustik telah digunakan untuk mengesan objek yang dikehendaki seperti ikan, kapal selam, kapal laut, torpedo, penggalian minyak dan mengkaji rupa bumi (topography) di dasar lautan. Oleh kerana keupayaan bunyi dapat mensifatkan keadaan air dengan baik. Bunyi juga didapati akan dibiaskan di bawah permukaan air pada sudut yang berbeza bergantung kepada suhu air.

Pada separuh pertama abad ini, kajian telah membuktikan bahawa bunyi mempunyai kelakuan yang berbeza pada tempat yang berbeza di dalam lautan. Kelajuan perambatan bunyi juga berbeza mengikut persekitaran. Kepelbagaian persekitaran termasuk kedalaman laut, suhu, dan tahap kemasinan boleh mengubah kelajuan dan arah penghantaran bunyi (Hughes Clarke, 2000). Ciri-ciri sebegini telah menyumbang kepada bertambahnya penyelidikan berasaskan bunyi untuk merekacipta peralatan-peralatan canggih mengikut keperluan semasa.

Berbagai penyelidikan dan kajian berkaitan sistem sonar telah dan sedang dijalankan di antaranya melibatkan pembangunan peralatan untuk kerja pengesanan objek, pengujian dan penilaian peralatan yang telah dibangunkan. Rekabentuk sistem sokongan seperti sistem pengumpulan dan pemprosesan isyarat berkait rapat dengan pembangunan peralatan sonar. Sistem sonar yang asas biasanya terdiri daripada susunan beberapa pengesan, sistem perolehan data (pembentuk alur), pemproses isyarat dan pemprosesan data. Rajah 1.1 menunjukkan satu contoh

sistem sonar yang biasa. Pengesan terdiri daripada susunan beberapa pengesan yang akan merangkap isyarat bunyi .

Isyarat-isyarat ini akan dikumpul dan diproses oleh sistem perolehan dan pemprosesan isyarat di mana melibatkan proses penyesuaian isyarat, penukaran isyarat analog ke digit, rakaman data, pembentukan alur, penapisan, pengesanan dan penjejakan.

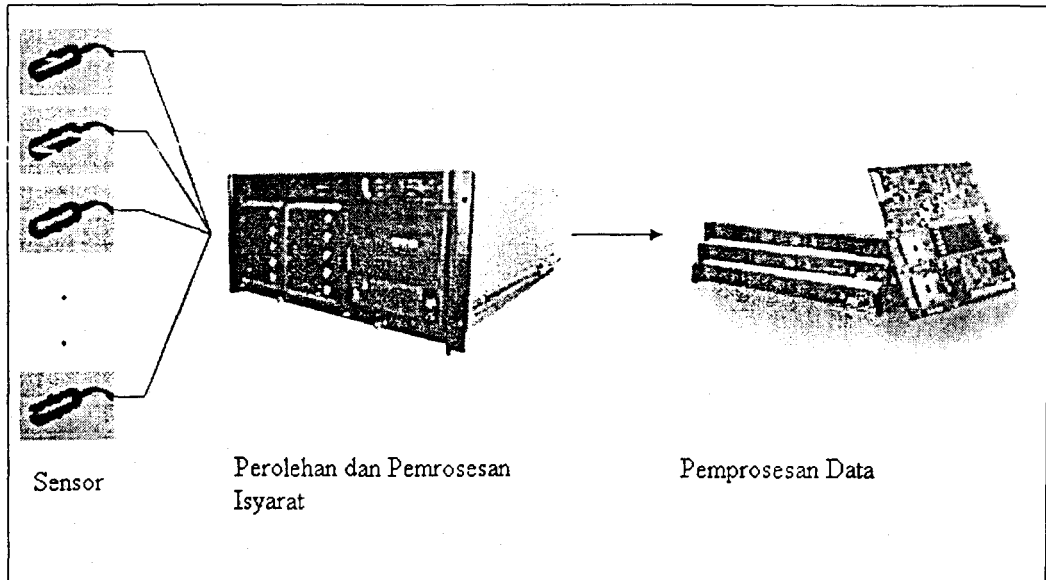


Rajah 1.1 Contoh Sistem Sonar yang biasa

Isyarat-isyarat ini akan dikumpul dan diproses oleh sistem perolehan dan pemprosesan isyarat di mana melibatkan proses penyesuaian isyarat, penukaran isyarat analog ke digit, rakaman data, pembentukan alur, penapisan, pengesanan dan penjejakan. Seterusnya isyarat ini akan dihantar kepada sistem kawalan untuk diantaramukakan dengan pengguna bagi tujuan analisis dan pengkelasan objek.

Rajah 1.2 menunjukkan satu sistem sonar yang digunakan dalam industri. Terdapat beberapa institusi dan syarikat pembuatan telah dan sedang melakukan penyelidikan dan pembangunan peralatan sonar. Di antaranya, Institut Andreev Acoustik

(Moscow) melakukan pengujian dan penilaian ke atas sistem yang dibangunkan dengan memfokuskan kepada perambatan bunyi di dalam laut. Peralatan yang dibangunkan ialah seperti peralatan pengesanan objek, penggerudian dan carigali minyak dan gas, perubahan, ekologi dan kajian persekitaran di lautan.



Rajah 1.2 Sistem Sonar Untuk Industri

Saintis dari Scientific Research Institute of Computer Complexes (NIIVK) pula telah membangunkan algoritma sistem sonar untuk mengkomersialkan beberapa aplikasi akustik di antaranya ialah Sistem Sonar Pemantauan Ikan (Fish Monitoring Sonar System), Sistem Sonar Padat untuk Paparan Terhampir Kawasan Air (Compact Sonar System for the Nearest Water Area Viewing), Pemantauan Ikan Berbilang Kapal (Multiship Fish Monitoring) dan Sistem Sonar Untuk Parameter-parameter Struktur Alur Lapangan Akustik Dasar Laut (Sonar System for Beam Structure Parameters of Undersea Acoustic Fields).

Doug Webb dan Dr. Tom Rossby (2002) telah membangunkan dengan jayanya peralatan Sofar Float yang boleh terapung pada kedalaman yang ditetapkan. Alat ini

dapat menghantar denyut berfrekuensi rendah dan merambatkannya sejauh beberapa ribu kilometer.

Elemen penting yang menjadi tuggak kepada keupayaan dan keberkesanan perkembangan teknologi sonar ini ialah pemrosesan isyarat. Isyarat-isyarat yang diperolehi daripada pengesan biasanya dalam bentuk analog. Satu penukar analog ke digit digunakan untuk menukarkan isyarat analog ke digit. Pemrosesan isyarat digit sebegini telah digunakan dalam sistem sonar sejak 1950-an . Bermula dengan komputer peribadi (PC) yang diperkenalkan oleh IBM pada Ogos 1981, teknologi silikon berketumpatan tinggi berkembang dengan pantas sehinggalah kepada penggunaan Pemproses Isyarat Digit (DSP) yang menggunakan teknologi FPGA. FPGA dengan ingatan capaian rawak (RAM) yang berasaskan blok-blok logik boleh tatarajah (CLB) telah diperkenalkan oleh beberapa pengeluar seperti Xilinx dan Altera. Gabungan logik boleh aturcara dan keupayaan menggunakan blok-blok RAM CLB ini sebagai ingatan teragih menjadikan teknologi FPGA digunakan dalam kebanyakan aplikasi DSP seperti pemrosesan isyarat dalam sistem sonar.

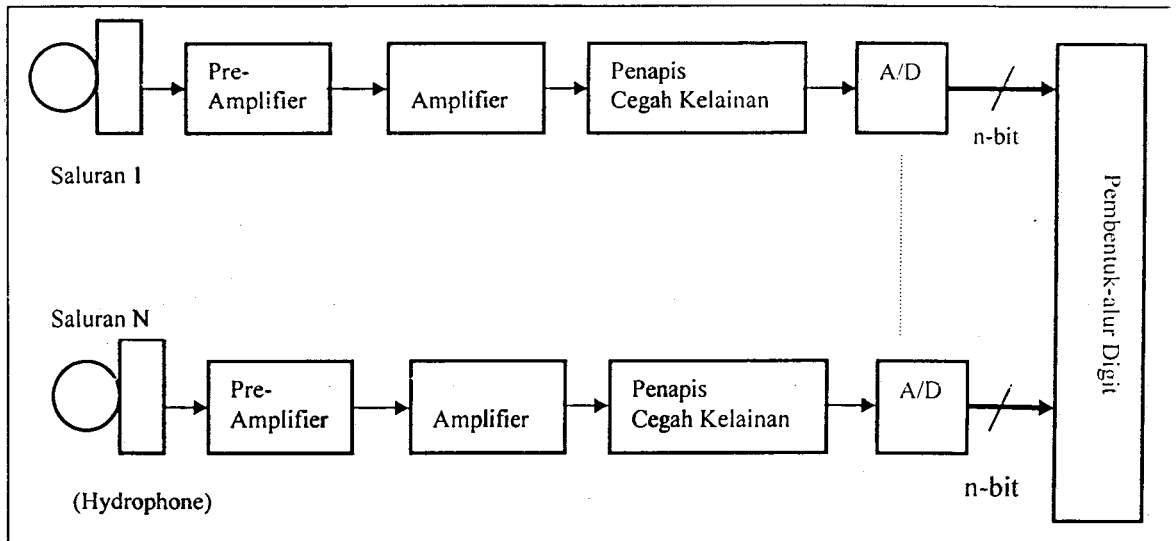
1.1 Penapis Digit FIR Termusnah Untuk Aplikasi Sonar Menggunakan FPGA

Umumnya bunyi terhasil dari berbagai sumber seperti dihasilkan oleh hidupan di laut, aktiviti manusia dan keadaan di lautan itu sendiri seperti bunyi ombak dan arus air. Menggunakan bunyi untuk pengesanan objek di lautan memerlukan pengumpulan sejumlah besar data dan menganalisakannya bagi mengenalpasti kedudukan dan arah objek sasaran. Maklumat yang dirangkapkan perlu dianalisis secara menyeluruh bagi mendapatkan pengesanan yang tepat. Sistem seperti ini dikenali sebagai Sistem Pemrosesan Isyarat Digit yang mana teknologi dalam bidang ini sedang berkembang begitu pesat dan pantas sekali.

Sistem Pemrosesan Isyarat Digit yang digunakan untuk mengesan objek di lautan menggunakan satu sistem sonar berbilang alur untuk merangkap isyarat bunyi. Rajah 1.3 menunjukkan rajah blok sistem sonar berbilang alur. Untuk memproses data-data yang dikumpulkan oleh pengesan secara digit, isyarat analog ini perlu ditukarkan kepada bentuk digit. Isyarat ini terlebih dahulu perlu dibesarkan (amplified) dan dituras sebelum ianya ditukar kepada isyarat digit. Untuk tujuan ini penapis laluan rendah digunakan untuk menuras isyarat dan mengelakkan daripada berlakunya kelainan (aliasing). Kajian ini akan menumpukan kepada merekabentuk dan membangunkan penapis digit FIR laluan rendah fasa lurus menggunakan FPGA. Untuk menghasilkan penapis yang berkeupayaan tinggi berbagai kajian telah dilakukan untuk mencari pendekatan dan penyelesaian yang terbaik berpandukan kehendak pengguna. Analisis Ralat Pengkuantuman Struktur Bentuk Terus Penapis Digit FIR telah dilakukan oleh Chan dan Rabiner pada tahun 1973. Kesan pengkuantuman termasuklah hingar pembulatan (roundoff noise), hingar A-D (A-D noise) dan ralat sambutan frekuensi dianalisis untuk mendapatkan rekabentuk yang baik. Mereka mendapati penapis FIR bentuk terus sangat bersesuaian untuk membina penapis FIR.

Nielsen (1989) merekabentuk penapis digit FIR bentuk terus dengan pekali terkuantum menggunakan teknik bentuk spektrum. Teknik ini dapat mengurangkan lebih daripada 2 bit panjang perkataan pekali yang diperlukan. Perlaksanaan penapis menggunakan titik tetap menjadi penyelesaian yang masih digunakan untuk menangani masalah perkakasan yang kompleks. Sepertimana diketahui, pendarab merupakan elemen yang menyumbang kepada rekabentuk penapis yang lebih rumit maka pendarab yang digunakan mestilah ringkas. Ini dapat dicapai dengan meminimalkan panjang perkataan pekali penapis. Jika rekabentuk penapis dapat dihasilkan tanpa menggunakan pendarab, maka semestinya penapis yang dibina lebih ringkas, mudah dan murah (Roger Meier, 1999).

Pada masa lalu, penukaran isyarat kepada bentuk digit boleh dilakukan oleh penukar analog kepada digit (ADC) yang tersedia di pasaran dengan keluaran berbilang bit yang terhad. Isyarat ini kemudiannya disuapkan ke dalam pembentuk alur digit. Bagi sistem berbilang saluran yang melebihi 50 saluran ADC seperti ini tidak lagi sesuai kerana harganya yang sangat tinggi dan kesukaran memadangkannya dengan kehendak sistem.

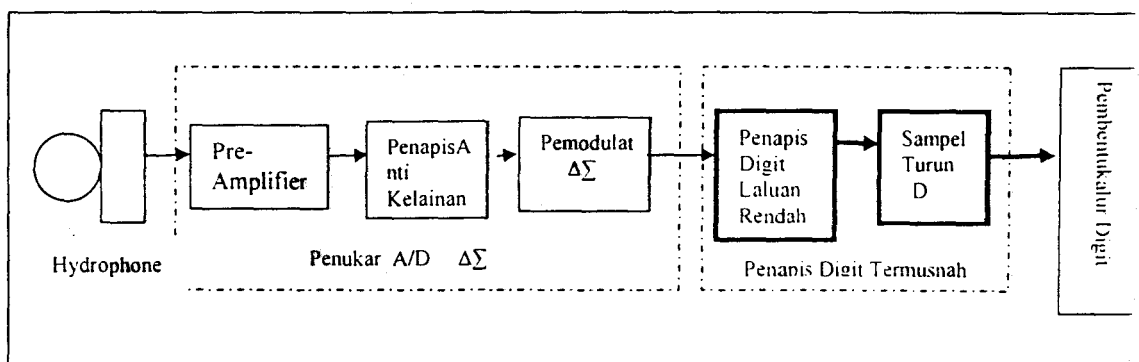


Rajah 1.3 Gambarajah blok Sistem Sonar Berbilang Alur

Di samping itu sistem ini tidak mempunyai keanjalan untuk pengubahsuaian bagi memenuhi kehendak pengguna. Kos dan ruang yang lebih efektif untuk melakukan penukaran analog ke digit ialah menggunakan pemodulat Delta-Sigma ($\Delta\Sigma$) yang direka khusus untuk memperolehi isyarat keluaran pengesanan di mana keluaran Pemodulat Ketumpatan Denyut (PDM) membentuk isyarat masukan sampel lebihan dan hingar lebar jalur yang menghalang proses pengkuantuman.

Untuk mendapatkan isyarat keluaran lebar jalur yang seterusnya satu pembentuk alur atau penapis tambahan diperlukan untuk pembentukan alur jalur sempit (narrowband). Isyarat keluaran pemodulat $\Delta\Sigma$ perlu ditapis laluan rendah secara digit dan dikurangkan (decimate) sebahagian sampelnya. Satu sistem pemrosesan yang berkesan dan berkeupayaan tinggi memerlukan blok penapisan yang boleh menapis isyarat-isyarat masukan tersampel dengan mengekalkan ciri-ciri isyarat masukan analog yang paling optima. Dalam kajian ini rekabentuk penapis digit termusnah dibangunkan untuk tujuan di atas. Rajah 1.4 menunjukkan gambarajah blok satu saluran daripada sistem yang dimaksudkan. Blok yang bergaris tebal dalam Rajah 1.4 adalah tumpuan penyelidikan dalam tesis ini.

Kajian ini akan menumpukan kepada merekabentuk dan membangunkan penapis digit FIR laluan rendah fasa lurus menggunakan FPGA. Untuk menghasilkan penapis yang berkeupayaan tinggi berbagai kajian telah dilakukan untuk mencari pendekatan dan penyelesaian yang terbaik berpandukan kehendak pengguna. Analisis Ralat Pengkuantuman Struktur Bentuk Terus Penapis Digit FIR telah dilakukan oleh Rabiner dan Chan (1973). Kesan pengkuantuman termasuklah hingar pembulatan (roundoff noise), hingar A-D (A-D noise) dan ralat sambutan frekuensi perlu dianalisis untuk mendapatkan rekabentuk yang baik. Mereka mendapati penapis FIR bentuk terus sangat bersesuaian untuk membina penapis FIR.



Rajah 1.4 Sistem Pemrosesan Isyarat Digit Untuk Penerima Sonar

1.2 Objektif dan Skop Penyelidikan

Objektif utama penyelidikan ini ialah untuk membangunkan satu Sistem Penapis Digit FIR Fasa Lelurus Laluan Rendah Termusnah untuk aplikasi frekuensi rendah (penerima sonar). Di samping objektif utama ini sistem ini diperkukuhkan dengan beberapa objektif sokongan seperti berikut:

1. Membangunkan Penapis Digit FIR Fasa Lelurus Laluan Rendah Termusnah Untuk Penerima Sonar berasaskan FPGA yang dapat melaksanakan fungsinya dengan berkesan menggunakan peranti XILINX siri XC4013XLPQ160 .
2. Membina penapis digit FIR laluan rendah dengan ciri-ciri seperti berikut:
 - Penapis tertib $N=255$ dengan pekali simetri sekitar titik tengah
 - Rekabentuk penapis tanpa pendarab.
 - Penapis digit FIR laluan rendah riak sama.
 - Ruang FPGA lebih kecil
 - Rekabentuk yang boleh diubahsuai mengikut keperluan sistem.

Skop penyelidikan ini merangkumi rekabentuk menggunakan perisian MATLAB. Implementasi perkakasan dilakukan dengan menggunakan perisian XILINX Foundation 2.1i ke atas peranti FPGA XILINX XC4013XLPQ160. Peranti ini mempunyai kapasiti yang boleh memuatkan 13000 get logik dan jumlah tatarajah blok logik (CLB) sehingga 576. Bekalan kuasa yang digunakan adalah antara 3.0 hingga 3.6 volt sahaja, di mana ini dapat mengurangkan kuasa yang diperlukan oleh sistem. Sistem yang direkabentuk diuji menerusi penyelakuan dan pengujian peralatan. Peranti EPROM 27512 digunakan untuk mengantaramukakan dengan cip XILINX bagi mendapatkan keluaran bagi sistem penapis ini. Keluaran-keluaran yang diperolehi melalui penyelakuan kefungsiian dan pemasaan dan juga 'logic analyser'

akan dibandingkan dengan sambutan dedenyut yang dihasilkan oleh perisian MATLAB bagi menentusahkan keupayaan penapis yang direkabentuk.

1.3 Organisasi

Tesis ini dibahagikan kepada lima bab. Bab 2 akan menerangkan latarbelakang berkaitan kajian ini. Teori asas pemodulat $\Delta\Sigma$ dan rekabentuk penapis digit laluan rendah diterangkan. Kajian ini menumpukan kepada membina penapis laluan rendah FIR fasa lurus menggunakan konsep yang dibangunkan oleh Roger Meier, 1999 . Kesan pengkuantuman ke atas pekali penapis juga dibincangkan.

Dalam Bab 3, konsep rekabentuk diteliti dan setiap peringkat rekabentuk dibina semula menggunakan Peralatan Pemprosesan Isyarat (MATLAB). Keupayaan penapis akan ditentusahkan dengan membandingkan keupayaan yang telah disimulasikan oleh Roger Meier (1999) dengan keupayaan rekabentuk dalam kajian ini. Dalam bab ini juga akan ditunjukkan keberkesanan menggunakan "Schematic Editor" yang terdapat dalam perisian XILINX Foundation 2.1i. Penggunaan LOGIBLOX dalam Foundation 2.1i dimaksimakan bagi membina penapis digit laluan rendah FIR fasa lurus yang mempunyai keupayaan yang tinggi. Setiap langkah rekabentuk akan ditunjukkan secara terperinci melibatkan penggunaan penambah , pendaftar, pemultipleks, daftar ingatan dan get-get logik asas. Bab ini juga akan menunjukkan keupayaan dan perbezaan binaan yang menggunakan bilangan penambah yang berbeza terhadap ruang dan kecekapan penapis.

Bab 4 menerangkan pelaksanaan perkakasan penapis ke atas peranti FPGA. Rekabentuk blok binaan penapis akan diterangkan dan penyelakuan pemasangan dan kefungsiian akan dilakukan ke atas rekabentuk untuk melihat kelakuan pelaksanaan penapis. Keputusan penyelakuan dalam bentuk sambutan dedenyut

akan dibandingkan dengan penyelakuan menggunakan perisian MATLAB yang telah dilakukan oleh Roger Meier (1999).

Bab 5 merupakan kesimpulan dan cadangan terhadap langkah mengetengahkan konsep rekabentuk ini dan keupayaannya untuk dikomersilkan.

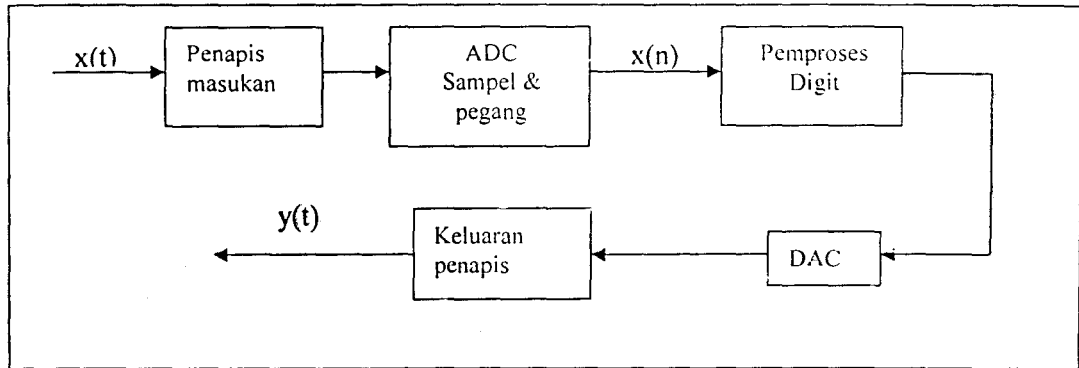
2.1 Pengenalan

Bab ini akan menerangkan konsep rekabentuk dan spesifikasi penapis digit FIR termusnah laluan rendah fasa lurus untuk kegunaan sistem sonar berfrekuensi rendah . Terdapat beberapa spesifikasi dan langkah-langkah yang perlu ditentukan dalam proses merekabentuk penapis digit seperti menentukan spesifikasi isyarat masukan untuk sistem sonar, pemilihan penukar isyarat analog ke digit yang efektif, kesan pengkuantuman, rekabentuk menggunakan Algoritma Penukaran Remez, dan seterusnya menstrukturkan rekabentuk penapis kepada pendekatan perkakasan. Nilai parameter-parameter yang mempengaruhi keupayaan dan ketepatan penapisan juga dikira untuk mendapatkan satu sistem penapisan yang berkesan dan berprestasi tinggi. Secara umumnya, ciri-ciri penapis yang unggul hampir mustahil untuk diperolehi. Oleh itu rekabentuk yang terbaik haruslah mempunyai ciri-ciri paling hampir dengan penapis unggul.

2.2 Penapis Digit FIR Laluan Rendah

Penapis merupakan salah satu bahagian paling penting dalam satu sistem pemprosesan isyarat digit. Ia boleh memilih dan mengubah bentuk gelombang, amplitud-frekuensi dan sifat frekuensi-fasa sesuatu isyarat. Objektif umum penapisan adalah untuk mempertingkatkan kualiti sesuatu isyarat iaitu untuk mengurangkan atau membuang hingar, mengasingkan, menyisihkan maklumat yang tidak dikehendaki atau membahagi dua atau lebih isyarat untuk mendapatkan maklumat yang lebih berkesan dengan ketepatan yang tinggi. Penapis digit adalah pelaksanaan algorithma matematik pada isyarat masukan digit untuk menghasilkan

isyarat keluaran digit bagi tujuan memperoleh objektif penapisan. Rajah 2.1 menunjukkan blok fungsi penapisan yang dimaksudkan.



Rajah 2.1 Blok penapis digit masa nyata dengan isyarat masukan dan keluaran Analog

Penapis FIR berperanan penting dalam pemprosesan isyarat digit kerana sifatnya yang stabil dengan ciri-ciri pindahan fasa lurus (Fuchs,2001). Penapis digit FIR fasa lurus mempunyai beberapa ciri utama yang menjadikannya sangat bersesuaian dalam aplikasi pemprosesan isyarat digit. Bagi sebarang teknik rekabentuk penapis FIR, keupayaan bertambah bila panjang (tertib) penapis bertambah (Fuchs, 2001). Bagi penapis FIR, tertib penapis adalah berkadaran songsang dengan lebar jalur peralihan manakala keupayaan penapis berkadar songsang dengan lebar jalur peralihan. Walaubagaimanapun bagi penapis jalur sempit, tertib penapis menjadi sangat tinggi dan binaan bentuk terus dengan setiap pekali secara berasingan sangat mahal. Oleh itu pendekatan rekabentuk yang bersesuaian dengan kos yang rendah dan rekabentuk yang mudah menjadi matlamat utama perekabentuk. Beberapa pendekatan telah digunakan bagi mencapai objektif tersebut. Kos pelaksanaan penapis dapat dikurangkan secara drastik dengan menggunakan hubungkait antara sampel-sampel sambutan dedenyut yang berdekatan (Tapio Saramaki, 2004). Beberapa struktur penapis telah diketengahkan dengan bilangan pendarab dan penambah yang berkurangan dengan

pertambahan panjang sambutan dedenyut yang lebih kecil daripada panjang minima. Rekabentuk penapis digit fasa lurus dengan frekuensi pilihan telah dilaksanakan berasaskan kepada penyelesaian yang telah diperkenalkan oleh Parks dan McClellan dalam tahun 1972. Di sini riak jalur laluan δ_1 dan riak jalur henti, δ_2 yang tetap dapat mencapai lebar jalur peralihan yang minima untuk penapis fasa lurus sampel N dengan tempoh sambutan dedenyut yang tetap. Bagi kes $\delta_1 = \delta_2$, lebar jalur peralihan minima secara kasarnya tidak bergantung kepada frekuensi potong jalur laluan, F_p . Untuk kes $\delta_1 < \delta_2$, jalur peralihan berkurangan dengan pertambahan lebar jalur (Parks, et al, 1973).

Teknik rekabentuk penapis FIR tanpa pendarab menggunakan penumpuk dan daftar anjakan kanan untuk melaksanakan pendaraban gandaan dua. Ini dapat mengurangkan bilangan anjakan kanan seluruh penapis dan membenarkan kadar jam kendalian yang tinggi. Akitektur yang dihasilkan juga dapat mengurangkan ruang yang diperlukan berbanding penyelesaian biasa yang menggunakan pendarab (Liberali dan Brambilla, 2001).

Penapis digit adalah satu perlaksanaan sistem lurus yang beroperasi pada bentuk gelombang digit. Ia membentuk satu pengiraan urutan masukan sampel-sampel bentuk gelombang untuk menghasilkan urutan sampel-sampel keluaran yang sama saiz tetapi terlibat dengan pengubahsuaian kandungan frekuensi. Persamaan pembezaan umum bagi penapis digit ditulis sebagai:

$$b_0 y[n] + b_1 y[n-1] + b_2 y[n-2] + \dots + b_N y[n-N] = a_0 x[n] + a_1 x[n-1] + \dots + a_M x[n-M] \quad (2.1)$$

di sini a_i dan b_j adalah pekali, $x[n-i]$ mewakili sampel masukan sebelum ke i dan $y[n-j]$ mewakili sampel keluaran sebelum ke j .

$$H(z) = \frac{Y(z)}{X(z)} = \frac{\sum_{i=0}^M a_i z^{-i}}{1 + \sum_{j=1}^N b_j z^{-j}} = \frac{N(z)}{D(z)} \quad (2.2)$$

Dengan memanipulasikan nilai-nilai pekali, ciri-ciri fungsi pindahan boleh diubah di mana isyarat masukan juga boleh diubah. Ini menggambarkan pelaksanaan penapis digit adalah fleksibel yang mana $N(z)$ adalah jujukan M yang menghasilkan sifar kepada sistem. $D(z)$ pula adalah jujukan N yang menghasilkan kutub (pole) kepada sistem. Jika $D(z)$ menjadi sifar pada nilai-nilai N maka fungsi pindahannya tidak ditakrifkan.

Bulatan unit adalah kontur $|z| = 1$ yang memainkan peranan penting dalam analisa dan rekabentuk sistem masa diskrit. Kedudukan kutub dan sifar membolehkan kita membuat kesimpulan terhadap sambutan frekuensi sistem berkaitan kestabilan sistem tersebut. Untuk satu sistem yang stabil, semua kutub mesti berada dalam bulatan unit (atau bertindih dengan sifar pada bulatan unit). Untuk polinomial tertib tinggi adalah sukar mendapatkan rangkaian $N(z)$ atau $D(z)$. Bagi rekabentuk penapis masa diskrit, kutub dan sifar dapat ditentukan secara automatik menggunakan perisian-perisian rekabentuk seperti MATLAB.

Kriteria kestabilan sangat berguna untuk sistem masa lurus (LTI) di mana semua masukan terhad menghasilkan keluaran terhad. Ini dipanggil BIBO (masukan terhad keluaran terhad). Sistem LTI dikatakan BIBO stabil jika dan hanya jika

$$\sum_{k=0}^{\infty} |h(k)| < \infty \quad (2.3)$$

di mana $h(k)$ adalah sambutan dedenyut sistem.

Adalah jelas di sini bahawa jika sambutan dedenyut dengan panjang yang terhad adalah mencukupi, maka penjumlahan sambutan dedenyut (pekali) akan jadi terhad.

Untuk keluaran terhad, semua kutub mesti berada di dalam bulatan unit. Oleh itu sistem adalah stabil. Jika kutub berada di luar bulatan unit, maka sistem adalah tidak stabil.

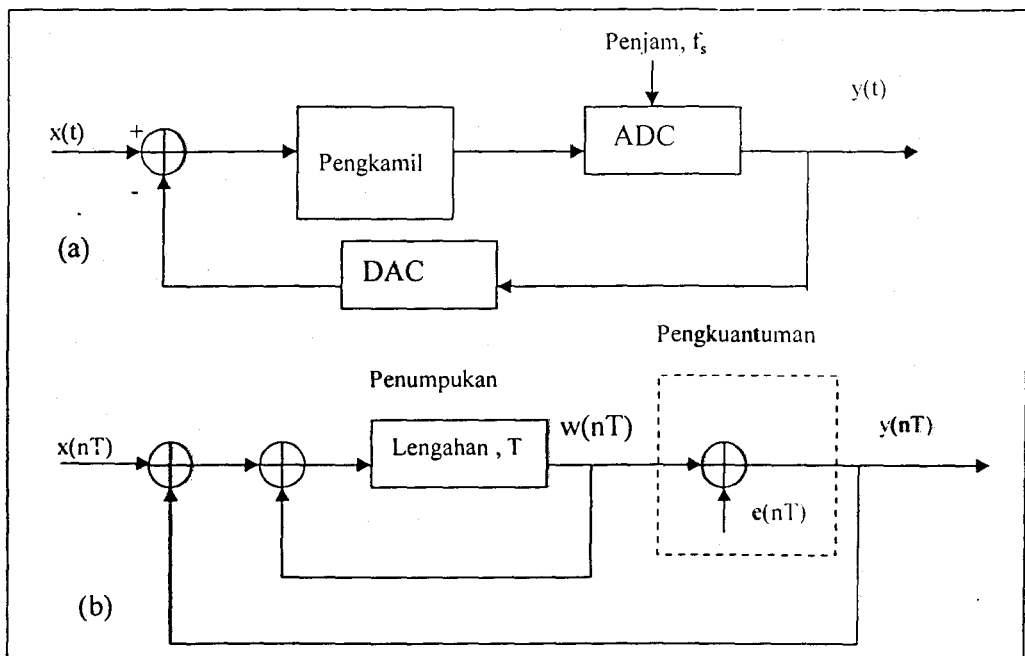
Operasi penapisan dalam sistem pemproses isyarat digit melibatkan petaan urutan masukan $x(n)$ kepada urutan keluaran $y(n)$ berpandukan pengiraan algoritma penapis. Oleh itu isyarat analog jalur terhad disampel dan ditukarkan kepada siri-siri sampel digit $x(n)$, untuk $n = 0, 1, 2, \dots$. Penukar digit ke analog (DAC) menukarkan keluaran terturas secara digit kepada nilai-nilai analog di mana kemudiannya ditapis untuk membuang komponen-komponen frekuensi yang tidak dikehendaki. Berbanding penapis analog, aplikasi penapis digit sangat luas di mana ianya digunakan dalam aplikasi pemampatan data, pemproses isyarat bio-perubatan, pemprosesan percakapan, pemprosesan imej, pemprosesan penghantaran data, audio digit dan pembatalan gema telefon (Emmanuel dan Barrie, 1993).

2.3 Penapis Digit FIR

Oleh kerana penapis digit FIR merupakan struktur tak berulang maka ianya sentiasa stabil. Di samping itu ia juga mempunyai sambutan fasa lurus tepat di mana tiada herotan fasa dihasilkan di dalam isyarat penapis. Kesan bilangan bit terhad untuk pelaksanaan penapis seperti pembulatan hingar dan ralat pengkuantuman pekali juga lebih kecil. Sifat-sifat ini sangat penting dalam kebanyakan aplikasi penapis digit (Emmanuel dan Barries, 1993). Kecekapan pelaksanaan penapis FIR boleh diperbaiki dengan membuat pengiraan FFT dan teknik kadar berbilang walaubagaimanapun penapis FIR biasanya digunakan bila bilangan pekali penapis tidak terlalu besar.

2.4 Pemodulat Delta-Sigma ($\Delta\Sigma$)

Pemodulat $\Delta\Sigma$ ialah pengkuantum sampel lebihan yang digunakan untuk menukar isyarat analog ke bentuk digit yang sangat efektif. Rajah 2.2 (a) menunjukkan pemodulat $\Delta\Sigma$ tertib pertama dan (b) menunjukkan pelelurusan masa diskrit yang setara. Masukan kepada rajah 2.2(a) dibawa kepada pengkuantum melalui pengkamil dan keluaran terkuantum disuapbalik dan ditolak daripada masukan. Suapbalik ini memaksa nilai purata isyarat terkuantum menjejaki nilai purata masukan. Perbezaan antara dua isyarat dikumpulkan di dalam pengkamil dan akhirnya isyarat tersebut diperbaiki. Rajah 2.3 memaparkan sambutan litar terhadap masukan sinus, ia menunjukkan bagaimana isyarat terkuantum $y(t)$ berayun antara dua paras yang merupakan had masukan. Purata nilai setempat bersamaan nilai purata masukan. Keluaran termodulat ini dikuantumkan kepada 1-bit yang mewakili satu denyut ketumpatan modulat(PDM) bagi isyarat masukan.

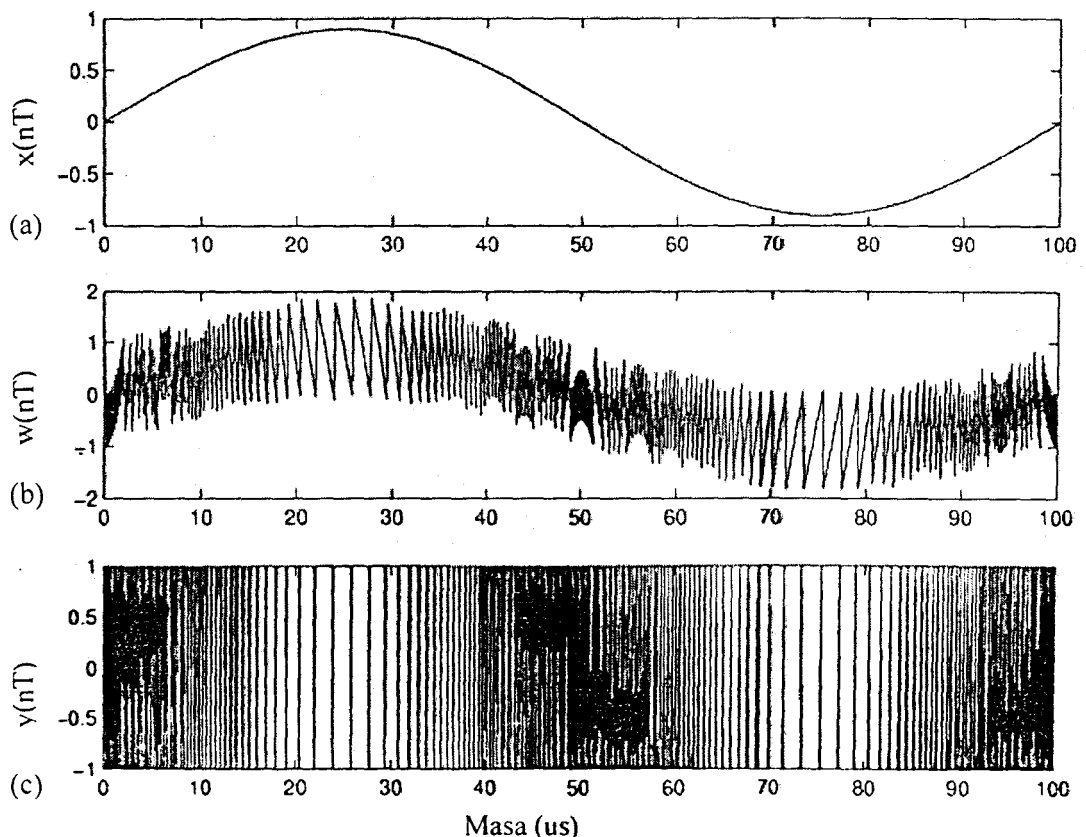


Rajah 2.2 (a) Gambarajah blok pemodulat $\Delta\Sigma$ tertib pertama (b) Litar setara pelelurusan masa diskrit bagi pemodulat $\Delta\Sigma$ tertib pertama

Masa butiran (granularity) pada keluaran dihasilkan oleh kadar sampel lebihan tertentu ditakrifkan sebagai separuh kadar persampelan dibahagi oleh lebar jalur isyarat.

$$\text{Kadar sampel lebihan} = \text{separuh kadar sampel}/\text{lebar jalur isyarat} \quad (2.4)$$

Sifat utama pemodulat $\Delta\Sigma$ ialah kebolehan membentuk pengkuantuman hingar dengan menggunakan persampelan lebihan. Ini boleh dianalisis menggunakan penglinearan pemodulat tertib pertama yang ditunjukkan dalam rajah 2.2(b), di mana pengkuantuman digantikan oleh sumber penambah hingar dan pengkamilan yang diwakili oleh pengumpul masa diskrit (Roger Meier, 1999).



Rajah 2.3 Sambutan domain masa pemodulat $\Delta\Sigma$ tertib pertama dengan pengkuantuman 1-bit dengan isyarat masukan sinus 10kHz(simulasi MATLAB $f_s= 10\text{MHz}$) (Roger Meier,1999). (a) Isyarat masukan sinus 10kHz. (b) Isyarat peleluran pemodulat tertib pertama. (c) Isyarat keluaran pemodulat tertib pertama dikuantumkan 1-bit.

Bagaimanapun model linear terdapat kecacatan bila kita pertimbangkan kestabilan atau keadaan sebenar pengkuantuman hingar keluaran bagi penumpuk dan isyarat terkuantum.

2.4.1 Pembentukan Hingar

Sifat Pemodulat $\Delta\Sigma$ yang paling ketara ialah kebolehnya membentuk hingar pengkuantuman melalui sampel lebihan. Model linear terdapat kekurangan bilamana melibatkan kestabilan dan pengkuantuman hingar sebenar. Keluaran penumpuk dan isyarat terkuantum diterangkan oleh persamaan pembezaan berikut:

$$w[n + 1] = w[n] + x[n] - y[n] \quad (2.5)$$

$$y[n] = w[n] + e[n] \quad (2.6)$$

$y[n]$: Isyarat keluaran penumpuk
 $w[n]$: Isyarat terkuantum
 $e[n]$: Isyarat hangar

di sini kitar masa frekuensi sampel bersamaan dengan 1. Dengan menukarkan kepada domain- z persamaan (2.5) dan (2.6) menjadi;

$$W(z) = [W(z) + X(z) - Y(z)] z^{-1} \quad (2.7)$$

$$Y(z) = W(z) + E(z) \quad (2.8)$$

Seterusnya dengan menghapuskan $W(z)$ dan menyelesaikan $Y(z)$, diperolehi;

$$Y(z) = X(z)z^{-1} + E(z)(1 - z^{-1}). \quad (2.9)$$

Berdasarkan keputusan di atas, pemodulat secara digitnya membezakan ralat pengkuantuman tanpa mengubah isyarat asal kecuali lengahan. Oleh itu, pemodulat boleh dikategorikan oleh dua fungsi pindahan iaitu: fungsi pindahan isyarat (STF) diberikan oleh nisbah Y/X (tanpa hingar) dan fungsi pindahan hingar (NTF) yang diberikan oleh Y/N (bila $X=0$).

2.4.2 Kuasa Hingar Keluaran

Kuasa hingar keluaran lebih bergantung kepada nisbah sampelan lebihan (OSR) daripada ralat pengkuantuman. Setiap gandaan nisbah sampelan lebihan mengurangkan paras hingar keluaran sebanyak 9 dB dan memberikan 1.5 bit resolusi tambahan. Jika tertib sistem ditambah dengan sel yang sama, kuasa hingar keluaran juga akan berkurang (Roger Meier, 1999).

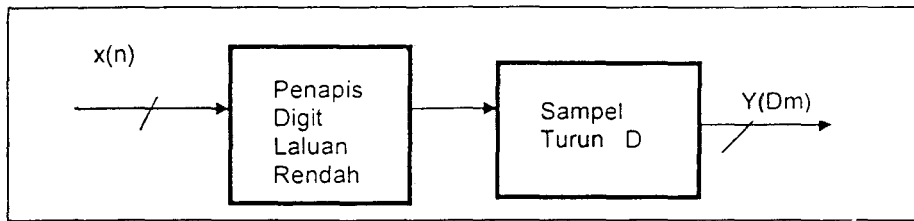
2.5 Penerima Sonar

Beberapa susunan litar berkemungkinan untuk memperbaiki ciri-ciri pembentukan hingar pemodulat. Pembentuk hingar pemodulat yang sering digunakan terbahagi kepada dua iaitu pemodulat berbilang tahap dan tahap tunggal. Untuk mendapatkan akitektur yang munasabah bagi kes-kes tertentu, banyak aspek perlu dipertimbangkan. Misalnya dalam aplikasi sistem penerima sonar monolitik menggunakan pemodulat tertib ke 5 yang menggunakan struktur IFLF5 (Inverse Follow the Leader Feedback) dengan pengkuantuman 1-bit di mana keluaran disuapbalik kepada setiap masukan pengkamil . Ciri-ciri ini telah diselakukan menggunakan Delsi (Roger Meier,1999) ; oleh itu diskripsi modelnya boleh digunakan semula untuk penyelakuan MATLAB seterusnya.

2.6 Penapis Digit Termusnah

Keluaran pemodulat merupakan isyarat masukan litar pemusnah termasuk komponen luar jalur, hingar pemodulatan, hingar litar dan interferens. Untuk mendapatkan isyarat yang sesuai untuk pemprosesan digit seterusnya, tenaga luar jalur isyarat akan dikecilkan oleh penapis digit. Selepas itu, ia akan disampelkan semula pada kadar Nyquist tanpa melibatkan kesan hingar yang disebabkan

kelainan. Rajah 2.4 menunjukkan gambarajah blok penapis pemusnah digit yang juga dikenali sebagai penapis persampelan turun.



Rajah 2.4 Penapis digit Sampel Turun

Isyarat $x(n)$ disuapkan ke dalam penapis digit laluan rendah yang menghampiri ciri-ciri unggul. Iaitu sambutan penapis, $H(e^{j\omega})$ dengan kadar persampelan turun (D) dinyatakan seperti persamaan (2.10) di bawah.

$$H(e^{j\omega}) = \begin{cases} 1, & |\omega| \leq 2\pi f_0 T/2 = \pi/D \\ 0, & \text{selainnya} \end{cases} \quad (2.10)$$

di sini f_0 merupakan kadar persampelan baru f/D . Pengurangan kadar persampelan terbentuk dalam turutan $y[m]$ dengan mengambil setiap D sampel bagi satu keluaran penapis. Jika sambutan dedenyut sebenar penapis ditandakan sebagai $h[n]$ maka keluaran penapis $w[n]$ boleh ditulis sebagai

$$w(n) = \sum_{k=-\infty}^{\infty} h[k] x[n-k] \quad (2.11)$$

dan keluaran akhir $y[m]$ dengan isyarat disampel turun Dm ialah

$$y[m] = w[Dm] \quad (2.12)$$

Bila digabungkan (2.11) dan (2.12), $y[m]$ menjadi

$$y[m] = \sum_{k=-\infty}^{\infty} h[k] x[mD-k] \quad (2.13)$$

Oleh kerana isyarat termodulat mempunyai komponen-komponen luar jalur maka penapis laluan rendah dengan bucu yang tajam diperlukan. Untuk membina penapis

dengan kadar persampelan yang tinggi seperti ini memerlukan kos binaan yang agak tinggi. Oleh itu perlaksanaannya mestilah dianalisis dengan teliti supaya penapis yang dibina sangat efektif dari segi kos dan keupayaannya.

Oleh kerana sangat penting dalam kegunaan pembentuk alur mengekalkan maklumat fasa isyarat-isyarat yang diterima, penapis termusnah mestilah menghasilkan kumpulan lengahan yang tetap untuk semua frekuensi. Dengan kata lain ianya mestilah mempunyai fasa lurus. Struktur penapis FIR yang tak berulang sentiasa stabil dan jika pekalinnya adalah simetri maka penapis tersebut mempunyai fasa lurus.

2.6.1 Ciri-ciri Penapis FIR Fasa Lurus

Secara umumnya penapis digit disifatkan sepenuhnya oleh persamaan pembezaan yang mana menerangkan hubungkait antara masukan dan keluaran. Penapis FIR sistem tak berulang tidak mempunyai suapbalik. Ia digambarkan hanya oleh sambutan dedenyut $h[n]$. Jadi, persamaan pembezaan bagi tertib-N penapis FIR diberi oleh:

$$y[n] = h[0] x[n] + h[1] x[n-1] + h[2] x[n-2] + \dots + h[N] x[n-N] \quad (2.14)$$

Dalam bentuk pelingkaratan terhad isyarat masukan $x[n]$ dan sambutan dedenyut $h[n]$, keluaran $y[n]$ adalah;

$$y[n] = \sum_{k=0}^N h[k] x[n-k] \quad (2.15)$$

Fungsi pindahan $H(z)$ boleh didapati dengan mengambil Jelmaan-z sambutan dedenyut $h[n]$.

$$H(z) = \sum_{n=0}^N h[n] z^{-n} \quad (2.16)$$

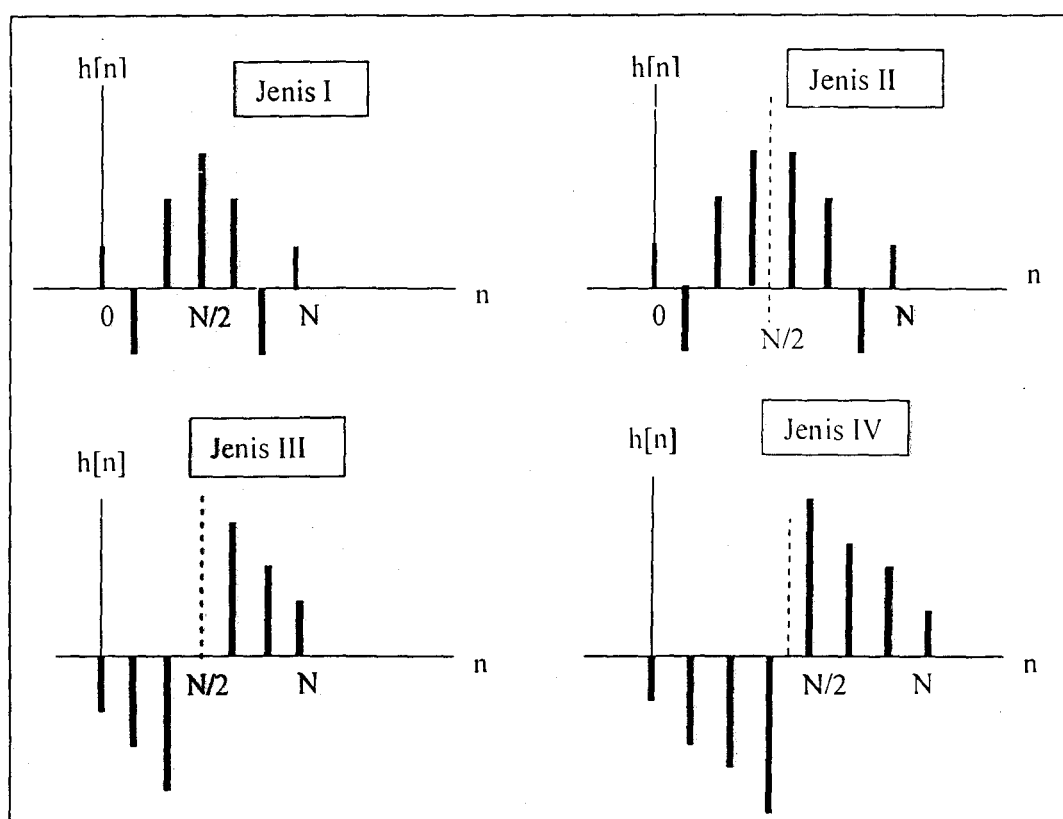
Untuk menghasilkan sambutan fasa lurus, sambutan dedenyut sela masa terhad mestilah berkonjugat genap atau konjugat ganjil dan simetri di sekitar titik-tengahnya. Maka fungsi sistem FIR adalah seperti pernyataan (2.17) di bawah.

$$h[n] = \pm h[N-n] = |h[n]| e^{j\phi} n \quad (2.17)$$

Jika N genap, pekali $h[N/2]$ adalah nyata, dan berkadaran kepada pusat simetri $h[n]$, jika N ganjil tiada pekali tengah. Bagi $h[n]$ nyata,

$$h[n] = \pm h[N-n] \quad (2.18)$$

Merujuk kepada Rajah 2.5 penapis jenis I dan II mempunyai simetri genap di sekitar titik-tengah, manakala jenis III dan IV mempunyai simetri ganjil. Jenis I dan III mempunyai tertib genap, manakala II dan IV mempunyai tertib ganjil.



Rajah 2.5 Jenis-jenis penapis digit FIR fasa lurus dengan tertib genap atau Ganjil

Dengan mengenakan masukan tetap $x[n] = 1$ kepada penapis ini, simetri ganjil memberikan keluaran sifar pada semua masukan DC.

$$y[n] = \sum_{k=0}^N h[k] = H[1] = 0 \quad (\text{bagi jenis III dan IV}) \quad (2.19)$$

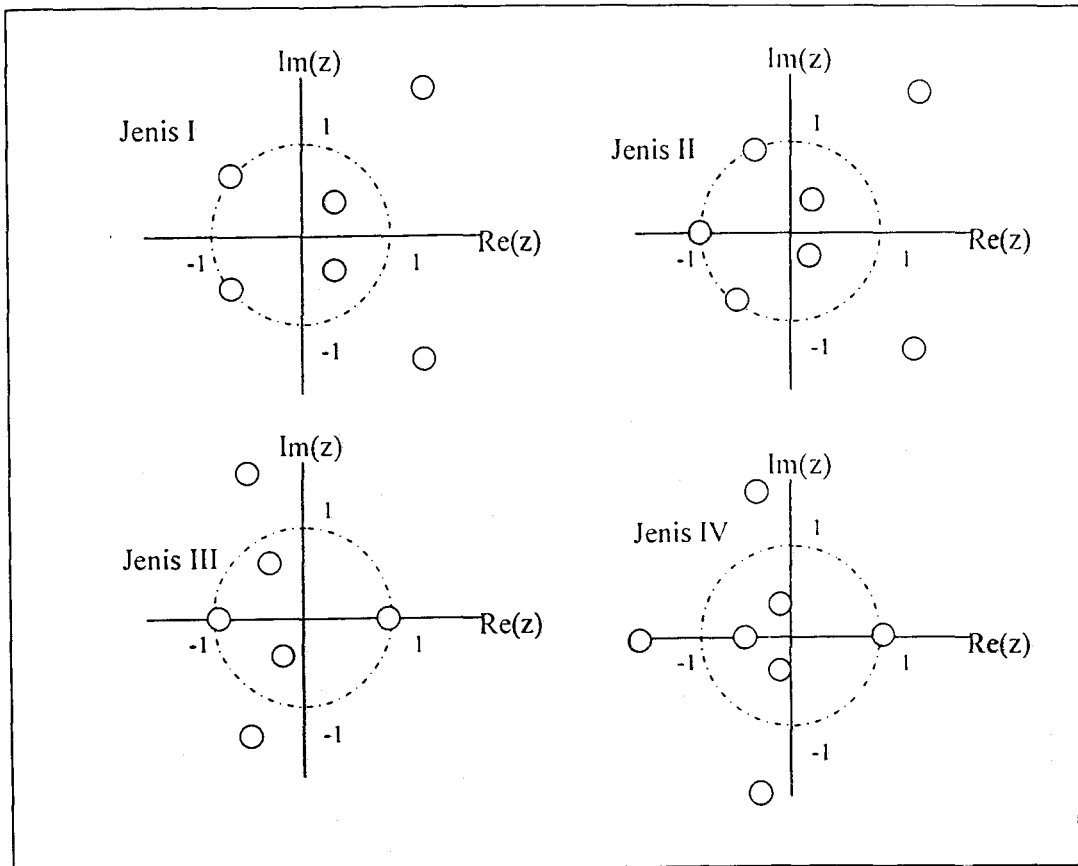
Oleh itu, $H(z)$ mestilah sifar pada $z=1$ bagi penapis III dan IV. Dengan lain perkataan, dengan memberikan turutan frekuensi Nyquist $x[n] = (-1)^n$ kepada penapis ini, jenis II dan III akan mempunyai keluaran sifar kerana

$$y[n] = \sum_{k=0}^N h[k](-1)^{n-k} = H(-1) = 0 \quad \text{bagi jenis II dan III} \quad (2.20)$$

dan $H(z)$ mempunyai sifar pada $z=-1$. Ini membuatkan keadaan sifar pada $z=\pm 1$ bagi nilai nyata penapis FIR fasa lurus yang ditunjukkan dalam Rajah 2.6. Oleh kerana kedudukan sifar diberi tak akan berlaku pada semua jenis penapis untuk mendapatkan sambutan magnitud secara rawak, maka hanya penapis jenis I boleh digunakan untuk membina penapis semua laluan. Penapis jenis II boleh digunakan untuk mensintesis penapis laluan rendah. Penapis jenis III dan IV mempunyai keluaran sifar bagi masukan DC, oleh itu mereka tidak boleh digunakan untuk melaksanakan fungsi laluan rendah. Penapis jenis III mempunyai keluaran sifar pada frekuensi Nyquist, oleh yang demikian ianya sesuai untuk membina penapis laluan jalur, manakala jenis IV boleh digunakan untuk mencapai penapis laluan tinggi.

Bagi penapis fasa lurus, fungsi pindahan sambutan penapis $H(z)$ mesti sifar pada bulatan unit atau dalam jejari salingan (reciprocal radii). Bagi $h[n]$ nyata, keluaran sifar mesti berlaku sebagai konjugat kompleks. Oleh itu $H(z)$ tidak berada pada orbit bulatan unit atau pada garis paksi nyata. Di sini,

$$z^N H(z) = \pm H^* (1/z^*) \quad (2.21)$$



Rajah 2.6 Kedudukan sifar untuk penapis jenis I, II, III, dan IV penapis fasa lurus.

Untuk menentusahkan sambutan fasa lurus penapis jenis I dalam Rajah 2.6 dibincangkan. Penapis jenis I mempunyai pekali nyata, simetri genap dan tertib penapis N yang genap. Persamaan (2.21) boleh ditulis semula sebagai

$$\begin{aligned}
 H(z) &= z^{-N/2} \left(\sum_{n=0}^N h[n] z^{-n+N/2} \right) \\
 &= z^{-N/2} \left(h[N/2] + \sum_{n=0}^{N/2-1} h[n] z^{-n+N/2} + h[N-n] z^{n-N/2} \right) \quad (2.22)
 \end{aligned}$$

Dengan menggantikan $z = e^{j\omega}$ dan masukkan $h[n] = h[N-n]$ maka sambutan frekuensi diberi oleh