

UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Pertama
Sidang Akademik 1996/97

Oktober/November 1996

EEE 369 - Rekabentuk Sistem VLSI

Masa : [2 jam]

ARAHAN KEPADA CALON :

Sila pastikan bahawa kertas peperiksaan ini mengandungi **DUA (2)** muka surat bercetak dan **LIMA (5)** soalan sebelum anda memulakan peperiksaan ini.

Jawab **EMPAT (4)** soalan.

Agihan markah bagi soalan diberikan di sut sebelah kanan soalan berkenaan.

Jawab semua soalan di dalam Bahasa Malaysia.

1. Rekabentuk satu litar darab dan menumpuk logik transistor lulus pemulihan buai (SRPL) berkuasa rendah dan laju tinggi, logik transistor lulus pemulihan buai (SRPL) bagi penggunaan-penggunaan berbilang media VLSI.
Design a swing restored pass-transistor logic (SRPL), high speed low power multiply and accumulate circuit for VLSI multimedia applications.
(25%)

2. Bina satu fail pendaftar BiCMOS tiga liang 32 kata x 32 bit.
Develop a 32-word x 32 bit three port BiCMOS register file.
(25%)

3. (a) Menggunakan gambarajah-gambarajah lidi, sediakan bentangan antara digit satu penyongsang CMOS CML.
Using stick diagrams prepare the interdigitated layout of a CMOS CML inverter.
(18%)

(b) Bincangkan kelebihan-kelebihan teknik bentangan antara digit.
Discuss the advantages of interdigitated layout technique.
(7%)

4. Rekabentuk satu pendarab siri/selari paip kembar menggunakan get-get logik TSPC.
Design a twin-pipe serial/parallel multiplier using TSPC logic gates.
(25%)

5. (a) Rekabentuk satu penambah/penolak 4-b menggunakan skim LEAP (Pengkamilan 'Lean' dengan transistor lulus).
Design a 4-b Adder/Subtractor using the LEAP (Lean Integration with Pass-transistor) scheme.
(18%)

(b) Bincangkan aspek-aspek bentangan dan prestasi litar skim LEAP.
Discuss qualitatively the layout and circuit performance aspects of the LEAP scheme.
(7%)