

UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Pertama
Sidang Akademik 1995/96

Oktober - November 1995

EEE 230 - Elektronik Digit II

Masa : [3 jam]

ARAHAN KEPADA CALON :

Sila pastikan bahawa kertas peperiksaan ini mengandungi 8 muka surat bercetak dan **ENAM** **(6)** soalan sebelum anda memulakan peperiksaan ini.

Jawab **LIMA (5)** soalan.

Agihan markah bagi soalan diberikan di sut sebelah kanan soalan berkenaan.

Jawab semua soalan di dalam Bahasa Malaysia.

...2/-

1. (a) Lakarkan pelaksanaan penambah penuh menggunakan get. Terangkan langkah laluan genting untuk bit pembawa dan anggap langkah perambatan adalah seunit bagi setiap get.

Draw the gate level implementation of a full adder. Explain the critical path delay for the carry bit and assume a unit propagation delay for each gate.

(30%)

- (b) Lakarkan rajah blok penambah sesiri 4 bit dengan menggunakan rajah blok penambah penuh. Jelaskan had kelajuan penambah ini dan lakar gelombang-gelombang bit pembawa dan $C_0, S_0, C_1, S_1, C_2, S_2$ dan C_3, S_3 merujuk kepada masa. Nyatakan semua anggapan yang telah anda buat. (S_i 's, C_i 's adalah bit jumlah dan bit pembawa).

Draw a block diagram of a 4 bit serial adder using a block diagram of a full adder. Explain the speed limitation of the adder and draw the waveforms of the carry bit and sum $C_0, S_0, C_1, S_1, C_2, S_2$ and C_3, S_3 with respect to time. State any assumption you had made. (S_i 's are sum bits and C_i 's are carry bits).

(30%)

...3/-

- (c) Untuk membina litar 'carry lookahead', kita perlukan fungsi penjana bawa G_i dan fungsi perambatan P_i . Sediakan jadual kebenaran penambah penuh dan dapatkan pernyataan G_i , P_i , S_i dan C_i . Gunakan persamaan tersebut untuk mendapatkan pernyataan S_1 , C_1 , C_2 , C_3 dan C_4 . Lakarkan litar-litar penjana bawa yang lengkap bersama-sama rajah blok penambah penuh.

To construct the carry lookahead circuitry, we need a carry generate function G_i and carry propagate function P_i . Construct the truth table for a full adder and obtain the expression for G_i , P_i , S_i and C_i . Use these equations to obtain the expressions for S_1 , C_1 , C_2 , C_3 and C_4 . Draw the complete 4 bit gate level carry generator circuit together with the full adder block diagram.

(40%)

2. Suatu litar berjujukan segerak mempunyai satu keluaran Z dan dua masukan X1 dan X2. Keluaran akan menunjukkan 1 bila jujukan kedua-dua X1 dan X2 terdiri daripada 0011 pada jujukan masa yang sama. Reka pelaksanaan litar menggunakan flip-flop JK dan get-get.

A synchronous sequential circuit has one output, Z and two inputs X1 and X2. The output will be at a 1 whenever the input sequence on X1 and X2 both consist of 0011 in the same time sequence. The output will become a 1 during the last bit period of the sequence. Design the circuit implementation using JK-flip-flops and gates.

(100%)

...4/-

3. (a) **Jelaskan dengan ringkas tiga jenis 'hazards' yang diberikan di bawah:**

Briefly, explain the three kinds of hazards as given below:

- (i) **'Hazards' statik**

Static hazards,

- (ii) **'hazards' lumba dinamik, dan**

dynamic race hazards, and

- (iii) **'hazards' lumba penting**

essential race hazards

(30%)

- (b) **Suatu mesin mengeluarkan sebungkus 'chewing gum' setelah menerima duit syiling 15 sen. Mesin tersebut mempunyai satu lubang yang boleh menerima syiling 10 dan 5 sen. Penderia mekanikal menunjukkan kepada pengawal sama ada syiling 10 dan 5 sen telah dimasukkan. Keluaran pengawal menyebabkan sebungkus 'chewing gum' dikeluarkan kepada pengguna. Reka pengawal logiknya. Anda mestilah reka mesin yang tidak mengembalikan wang lebihan. Sebagai contoh, bila pengguna memasukkan dua syiling 10 sen akan rugi sebanyak 5 sen. Anggap pengawal boleh direset ke keadaan permulaan.**

A vending machine delivers a package of a chewing gum after it has received 15 cents in coins. The machine has a single coin slot that accepts a ten and five cents coins. A mechanical sensor indicates to the controller whether a ten or five cents coin has been inserted in the coin slot. The controller's output causes a single package of gum to be released to the customer. Design the logic controller and you should design a machine that does not give change. For example, a customer inserts two ten cents coins will lose five cents. Assume the controller can be reset to the initial state.

(70%)

...5/-

4. (a) Terangkan dengan menggunakan rajah, struktur am peranti PAL ('programmable array logic').

Describe using a diagram the general structure of a PAL (programmable array logic) device.

(30%)

- (b) Merujuk kepada Rajah S4(a), (b) dan (c), terangkan jujukan-jujukan isyarat baca dan tulis.

Referring to Figure S4(a), (b) and (c), explain the read and write signal sequences.

(30%)

- (c) Lakarkan rajah keadaan untuk logik masa itu. Jelaskan semua tatatanda yang digunakan.

Draw the state diagram for the timing logic. Explain all the notations used.

(40%)

5. (a) Gunakan contoh-contoh terangkan yang berikut.

Describe the following using examples.

- (i) *Stuck - at fault,*
- (ii) *stuck - on fault,*
- (iii) *stuck - open and /dan*
- (iv) *bridging .*

(30%)

(b) Gunakan get-get logik tunjukkan bagaimana 'path sensitization' untuk 'faults s-a-o' dan s-a-1 boleh dikesan.

Using logic gates show how path sensitization for faults s-a-o and s-a-1 can be detected.

(40%)

(c) Diberikan suatu litar logik di Rajah S5.0, terangkan pola ujian untuk 'sensitization' laluan tunggal dan berbilang.

Given a logic circuit in Figure S5.0, describe the test that patterns for single and multiple path sensitization.

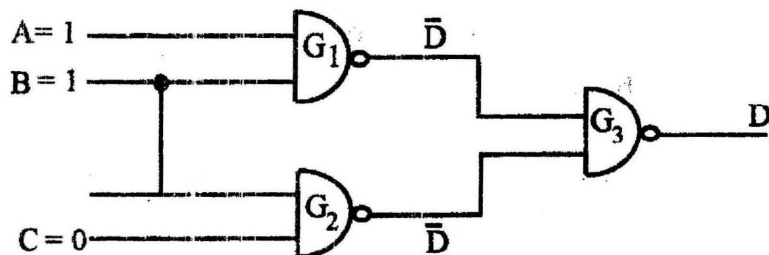


Figure S5.0

(30%)

...8/-

6. (a) Lakar dan terangkan pelaksanaan aras transistor CMOS fungsi berikut:

Draw and explain the CMOS transistor level implementation of the following function:

$$F = A \cdot \overline{B} + \overline{B} \cdot \overline{C}$$

(30%)

- (b) Menggunakan yang di atas, kita boleh melaksanakan pemultipleks dua ke satu.

Using the above, we can implement the two-to-one multiplexer.

$$F = A.\overline{\text{select}} + B.\text{select}$$

Lakarkan rajah pelaksanaan aras transistor termasuk litar 'inverter'.

Redraw the complete transistor level implementation to include the inverter circuit.

(20%)

- (c) Gunakan get pemancar (transmission gate) dan 'inverter' laksanakan flip-flop D. Terangkan bagaimana litar itu berfungsi.

Using transmission gates and inverters implement a D-flip-flop. Explain how the circuit works.

(50%)

ooooooo