

---

UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Kedua  
Sidang Akademik 2004/2005

Mac 2005

**EEE 230 – ELEKTRONIK DIGIT II**

Masa : 3 Jam

---

**ARAHAN KEPADA CALON:-**

Sila pastikan kertas peperiksaan ini mengandungi **DUA BELAS (12)** muka surat bercetak dan **ENAM (6)** soalan sebelum anda memulakan peperiksaan ini.

Jawab **LIMA (5)** soalan.

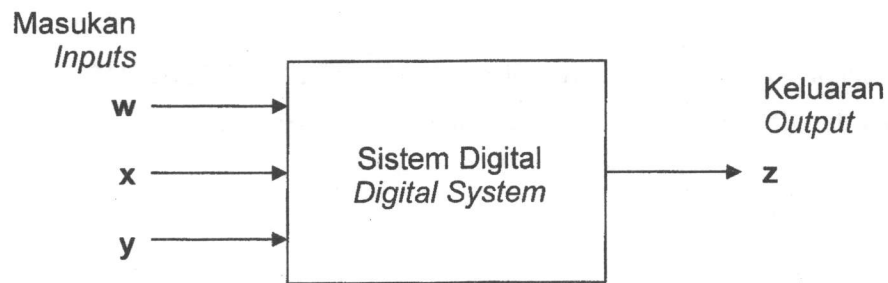
Agihan markah diberikan di sut sebelah kanan soalan berkenaan.

Semua soalan hendaklah dijawab di dalam Bahasa Malaysia.

- 1 (a) Rajah 1(a) menunjukkan satu sistem digital dengan 3 masukan  $w$ ,  $x$  dan  $y$  dan satu keluaran  $z$ . Sistem akan menghasilkan voltan tinggi pada keluaran  $z$  jika voltan tinggi diberikan kepada sekurang-kurangnya salah satu daripada masukan  $w$ ,  $x$  atau  $y$ . Jika sistem digital tersebut diwakili oleh logik negatif:

*Figure 1(a) shows a digital system with 3 inputs  $w$ ,  $x$  and  $y$  and one output  $z$ . The system will produce a high voltage at the output  $z$  if high voltage is applied to at least one of the inputs  $w$ ,  $x$  and  $y$ . If the system is represented by negative logic:*

- [i] Dapatkan jadual kebenaran bagi sistem digital tersebut.  
*Find the truth table for the digital system.*
  
- [ii] Lukiskan litar CMOS bagi sistem digital tersebut.  
*Draw the CMOS circuit for the digital system.*

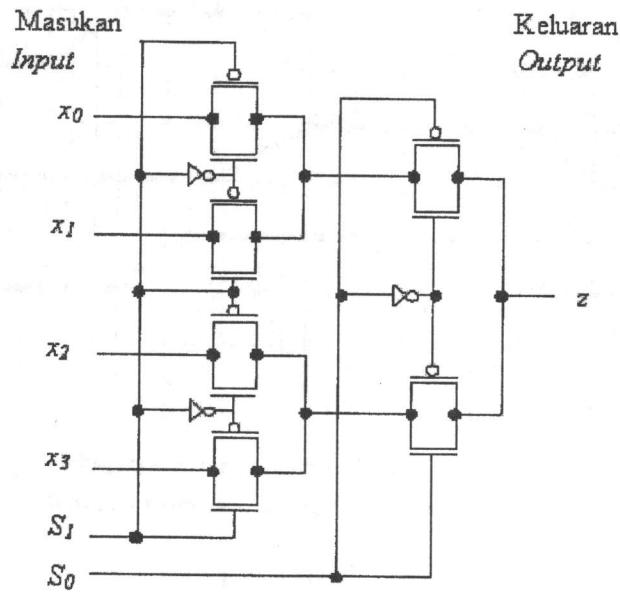


Rajah 1(a)  
Figure 1(a)

(35%)

- (b) Tunjukkan jadual kebenaran untuk rangkaian get transmisi yang ditunjukkan di dalam Rajah 1(b). Kemudian, berikan spesifikasi aras tinggi untuk rangkaian tersebut.

*Show a truth table for the transmission gate network as shown in Figure 1 (b). Then, give a complete high level specification.*



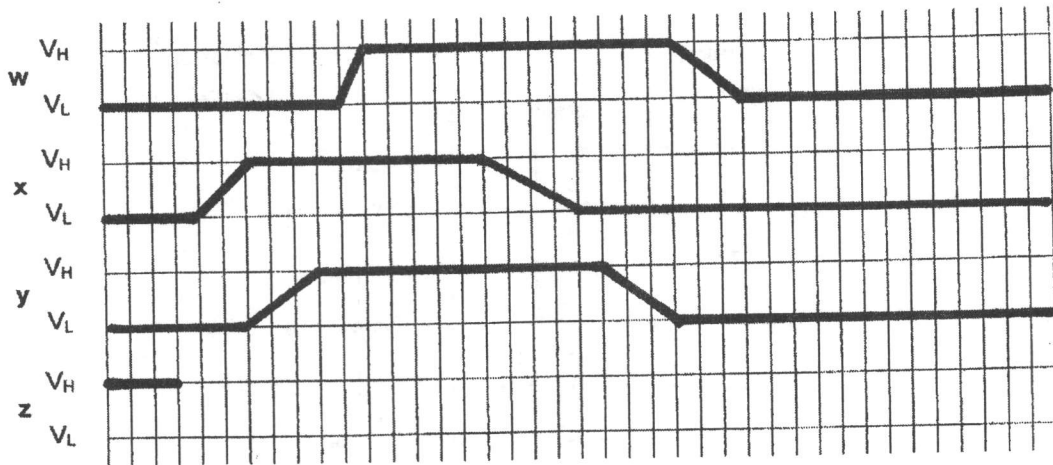
(30%)

- (c) [i] Berikan takrifan lengah perambatan.

*Give a definition of propagation delay.*

- [ii] Lukiskan signal keluaran  $z$  pada gambarajah fasa dalam Rajah 1(c) bagi satu get NOR dengan 3 masukan  $w$ ,  $x$  dan  $y$ . Untuk keluaran  $z$ , diberi  $t_r = 2.4$  ns,  $t_f = 4.0$  ns,  $t_{pLH} = 3.0$  ns dan  $t_{pHL} = 4.5$  ns.  $V_H$  mewakili digit 1 dan  $V_L$  mewakili digit 0. Ceraikan dan hantar bersama-sama buku.jawapan.

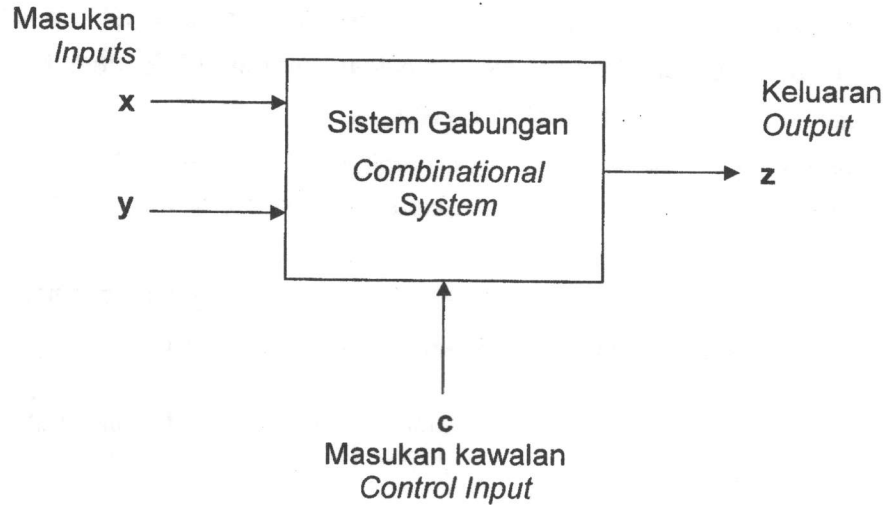
*Draw the output signal  $z$  on the timing diagram in Figure 1(c) for a NOR gate with 3 inputs  $w$ ,  $x$  and  $y$ . For output  $z$ , given that  $t_r = 2.4$  ns,  $t_f = 4.0$  ns,  $t_{pLH} = 3.0$  ns and  $t_{pHL} = 4.5$  ns.  $V_H$  represents digit 1 and  $V_L$  represents digit 0. Detach and submit it together with answer booklet.*



Jarak setiap baris menegak adalah 1 ns  
Vertical lines are 1 ns apart

Rajah 1(c)  
Figure 1(c)

(35%)



Rajah 2(a)  
Figure 2(a)

2. Rajah 2(a) menunjukkan gambarajah blok untuk satu sistem digital gabungan. Sistem gabungan tersebut mempunyai 3 masukan iaitu  $x$ ,  $y$  dan  $c$  dan satu keluaran  $z$ . Masukan  $c$  merupakan masukan kawalan. Masukan  $x$  dan  $y$  masing-masing adalah dari 0 hingga 3 dan masukan  $c$  adalah sama ada 0 atau 1. Fungsi sistem gabungan tersebut diperihalkan seperti berikut:

Figure 2(a) shows a block diagram for a combinational digital system. The combinational system has 3 inputs  $x$ ,  $y$  and  $c$ , and one output  $z$ . Input  $c$  is a control input. Input  $x$  and  $y$  are from 0 to 3 respectively and input  $c$  is either 0 or 1. The function of the combinational system is represented as follows:

Fungsi: Apabila  $c = 0$ ,

Function: When  $c = 0$ ,

$$z = \begin{cases} x & \text{jika } x \geq y \\ y & \text{lain-lain} \end{cases}$$

Apabila  $c = 1$ ,

When  $c = 1$ ,

$$z = \begin{cases} (x+1) \bmod 4 & \text{jika } x \geq y \\ 0 & \text{lain-lain} \end{cases}$$

Berdasarkan keterangan di atas, rekabentuk rangkaian get dua aras bagi sistem tersebut dengan menggunakan get-get AND dan OR sahaja berpandukan langkah-langkah berikut:

*Based on the above description, design a two level gate network for the system using only AND and OR gates based on the following steps:*

- [i] Dengan menggunakan teknik pengkodan yang bersesuaian, dapatkan spesifikasi binari bagi sistem gabungan tersebut.

*By using an appropriate coding technique, find the binary specification for the combinational system.*

- [ii] Dapatkan jadual kebenaran yang lengkap untuk sistem gabungan tersebut.

*Find the complete truth table for the combinational system.*

- [iii] Dengan menggunakan kaedah peta-K, dapatkan persamaan Boolean teringkas untuk sistem gabungan tersebut.

*By using K-map technique, find a simplified Boolean expression for the combinational system.*

- [iv] Bina litar get 2 aras bagi sistem gabungan tersebut berdasarkan persamaan Boolean yang diperolehi di dalam [iii].

*Draw 2 level gate circuit for the combinational system based on the Boolean expression obtained from [iii].*

- [v] Adakah rangkaian get yang diperolehi di dalam [iv] mempunyai limitasi atau kelemahan? Jika ada, huraikan dengan ringkas 3 limitasi atau kelemahan. Jika tiada, huraikan ulasan anda.

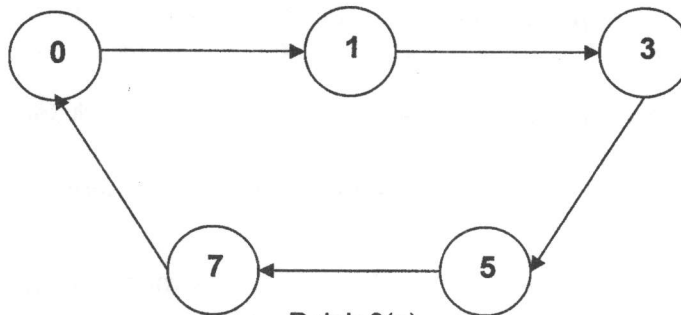
*Is the gate network obtained from [iv] has limitations or disadvantages? If any, briefly explain 3 limitations or disadvantages. If not, explain your reason.*

(100%)

...7/-

3. Satu sistem jujukan mempunyai satu masukan,  $x$ . Masukan  $x$  ini mempengaruhi fungsi sistem jujukan tersebut. Jika masukan,  $x = 1$ , sistem jujukan tersebut akan membilang turutan nombor seperti yang ditunjukkan di dalam Rajah 3(a).

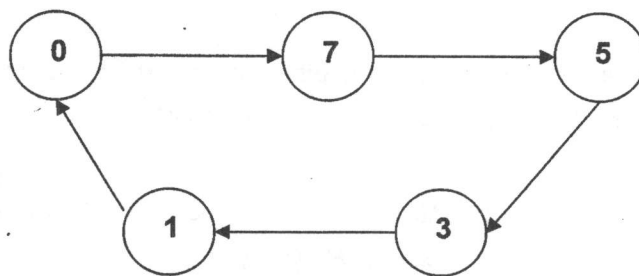
*A sequential system has one input,  $x$ . The input  $x$  determines the function of the sequential system. If the input,  $x = 1$ , the sequential system will count the number sequence as shown in Figure 3(a).*



Rajah 3(a)  
Figure 3(a)

Sebaliknya, jika masukan,  $x = 0$ , sistem jujukan tersebut akan membilang turutan nombor seperti yang ditunjukkan di dalam Rajah 3(b).

*But, if the input,  $x = 0$ , the sequential system will count the number sequence as shown in Figure 3(b).*



Rajah 3(b)  
Figure 3(b)

Dengan mengandaikan keadaan awalan adalah pada nombor 0, rekabentuk sistem jujukan tersebut menggunakan flip-flop S-R berpandukan langkah-langkah berikut:

*By assuming the initial state is at number 0, design the sequential system using S-R flip-flop based on the following steps:*

- [i] Lukiskan gambarajah keadaan untuk sistem jujukan tersebut.

*Draw a state diagram for the sequential system.*

- [ii] Dapatkan jadual kebenaran lengkap untuk sistem jujukan tersebut.

*Find the complete truth table for the sequential system.*

- [iii] Dapatkan persamaan teringkas setiap keluaran menggunakan peta-K.

*Find the simplified expression for each output using K-map.*

- [iv] Lukiskan litar get untuk setiap keluaran berdasarkan persamaan yang diperolehi di dalam [iii].

*Draw a gate circuit for each output based on the expression obtained in [iii].*

- [v] Apakah syarat yang perlu diberi perhatian di dalam merekabentuk sistem jujukan menggunakan flip-flop S-R?

*What is the condition that must be considered in designing a sequential system using S-R flip-flop?*

(100%)



4. (a) Dapatkan persamaan SOP teringkas bagi persamaan pensuisan berikut menggunakan kaedah Quine-McCluskey:

*Find the simplified SOP expression for the following switching expression using Quine-McCluskey method:*

$$z = abc'd + ab'c + bc'd + ab'c' + acd + a'bcd$$

(30%)

- (b) Satu sistem jujukan diwakili oleh jadual kebenaran berikut (Jadual 4(a)):

*A sequential system is represented by the following truth table (Table 4(a)):*

Jadual 4(a)

Table 4(a)

PS Keadaan semasa <i>Present state</i>	Masukan <i>Input</i>		
	w	x	y
A	I,1	C,1	D,0
B	C,1	I,0	I,1
C	A,1	H,1	B,0
D	B,1	F,0	B,1
E	H,1	I,0	G,1
F	A,1	A,1	B,0
G	G,1	I,1	I,0
H	G,1	C,1	J,0
I	G,1	I,1	G,0
J	E,1	G,0	B,1
	NS, z Keadaan selepas, Keluaran <i>Next state, Output</i>		

Dengan meminimumkan jadual kebenaran dalam Jadual 4(a), dapatkan hubungan di antara:

*By minimizing the truth table in Table 4(a), find the relationship between:*

[i] Keadaan B dan E

*State B and E*

[ii] Keadaan A dan J

*State A and J*

[iii] Keadaan G dan I

*State G and I*

(35%)

- (c) Menggunakan kombinasi modul-modul penambah penuh, rekabentuk penukarkod BCD kepada lebihan 3.

*Using a combination of full adder modules, design a BCD-to-excess 3 code converter.*

(35%)

5. (a) Rekabentuk 4 input penyahkod menggunakan:

*Design a 4 input decoder using:*

- [i] Modul rangkaian penyahkod. Tunjukkan sambungan untuk mendapatkan keluaran ke-0, ke-1, ke-12, ke-13.

*Coincident decoder network modules. Show the connection for output 0, 1, 12, and 13.*

- [ii] Pokok gabungan modul penyahkod.

*Tree decoder network modules.*

- [iii] Bandingkan kedua-dua implementasi berdasarkan bilangan modul penyahkod, get DAN, beban per setiap masukan rangkaian, beban per setiap keluaran penyahkod, dan bilangan masukan modul.

*Compare the two modules based on the number of decoder modules, AND gates, load per network input, load per decoder output, and the number of module inputs.*

(50%)

- (b) [i] Menggunakan gambarajah blok yang sesuai, terangkan implementasi 'Carry-lookahead Adder'.

*Using a suitable block diagram, explain the Carry-lookahead Adder Implementation.*

- [ii] Lukis litar get untuk 3 bit 'Carry-lookahead Generator'

*Draw the corresponding gate circuits for a 3 bit Carry-lookahead Generator.*

(50%)

...12/-

6. (a) Rekabentuk pembilang mod-n menggunakan D flip-flop dengan:

*Design a mod-n counter using a D flip-flop with:*

[i]  $n = 10$ , membilang menurun

$n = 10$ , counting downward

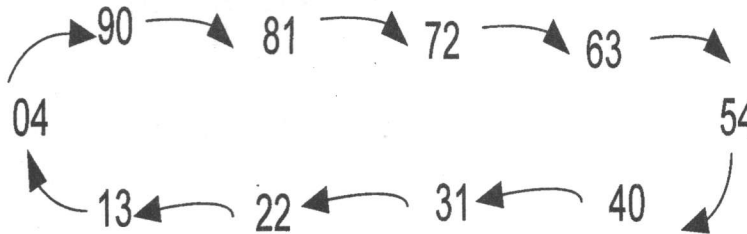
[ii]  $n = 5$ , membilang menaik

$n = 5$ , counting upward

(70%)

- (b) Menggunakan modul implementasi pembilang mod-n dalam 6(a), rekabentuk modul pembilang dengan turutan seperti yang ditunjukkan di dalam Rajah 6(b).

*By using the module implementation of mod-n counter design in 6(a), design a counter module with the sequences as shown in Figure 6(b).*



Rajah 6(b)  
Figure 6(b)

(30%)