

---

# UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Pertama

Sidang Akademik 2011/2012

Januari 2012

## **EEE 348 – PENGANTAR REKABENTUK LITAR BERSEPADU**

Masa : 3 Jam

---

Sila pastikan bahawa kertas peperiksaan ini mengandungi **EMPATBELAS** muka surat bercetak sebelum anda memulakan peperiksaan ini.

Kertas soalan ini mengandungi **ENAM** soalan.

Jawab **LIMA** soalan.

Mulakan jawapan anda untuk setiap soalan pada muka surat yang baru.

Agihan markah bagi setiap soalan diberikan di sudut sebelah kanan soalan berkenaan.

Jawab semua soalan dalam Bahasa Malaysia atau Bahasa Inggeris atau kombinasi kedua-duanya.

**[Sekiranya terdapat sebarang percanggahan pada soalan peperiksaan, versi Bahasa Inggeris hendaklah diguna pakai].**

*"In the event of any discrepancies, the English version shall be used".*

1. (a) Apakah itu undang-undang Moore?

*What is Moore's law?*

(5 markah/marks)

- (b) Terangkan litar bersepadu pertama bersama rajah skematik yang dicipta oleh Kilby dari American Texas Instrument Co. Ltd pada tahun 1959.

*Explain the first Integrated circuitry that invented by Kilby from America Texas Instrument Co. Ltd on 1959 with appropriate schematic circuitry.*

- (i) Tunjukkan bilangan transistor dwikutub dan perintang di dalam litar tersebut.

*Show the numbers of bipolar transistors and resistors in this circuitry.*

- (ii) Namakan substrat peranti tersebut.

*State the type of substrate used in this device.*

(20 markah/marks)

- (c) Apakah tujuan DRC dan LVS?

*What are purposes of DRC and LVS?*

(10 markah/marks)

- (d) Apakah perbezaan antara PAL, PLA dan PROM?

*What are the differences between PAL, PLA and PROM?*

(15 markah/marks)

- (e) Lukiskan keratan rentas dan terangkan operasi untuk transistor berikut:

*Draw the cross section and explain the operation of the following transistors:*

- (i) nMOS Transistor

*nMOS transistor*

- (ii) pMOS Transistor

*pMOS transistor*

(40 markah/marks)

- (f) 2-masukan XNOR adalah sebuah get berdasarkan fungsi Boolean berikut:

*2-input XNOR is a gate based on the following Boolean function:*

$$out = \overline{(ab + \bar{a}\bar{b})}$$

- (i) Lukis lakaran PLA bagi 2-masukan get XNOR.

*Sketch a PLA implementation of a 2-input XNOR gate.*

(10 markah/marks)

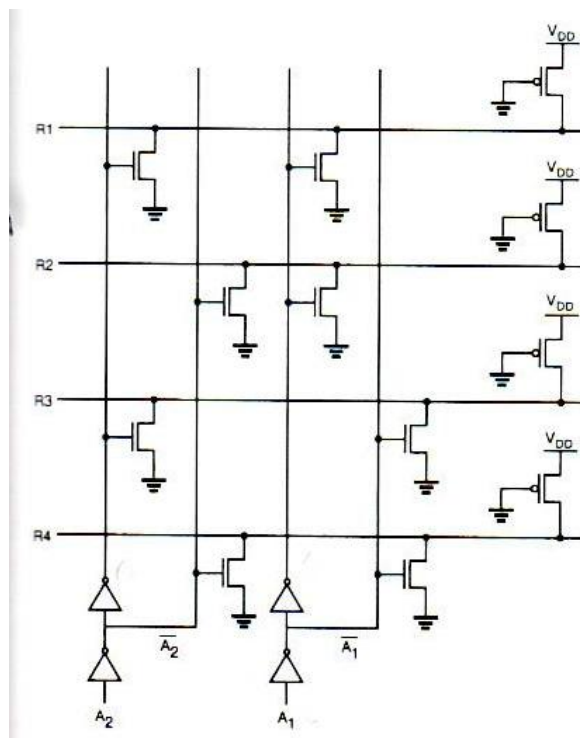
2. (a) Rekabentuk sebuah "2-bit column address decoder" yang dapat memilih satu diantara empat "Bit Line (BL)" bagi sebuah ROM.

*Design a 2-bit column address decoder that can select one over four Bit Line (BL) of a ROM.*

(20 markah/marks)

- (b) Diberi sebuah “row address decoder” untuk sebuah ROM dalam Rajah 1 seperti berikut. Apakah alamat (nilai bagi A2 dan A1) untuk memilih R3.

*Consider the following row address decoder for a ROM in Figure 1. What is the address (value of A2 and A1) to select R3.*

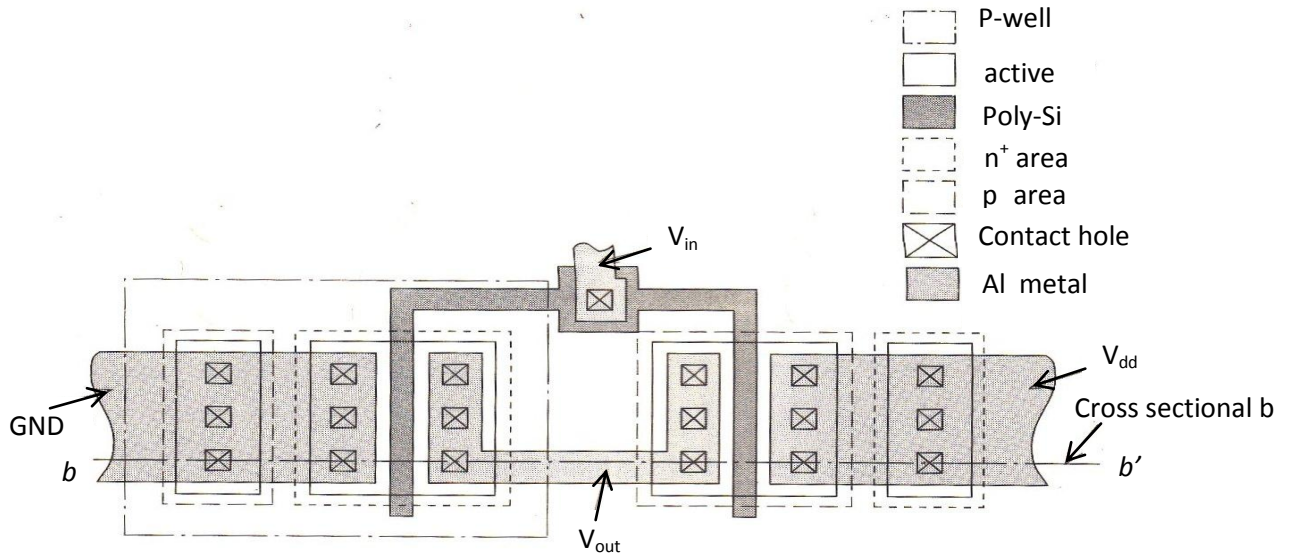


Rajah 1 “Row Address Decoder”  
*Figure 1 Row Address Decoder*

(20 markah/marks)

- (c) Rajah 2 menunjukkan pandangan atas untuk bentangan topeng bagi CMOS transistor.

Figure 2 shows the top view of mask layout for CMOS transistor.



Rajah 2  
Figure 2

- (i) Lukiskan keratan rentas dari pandangan  $b-b'$  untuk peranti tersebut.  
*Draw the cross sectional  $b-b'$  view for this device.*

(10 markah/marks)

- (ii) Lukiskan 7 bentangan topeng bagi proses fabrikasi peranti tersebut dan namakan proses bagi setiap lapisan.

*Draw 7 mask layouts for this device fabrication and state name of the process for each layer.*

(50 markah/marks)

3. (a) Rekabentuk sebuah litar logik berdasarkan fungsi Boolean berikut dengan menggunakan teknologi CMOS.

*Design a logic circuit based on the following Boolean function with CMOS technology.*

$$out = \overline{a + b(c + d)}$$

- (i) Lukis lakaran litar skema transistor untuk fungsi Boolean di atas.  
*Sketch a transistor level schematic for the above Boolean function.*

(15 markah/marks)

- (ii) Cari susunan get yang optimum berdasarkan pendekatan laluan Euler.  
*Find the optimum gate ordering based on the Euler path approach.*

(10 markah/marks)

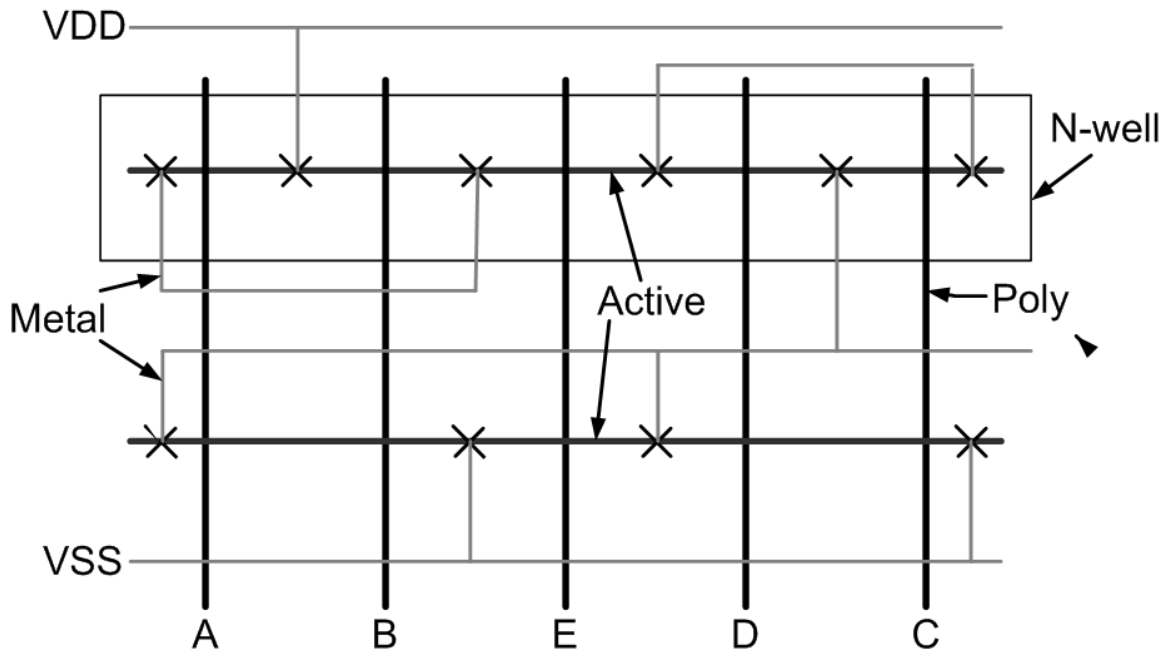
- (iii) Lukis lakaran gambarajah lidi untuk lakaran litar skema transistor yang telah diperolehi.

*Sketch a stick diagram based on the obtained transistor level schematic.*

(35 markah/marks)

- (b) Diberi sebuah gambarajah lidi seperti berikut dalam Rajah 3. Ianya adalah susun atur sebuah litar logik yang direkabentuk berdasarkan teknologi CMOS.

*Consider the following stick diagram in Figure 3. It is a layout of a logic circuit that has been designed with CMOS technology.*



Rajah 3 Gambarajah lidi untuk sebuah litar logik  
*Figure 3 Stick diagram for a logic circuit*

- (i) Lukis lakaran litar skema transistor untuk gambarajah lidi di atas.  
*Sketch a transistor level schematic for the above stick diagram.*

(30 markah/marks)

- (ii) Tentukan fungsi boolean untuk gambarajah lidi di atas.  
*Determine the boolean function of the above stick diagram.*

(10 markah/marks)

...8/-

4. (a) (i) Apakah kelebihan kaedah “gate array” berbanding dengan “standard cell-based”?

*What is the advantage of gate array approach as compared with standard cell based approach?*

(4 markah/marks)

- (ii) Nyatakan tiga kelebihan HDL berbanding dengan kaedah rekabentuk tradisional yang menggunakan skematik.

*State three advantages of HDL compared to traditional schematic-based design.*

(6 markah/marks)

- (b) Diberi sebuah modul Verilog seperti berikut.

*Consider the following Verilog module.*

```
module gateA(z, x, y);  
output z;  
input [2:0] x, y;  
assign z = (x == y) ? 1 : 0;  
endmodule
```



- (i) Apakah fungsi bagi gate A?

*What is the function of gate A?*

(5 markah/marks)

- (ii) Tulis semula kod Verilog untuk gate A dengan menggunakan pernyataan get. Kekalkan terminal masukan dan keluaran.

*Rewrite the Verilog code for gate A using gate-level statement. Maintain the input and output ports.*

(30 markah/marks)

- (iii) Tulis semula kod Verilog untuk gate A dengan menggunakan pernyataan kelakuan. Kekalkan terminal masukan dan keluaran.

*Rewrite the Verilog code for gate A using behavioral statement. Maintain the input and output ports.*

(25 markah/marks)

- (iv) Diberi kod Verilog seperti berikut. Ianya adalah modul stimulus bagi gate A . Lukis gambarajah masa bagi keputusan simulasi untuk isyarat m, n, dan q.

*Consider the following Verilog Code. It is the stimulus module for gate A. Draw the timing diagram for the simulation results of signals m, n, and q.*

```
module topA;  
  reg [2:0] m, n;  
  wire q;  
  gateA mygate1(q, m, n);  
  initial begin  
    #10 n <= 3'd5;  
  end  
  initial begin  
    n = 3'd3; #5 n = 3'b111; #5 m = 3'b101;  
  end  
  initial  
    m = 3'd3;  
  initial begin  
    m <= 3'b010;  
    #15 $stop;  
  end  
endmodule
```

(30 markah/marks)

5. (a) Berikut adalah spesifikasi untuk sebuah pembilang dwifungsi. Pembilang ini adalah “positive edge triggered”:-

*The specification of a dual function counter is as follows. The counter is “positive edge triggered”:-*

s	Counting sequence
0X	Reset to 0
10	0 -> 2 -> 4 -> 6 -> 0
11	1 -> 3 -> 5 -> 7 -> 1

- (i) Tulis kod Verilog untuk pembilang dwifungsi berdasarkan pernyataan kelakuan.

*Write the Verilog code for the dual function counter based on behavioral statement.*

(35 markah/marks)

- (ii) Tulis kod Verilog untuk menguji kesemua kombinasi **s** bagi pembilang dwifungsi.

*Write the Verilog code to test all possible combinations of **s** for the dual function counter.*

(15 markah/marks)

- (b) Diberi sebuah modul Verilog seperti berikut.

*Consider the following Verilog module.*

```
module gateB(z, x, clk, set);  
output [7:0] z;  
reg [7:0] z;  
input x, clk, set;  
always @(posedge clk)  
begin  
if (!set) z <= x;  
else z <= z << 1;  
end  
endmodule
```

- (i) Apakah fungsi bagi gate B?  
*What is the function of gate B?*

(10 markah/marks)

- (ii) Diberi kod Verilog seperti berikut. Ianya adalah modul stimulus bagi gate B . Lukis gambarajah masa bagi keputusan simulasi untuk isyarat q, m, clk, dan s.

*Consider the following Verilog Code. It is the stimulus module for gate B. Draw the timing diagram for the simulation results of signals q, m, clk and s.*

```
module topB;  
reg m, clk, s;  
wire [7:0] q;  
gateB mygate(q, m, clk, s);  
always #5 clk = ~clk;  
initial begin  
clk = 1'b0; s <= 1'd0; s = 1'd1;  
m <= 1'd1; m = 1'd0;  
#50 s = 1'd1; m <= 1'd1; m = 1'd0;  
#100 $stop;  
end  
endmodule
```

(40 markah/marks)

6. (a) Diberi kod verilog seperti berikut. Tentukan nilai yang terakhir bagi W, X, Y dan Z.

*Consider the following Verilog code. Determine the final values of W, X, Y and Z.*

```
module question6_a;  
reg [1:0] input1, input2, input3, input4;  
reg [3:0] A, B, C, D;  
reg [3:0] W, X, Y, Z;  
  
initial  
fork  
input1 = 2'b10; input2 = 2'b0x; input3 = 2'b11; input4 = 2'b00;  
#5 A = { 2{input1} };  
  
#5 B = { 2{input2} };  
  
#5 C = {input1, input2};  
  
#5 D = {input3, input4};  
  
#5 W = {(B==B), (B===B), (A<B), (A<D)};  
  
#10 Y = ~(D^B);  
  
  
#10 X = {(A&&B), (A||B), (B!=B), (B!==(B))};  
#5 Z = D << 2;  
  
join  
  
initial  
  
begin  
  
#10 W = {(B==B), (B===B), (A>B), (A>D)};  
  
#5 Y = ~(D&B);  
  
#5 X = A ^~ C;  
  
#5 Z = D >> 2;  
  
end  
  
endmodule
```

(40 markah/marks)

...14/-

- (b) (i) Tulis kod Verilog untuk sebuah “1-bit full adder” berdasarkan pernyataan kelakuan.

*Write the Verilog code for a “1-bit full adder” based on behavioral statement.*

(10 markah/marks)

- (ii) Tulis kod Verilog untuk sebuah “1-bit full adder” berdasarkan pernyataan pengaliran data.

*Write the Verilog code for a “1-bit full adder” based on data-flow statement.*

(10 markah/marks)

- (iii) Tulis kod Verilog untuk sebuah “4-bit full adder” dengan menggunakan “1-bit full adder” di soalan (i).

*Write the Verilog code for a “4-bit full adder” that instantiate the “1-bit full adder” in question (i).*

(15 markah/marks)

- (iv) Tulis kod Verilog untuk sebuah “16-bit full adder” dengan menggunakan “4-bit full adder” di soalan (iii).

*Write the Verilog code for a “16-bit full adder” that instantiate the “4-bit full adder” in question (iii)”.*

(15 markah/marks)

- (v) Tulis kod Verilog untuk menguji beberapa kombinasi masukan bagi “16-bit full adder”.

*Write the Verilog code to test a few possible combinations of inputs for the “16-bit full adder”.*