

UNIVERSITI SAINS MALAYSIA
Peperiksaan Semester Pertama
Sidang 1988/89

EEE 206 Litar Elektronik I

Tarikh: 31 Oktober 1988

Masa: 2.15 petang - 5.15 petang
(3 jam)

ARAHAN KEPADA CALON:

Sila pastikan bahawa kertas peperiksaan ini mengandungi 5 muka surat berserta Lampiran (4 muka surat) bercetak dan TUJUH (7) soalan sebelum anda memulakan peperiksaan ini.

Jawab LIMA (5) soalan.

Agihan markah bagi setiap soalan diberikan di sut sebelah kanan sebagai peratusan daripada markah keseluruhan yang diperuntukkan bagi soalan berkenaan.

Jawab kesemua soalan di dalam Bahasa Malaysia.

...2/-

1. (a) Apakah ciri-ciri khas TTL Schottky?
(10%)
 - (b) Apakah kegunaan get pengumpul terbuka?
(30%)
 - (c) Diperlukan untuk memacu sepuluh 74LS193 pada masukan jam bilangan-naik menggunakan satu 74H05. Rekabentuk litar antaramuka tersebut dan sahkan kendaliannya dalam keadaan logik rendah dan tinggi.
(60%)
-
2. (a) Bandingkan keluarga-keluarga logik TTL dan CMOS.
(25%)
 - (b) Apakah faktor yang menghadkan bagi kipas keluar get CMOS?
(Anggapkan bahawa get-get yang dipacukan tersebut terdiri daripada get-get CMOS juga).
(25%)
 - (c) Diperlukan memacu suatu get CMOS menggunakan get TTL. Get CMOS mengguna pembekal kuasa 12V. Get-get yang ada ialah 7400, 7404 dan 7405. Pilih salah satu get yang sesuai dan rekabentuk litar antaramuka. Sahkan kendaliannya dalam keadaan logik rendah dan tinggi.
(50%)

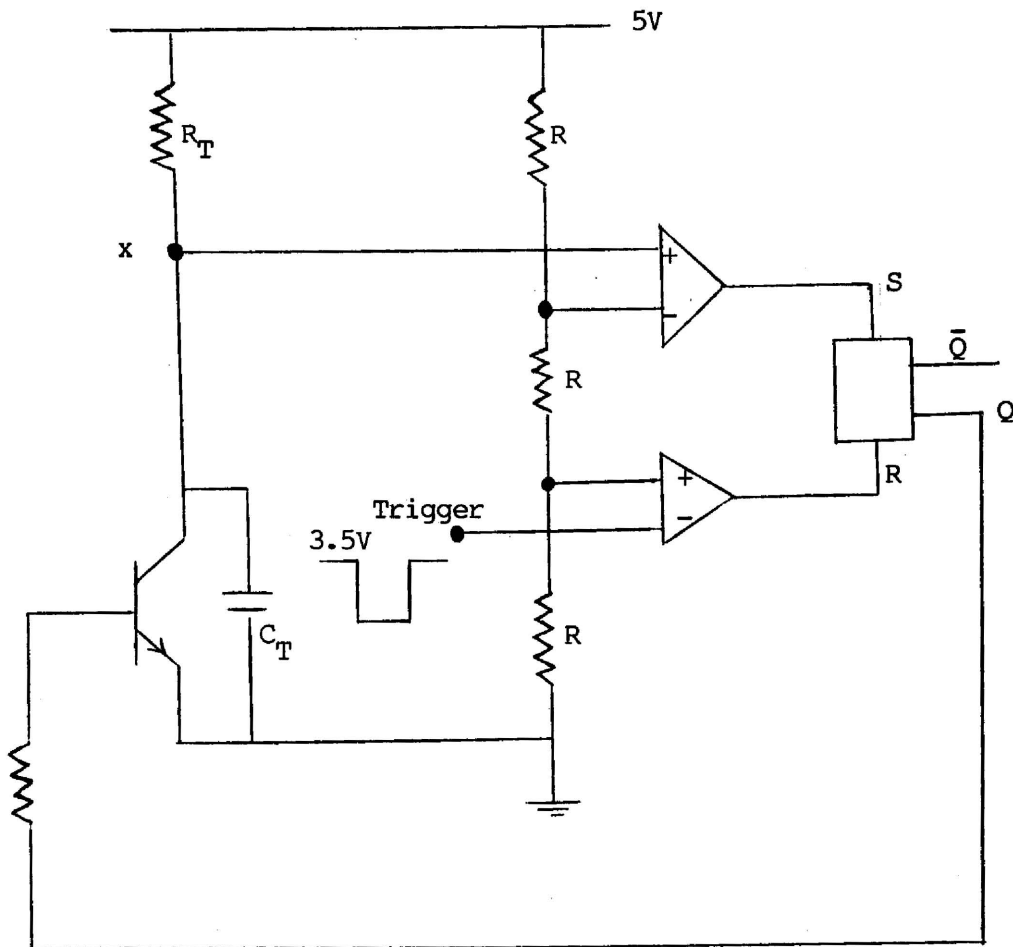
...3/-

3. (a) Dengan bantuan gambarajah bentuk gelombang, bezakan tindakan antara monostabil boleh picu semula dan tak boleh picu semula.

(20%)

- (b) Pemicu Rajah (1) adalah pada 3.5V dan ambangnya pada 2V. Tentukan keadaan mantap litar tersebut. Lakarkan bentuk gelombang-bentuk gelombang litar tersebut pada x , pemicu, Q dan \bar{Q} setelah pemicu menjadi rendah bagi masa yang pendek. Apakah yang berlaku jika pemicu tetap rendah.

(80%)



RAJAH 1

...4/-

4. (a) Rekabentukkan suatu pengayun untuk menghasilkan suatu gelombang segiempat 50 kHz menggunakan dua 74121.

(50%)

- (b) Apakah lantunan suis? Apakah masalah-masalah yang dilakukannya? Bagaimana masalah lantunan suis boleh dihapuskan?

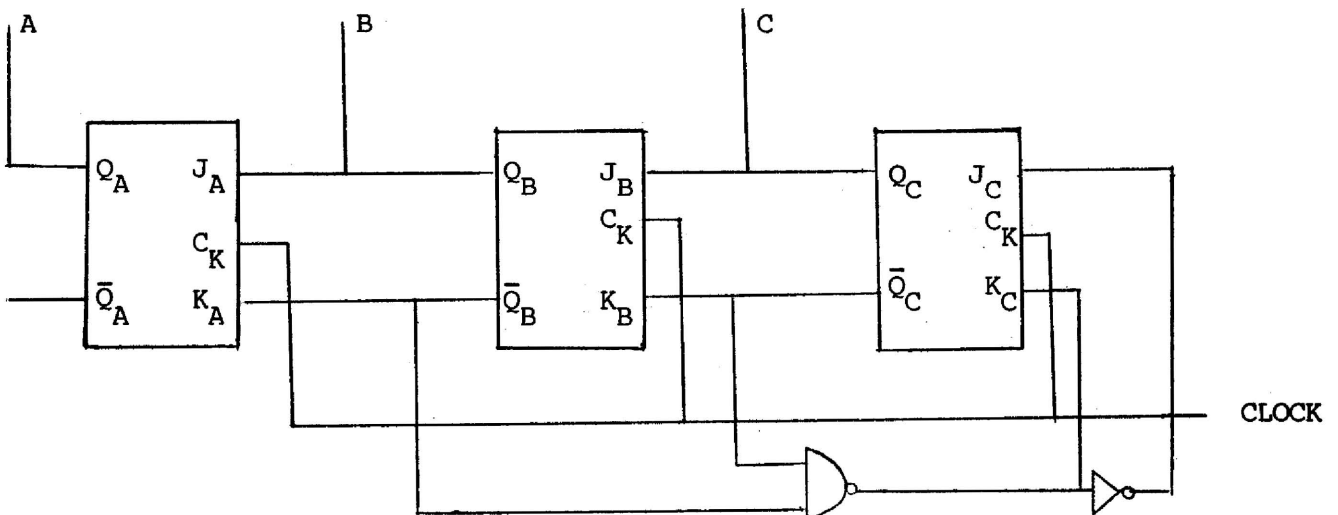
(50%)

5. (a) Bezakan antara litar-litar logik bergabungan dan berjujukan.

(30%)

- (b) Analisiskan litar di dalam Rajah (2) dan lakarkan gambarajah keadaan lengkap. Berikan penyelesaian mengenai sebarang ciri-ciri khas litar tersebut.

(70%)



RAJAH 2

...5/-

6. (a) Apakah peraturan-peraturan untuk tugas keadaan litar logik jujukan segerak?

(35%)

- (b) Dikehendaki untuk merekabentuk suatu sistem segerak yang mensampelkan talian masukan. Sistem tersebut dikehendaki memberikan penunjukan setiap kali suatu tiga bit jujukan 110 dikesan di dalam aliran data yang selanjur. Lakarkan gambarajah keadaan ketat dan buat tugas keadaan dengan memerhatikan 3 peraturan yang pertama dari tugas keadaan. Lukiskan litar rajah untuk sistem tersebut.

(65%)

7. (a) Apakah perbezaan antara litar logik jujukan segerak dan tak segerak?

(25%)

- (b) Rekabentukkan madulo ralat diri 5 pembilang cincin dengan menggunakan flip-flop J-K.

(75%)

(i)

54/74193 54LS/74LS193

UP/DOWN BINARY COUNTER

(With Separate Up/down Clocks)

DESCRIPTION — The '193 is an up/down modulo-16 binary counter. Separate Count Up and Count Down Clocks are used and in either counting mode the circuits operate synchronously. The outputs change state synchronous with the LOW-to-HIGH transitions on the clock inputs. Separate Terminal Count Up and Terminal Count Down outputs are provided which are used as the clocks for subsequent stages without extra logic, thus simplifying multistage counter designs. Individual preset inputs allow the circuits to be used as programmable counters. Both the Parallel Load (\overline{PL}) and the Master Reset (\overline{MR}) inputs asynchronously override the clocks. For functional description and detail specifications please refer to the '192 data sheet.

ORDERING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		$V_{CC} = +5.0 V \pm 5\%$, $T_A = 0^\circ C$ to $+70^\circ C$	$V_{CC} = +5.0 V \pm 10\%$, $T_A = -55^\circ C$ to $+125^\circ C$	
Plastic DIP (P)	A	74193PC, 74LS193PC		9B
Ceramic DIP (D)	A	74193DC, 74LS193DC	54193DM, 54LS193DM	6B
Flatpak (F)	A	74193FC, 74LS193FC	54193FM, 54LS193FM	4L

CONNECTION DIAGRAM
PINOUT A

LOGIC SYMBOL

$V_{CC} = \text{Pin } 16$
 $GND = \text{Pin } 8$

INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

PIN NAMES	DESCRIPTION	54/74 (U.L.) HIGH/LOW	54/74LS (U.L.) HIGH/LOW
CPU	Count Up Clock Input (Active Rising Edge)	1.0/1.0	0.5/0.25
CPD	Count Down Clock Input (Active Rising Edge)	1.0/1.0	0.5/0.25
MR	Asynchronous Master Reset Input (Active HIGH)	1.0/1.0	0.5/0.25
\overline{PL}	Asynchronous Parallel Load Input (Active LOW)	1.0/1.0	0.5/0.25
P0 — P3	Parallel Data Inputs	1.0/1.0	0.5/0.25
Q0 — Q3	Flip-flop Outputs	20/10	10/5.0 (2.5)
\overline{TC}_D	Terminal Count Down (Borrow) Output (Active LOW)	20/10	10/5.0 (2.5)
\overline{TC}_U	Terminal Count Up (Carry) Output (Active LOW)	20/10	10/5.0 (2.5)

...7/-

(ii)

54/7405
54H/74H05
54S/74S05
54S/74S05A
54LS/74LS05
HEX INVERTER
 (With Open-Collector Output)

CONNECTION DIAGRAMS
PINOUT A

PINOUT B

ORDERING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		V _{CC} = +5.0 V ±5%, T _A = 0°C to +70°C	V _{CC} = +5.0 V, ±10%, T _A = -55°C to +125°C	
Plastic DIP (P)	A	7405PC, 74H05PC 74S05PC, 74S05APC 74LS05PC		9A
Ceramic DIP (D)	A	7405DC, 74H05DC 74S05DC, 74S05ADC 74LS05DC	5405DM, 54H05DM 54S05DM, 54S05ADM 54LS05DM	6A
Flatpak (F)	A	74S05FC, 74S05AFC 74LS05FC	54S05FM, 54S05AFM 54LS05FM	3I
	B	7405FC, 74H05FC	5405FM, 54H05FM	

INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

PINS	54/74 (U.L.) HIGH/LOW	54/74H (U.L.) HIGH/LOW	54/74S (U.L.) HIGH/LOW	54/74LS (U.L.) HIGH/LOW
Inputs	1.0/1.0	1.25/1.25	1.25/1.25	0.5/0.25
Outputs	OC**/10	OC**/12.5	OC**/12.5	OC**/5.0 (2.5)

DC AND AC CHARACTERISTICS: See Section 3*

SYMBOL	PARAMETER	54/74		54/74H		54/74S		54/74LS		UNITS	CONDITIONS	
		Min	Max	Min	Max	Min	Max	Min	Max		V _{IN} = Gnd.	V _{CC} = Max
I _{CC} H	Power Supply		12		26		19.8		2.4	mA	V _{IN} = Gnd.	V _{CC} = Max
I _{CC} L	Current		33		58		54		6.6		V _{IN} = Open	
t _{PLH}	Propagation Delay		55		18	2.0	7.5		22	ns	Fig. 3-2, 3-4	
t _{PHL}			15		15	2.0	7.0		18			
t _{PLH}	Propagation Delay (54S/74S05A only)					2.0	5.5			ns	Fig. 3-2, 3-4	
t _{PHL}						1.5	5.0					

*DC limits apply over operating temperature range. AC limits apply at T_A = +25°C and V_{CC} = +5.0 V.
 **OC—Collector

...8/-

(iii)

54/7400
54H/74H00
54S/74S00
54LS/74LS00
QUAD 2-INPUT NAND GATE

CONNECTION DIAGRAMS
PINOUT A

ORDERING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		V _{CC} = +5.0 V ±5%, T _A = 0°C to +70°C	V _{CC} = +5.0 V ±10%, T _A = -55°C to +125°C	
Plastic DIP (P)	A	7400PC, 74H00PC 74LS00PC, 74S00PC		9A
Ceramic DIP (D)	A	7400DC, 74H00DC 74LS00DC, 74S00DC	5400DM, 54H00DM 54LS00DM, 54S00DM	6A
Flatpak (F)	A	74LS00FC, 74S00FC	54LS00FM, 54S00FM	3I
	B	7400FC, 74H00FC	5400FM, 54H00FM	

PINOUT B

INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

PINS	54/74 (U.L.) HIGH/LOW	54/74H (U.L.) HIGH/LOW	54/74S (U.L.) HIGH/LOW	54/74LS (U.L.) HIGH/LOW
Inputs	1.0/1.0	1.25/1.25	1.25/1.25	0.5/0.25
Outputs	20/10	12.5/12.5	25/12.5	10/5.0 (2.5)

DC AND AC CHARACTERISTICS: See Section 3*

SYMBOL	PARAMETER	54/74		54/74H		54/74S		54/74LS		UNITS	CONDITIONS
		Min	Max	Min	Max	Min	Max	Min	Max		
I _{CC} H	Power Supply	8.0	16.8			16		1.6		mA	V _{IN} = Gnd
I _{CC} L	Current	22	40			36		4.4			V _{IN} = Open
t _{PLH}	Propagation Delay	22	10	2.0	4.5	10				ns	Figs. 3-1, 3-4
t _{PHL}		15	10	2.0	5.0	10					

*DC limits apply over operating temperature range; AC limits apply at T_A = +25°C and V_{CC} = +5.0 V.

...9/-

(iv)

54/7404 54H/74H04 54S/74S04 54S/74S04A 54LS/74LS04 HEX INVERTER

ORDERING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		V _{CC} = +5.0 V ±5%, T _A = 0°C to +70°C	V _{CC} = +5.0 V ±10%, T _A = -55°C to +125°C	
Plastic DIP (P)	A	7404PC, 74H04PC 74S04PC, 74S04APC 74LS04PC		9A
Ceramic DIP (D)	A	7404DC, 74H04DC 74S04DC, 74S04ADC 74LS04DC	5404DM, 54H04DM 54S04DM, 54S04ADM 54LS04DM	6A
Flatpak (F)	A	74S04FC, 74S04AFC 74LS04FC	54S04FM, 54S04AFM 54LS04FM	3I
	B	7404FC, 74H04FC	5404FM, 54H04FM	

INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

PINS	54/74 (U.L.)	54/74H (U.L.)	54/74S (U.L.)	54/74LS (U.L.)
	HIGH/LOW	HIGH/LOW	HIGH/LOW	HIGH/LOW
Inputs	1.0/1.0	1.25/1.25	1.25/1.25	0.5/0.25
Outputs	20/10	12.5/12.5	25/12.5	10/5.0 (2.5)

CONNECTION DIAGRAMS
PINOUT A

PINOUT B

DC AND AC CHARACTERISTICS: See Section 3*

SYMBOL	PARAMETER	54/74	54/74H	54/74S	54/74LS	UNITS	CONDITIONS
		Min Max	Min Max	Min Max	Min Max		
I _{CC} H	Power Supply	12	26	24	2.4	mA	V _{IN} = Gnd V _{CC} = Max
I _{CC} L	Current	33	58	54	6.6		
t _{PLH} t _{PHL}	Propagation Delay	22 15	10 10	2.0 2.0	4.5 5.0	10 10	ns Fig. 3-1, 3-4
t _{PLH} t _{PHL}	Propagation Delay (54/74S04A only)			1.0 1.0	3.5 4.0	ns	Fig. 3-1, 3-4

*DC limits apply over operating temperature range; AC limits apply at T_A = +25°C and V_{CC} = +5.0 V.