
UNIVERSITI SAINS MALAYSIA

First Semester Examination
Academic Session 2010/2011

November 2010

EBB 323/3 - Semiconductor Fabrication Technology *[Teknologi Fabrikasi Semikonduktor]*

Duration : 3 hours
[Masa : 3 jam]

Please ensure that this examination paper contains TEN printed pages before you begin the examination.

[Sila pastikan bahawa kertas peperiksaan ini mengandungi SEPULUH muka surat yang bercetak sebelum anda memulakan peperiksaan ini.]

This paper consists of SEVEN questions. ONE question in PART A, TWO questions in PART B, TWO questions in PART C and TWO questions in PART D.

[Kertas soalan ini mengandungi TUJUH soalan. SATU soalan di BAHAGIAN A, DUA soalan di BAHAGIAN B, DUA soalan di BAHAGIAN C dan DUA soalan di BAHAGIAN D.]

Instruction: Answer **FIVE** questions. Answer **ALL** questions from PART A, **ONE** question from PART B, PART C, PART D and **ONE** question from any sections. If candidate answers more than five questions only the first five questions answered in the answer script would be examined.

[Arahan: Jawab **LIMA** soalan. Jawab **SEMUA** soalan dari BAHAGIAN A, **SATU** soalan dari BAHAGIAN B, BAHAGIAN C, BAHAGIAN D dan **SATU** soalan dari mana-mana bahagian. Jika calon menjawab lebih daripada lima soalan hanya lima soalan pertama mengikut susunan dalam skrip jawapan akan diberi markah.]

The answers to all questions must start on a new page.

[Mulakan jawapan anda untuk semua soalan pada muka surat yang baru.]

You may answer a question either in Bahasa Malaysia or in English.

[Anda dibenarkan menjawab soalan sama ada dalam Bahasa Malaysia atau Bahasa Inggeris.]

In the event of any discrepancies, the English version shall be used.

[Sekiranya terdapat sebarang percanggahan pada soalan peperiksaan, versi Bahasa Inggeris hendaklah diguna pakai.]

PART A**BAHAGIAN A**

1. [a] A hydrofluoric-nitric acid (HNA) etchant solution consisting of two parts of 69.51% HNO_3 , five parts of 49.23% HF, and three parts of $\text{HC}_2\text{H}_3\text{O}_2$ is used to etch silicon. If the solution is held at room temperature, what would be the expected etching rate? Refer to Figure 1 of the etch rate for silicon in HNA solution.

Larutan asid fluorik dan nitrik (HNA) terdiri daripada dua bahagian 69.51% HNO_3 , lima bahagian 49.23% HF, dan tiga bahagian $\text{HC}_2\text{H}_3\text{O}_2$ digunakan untuk memutar silikon. Jika larutan disimpan dalam suhu bilik, apakah kadar punaran yang anda jangkakan? Rujuk pada gambarajah kadar punaran silikon dalam HNA (Rajah 1).

(30 marks/markah)

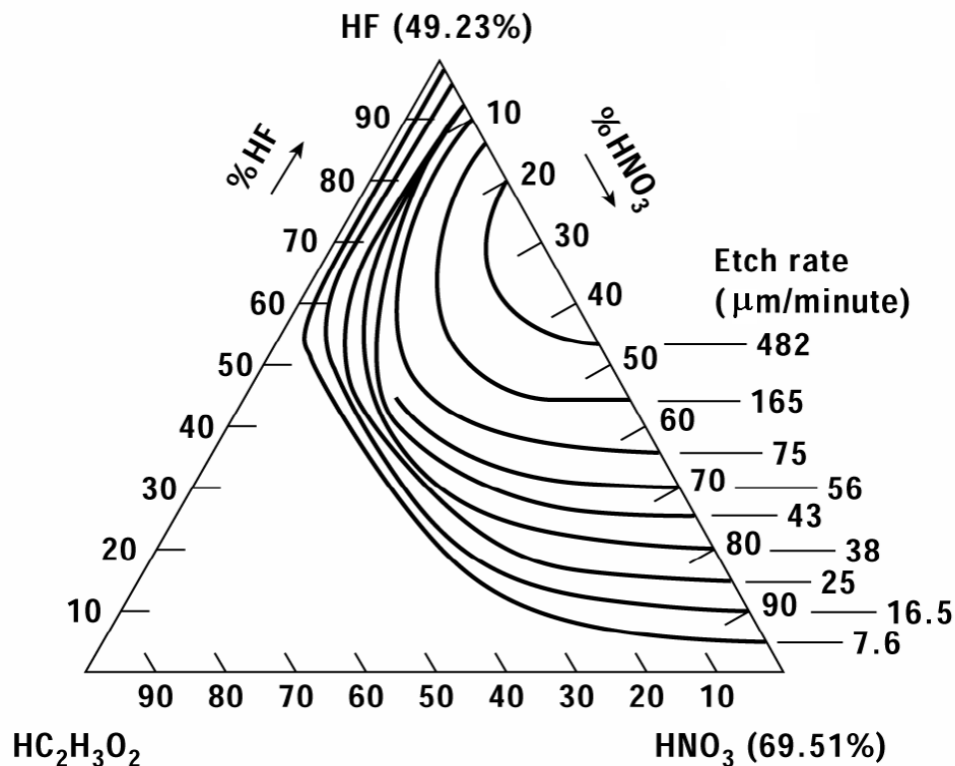


Figure 1

Rajah 1

- [b] Oxidation rate of semiconductor materials are influenced by several factors. Explain the effects of the wafer orientation and dopants distribution on the oxidation process.

Kadar pengoksidaan bahan semikonduktor adalah dipengaruhi oleh beberapa faktor. Bincangkan kesan orientasi wafer dan taburan bahan pendop terhadap proses pengoksidaan.

(30 marks/markah)

- [c] What are the FIVE general requirements of thin film layers use in semiconductor devices fabrication?

Apakah LIMA ciri-ciri umum bagi lapisan nipis yang digunakan dalam fabrikasi peranti semikonduktor.

(40 marks/markah)

PART B**BAHAGIAN B**

2. [a] Suppose we want 1 mm by 1 mm square sample to have a resistance of 1Ω as opposed to more than $60\text{ M}\Omega$ for undoped silicon. Calculate the amount of phosphorus atoms needed to significantly change the resistance of silicon? Assume an electron mobility is $1000\text{ cm}^2/\text{volt sec}$.

Jika kita menginginkan sampel bersaiz 1 mm x 1 mm persegi dengan rintangan Ω berbanding $60\text{ M}\Omega$ bagi silikon takterdop. Kira bilangan atom fosforus diperlukan untuk mengubah rintangan silikon? Anggap kelincahan elektron ialah $1000\text{ cm}^2/\text{volt saat}$.

(40 marks/markah)

- [b] Suggest on methods to solve the crystal defect problem in the ion implantation doping process?

Cadangkan bagaimana menyelesaikan masalah kecacatan hablur dalam proses pendopan melalui proses pengimpalan ion?

(20 marks/markah)

- [c] Explain the properties of negative and positive photoresists.

Jelaskan sifat-sifat fotoreasis negatif dan positif.

(40 marks/markah)

3. [a] Figure 2 shows a standing wave effect on photoresist during photolithography process. Explain how to solve this problem in order to produce smooth photoresist sidewall and improved resolution.

Rajah 2 menunjukkan kesan gelombang tegak pada fotoresis semasa proses fotolitografi. Terangkan bagaimana untuk menyelesaikan masalah ini bagi menghasilkan dinding sisi fotoresis yang licin dan meningkatkan resolusi.

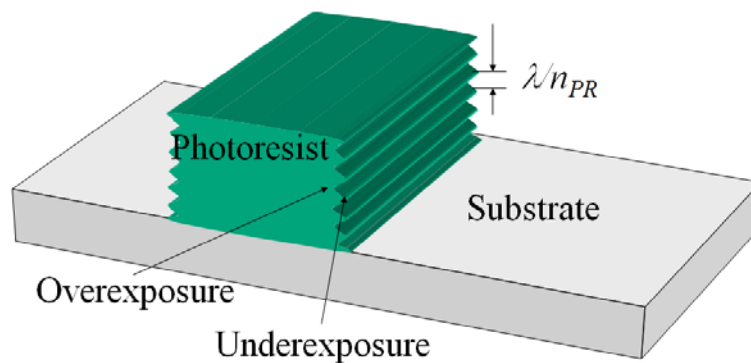


Figure 2

Rajah 2

(30 marks/markah)

- [b] Explain the advantages and disadvantages of electron beam lithography and how to correct the proximity effect due to scattering of electron.

Jelaskan kelebihan dan kekurangan litografi alur elektron dan bagaimana memperbetulkan kesan serakan elektron yang berdekatan.

(40 marks/markah)

- [c] Explain the main parameters to control the patterned size using AFM lithography?

Terangkan parameter utama untuk mengawal saiz corak menggunakan litografi AFM?

(30 marks/markah)

PART C**BAHAGIAN C**

4. [a] There are 5 major classes of contaminants in semiconductor industries. By giving appropriate examples, explain airborne molecular contaminants, bacteria and metallic ions contaminants.

Terdapat 5 kelas utama pencemaran dalam industri semikonduktor. Dengan memberikan contoh yang bersesuaian, terangkan pencemaran molekul airborne, bakteria dan ion logam.

(30 marks/markah)

- [b] Contamination could affect processing and devices performance. Describe how does contaminants affect processing yield, device performance and device reliability.

Pencemaran boleh mempengaruhi proses dan prestasi peranti. Jelaskan bagaimana bahan pencemar boleh mempengaruhi hasil pemprosesan, prestasi peranti dan kebolehpercayaan peranti.

(30 marks/markah)

- [c] Several methods can be used to form epitaxial layer of silicon. By using appropriate diagram, describe chemical vapor deposition (CVD) and liquid phase epitaxy (LPE) techniques to form silicon epitaxial layer.

Beberapa kaedah boleh digunakan untuk menghasilkan lapisan epitaksi silikon. Dengan menggunakan gambarajah yang bersesuaian, terangkan teknik penganapan wap kimia (CVD) dan epitaksi fasa cecair (LPE) untuk menghasilkan lapisan epitaksi silikon.

(40 marks/markah)

5. [a] With the help of appropriate diagram, explain the steps of chemical vapor deposition (CVD) growth.

Dengan menggunakan gambarajah yang bersesuaian, terangkan langkah-langkah penumbuhan dalam penganapan wap kimia (CVD).

(30 marks/markah)

- [b] A good epitaxial layer must be free from defects. Explain the following defects:

- (i) Substrate orientation effects
- (ii) Dislocation and slips
- (iii) Spike and epitaxial stacking faults

Lapisan epitaksi yang baik mesti bebas dari segala kecacatan. Terangkan kecacatan berikut:

- (i) *Kesan orientasi substrat*
- (ii) *Kehelan dan gelinciran*
- (iii) *Pepaku dan penyusunan epitaksi tersalah*

(30 marks/markah)

- [c] Explain applications of silicon dioxide layer as surface passivation and doping barrier.

Terangkan aplikasi lapisan silikon dioksida sebagai pempasifan permukaan dan penghalang pendopan.

(20 marks/markah)

- [d] Describe thermal oxidation process of silicon to form silicon dioxide.

Jelaskan proses pengoksidaan terma silikon untuk menghasilkan silikon dioksida.

(20 marks/markah)

PART D**BAHAGIAN D**

6. [a] Describe the main steps of damascene process to produce copper metallization in integrated circuits fabrication.

Terangkan langkah utama dalam proses damasin yang digunakan untuk menghasilkan perlogaman kuprum dalam fabrikasi litar bersepadu.

(35 marks/markah)

- [b] Table 1 shows the yields for a 33-step VLSI process at different product maturity and a 22-step LSI process.

Jadual 1 menunjukkan hasil bagi proses VLSI (33 langkah) pada kematangan produk yang berbeza dan proses LSI (22 langkah).

Table 1: Yields of semiconductor devices fabrication at different process stages
Jadual 1: Hasil fabrikasi peranti semikonduktor pada peringkat proses yang berbeza

	Integration level <i>Tahap persepadaan</i>	Product maturity <i>Kematangan produk</i>	Wafer fabrication yield (%) <i>Hasil fabrikasi wafer (%)</i>	Sort yield (%) <i>Hasil pengisihan (%)</i>	Assembly final test (%) <i>Hasil ujian pemasangan akhir (%)</i>
a	ULSI	Mature <i>Matang</i>	96	84	95
b	ULSI	Mid <i>Sederhana</i>	85	63	92
c	ULSI	Introduction <i>Pengenalan/ Permulaan</i>	60	42	68
d	LSI	Mature <i>Matang</i>	98	95	99

- (i) Calculate the overall manufacturing yield for process (a), (b), (c) and (d) from Table 1.

Kirakan hasil perkilangan keseluruhan bagi proses (a), (b), (c) dan (d) dalam Jadual 1

(20 marks/markah)

...9/-

- (ii) Compare and describe the differences on the overall manufacturing yield of ULSI level at different product maturity

Bandingkan dan huraikan perbezaan antara hasil perkilangan keseluruhan bagi tahap VLSI pada kematangan produk yang berbeza

(20 marks/markah)

- (iii) Compare and describe the differences on the overall manufacturing yield of mature product at ULSI and LSI integration level.

Bandingkan dan huraikan perbezaan antara hasil perkilangan keseluruhan bagi VLSI dan LSI yang produknya pada tahap matang.

(25 marks/markah)

7. [a] (i) A wafer (300 mm in diameter) has a defect density of 5 defects/cm², and costs \$500 to process. An additional cost of \$2.20 per die was incurred for the assembly and testing. Calculate the total manufacturing cost for a 10 mm x 10 mm die in this process based on the following yield model (Murphy, uniform distribution)?

$$Y = \frac{1 - \exp(-2DoA)}{2DoA}$$

(The number of square die per wafer is given approximately by $N = \pi (R-S)^2/S^2$, where R is the wafer radius and S is the length of the side of the die).

Satu wafer (300 mm diameter) mempunyai ketumpatan kecacatan sebanyak of 5 kecacatan/cm², dan kos pemrosesannya adalah \$500. Kos tambahan sebanyak \$2.20 per dai diperlukan untuk pemasangan dan pengujian. Hitung anggaran jumlah kos pembuatannya untuk satu dai yang bersaiz 10 mm × 10 mm dalam proses ini dengan menggunakan model hasil yang berikut (Murphy, taburan seragam)?

$$Y = \frac{1 - \exp(-2DoA)}{2DoA}$$

(Jumlah dai per wafer boleh dianggarkan melalui $N = \pi (R-S)^2/S^2$, di mana R ialah jejari wafer dan S ialah panjang sisi dai).

(35 marks/markah)

...10/-

- (ii) If each die will increase in area by 20% in order to accommodate additional pads and I/O circuitry, calculate the final cost of the chip? (Assume the testing and packaging cost remains the same)

Jika keluasan setiap dai meningkat sebanyak 20% untuk menampung pads dan I/O litar tambahan, berapakah jumlah kos akhir untuk setiap cip? (Andaikan kos pemasangan dan pengujian dai kekal sama)

(45 marks/markah)

- [b] List FOUR functions of a chip package.

Senaraikan EMPAT fungsi pembungkusan cip.

(20 marks/markah)