

---

# UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Kedua  
Sidang Akademik 2010/2011

April/Mei 2011

## EEE 344 – SISTEM VLSI

Masa : 3 Jam

---

Sila pastikan bahawa kertas peperiksaan ini mengandungi **SEBELAS** muka surat beserta Lampiran **SATU** muka surat bercetak sebelum anda memulakan peperiksaan ini.

Kertas soalan ini mengandungi **ENAM** soalan.

Jawab **LIMA** soalan.

Mulakan jawapan anda untuk setiap soalan pada muka surat yang baru.

Agihan markah bagi setiap soalan diberikan di sudut sebelah kanan soalan berkenaan.

Jawab semua soalan dalam Bahasa Malaysia atau Bahasa Inggeris atau kombinasi kedua-duanya.

**[Sekiranya terdapat sebarang percanggahan pada soalan peperiksaan, versi Bahasa Inggeris hendaklah diguna pakai].**

*“In the event of any discrepancies, the English version shall be used”.*

1. (a) Data seperti yang ditunjukkan di Jadual 1 adalah diperolehi daripada pengukuran yang telah dijalankan terhadap sebuah transistor nMOS. Ianya boleh digunakan untuk menentukan nilai  $k_n, V_{T0}, \gamma$ . Untuk pengiraan di bahagian (ii), anggap kesan perubahan panjang saluran boleh diabaikan ( $\lambda = 0$ ).

*The data shown in Table 1 is obtained from the measurement that was conducted on a nMOS transistor. It can be used to determine the values for  $k_n, V_{T0}, \gamma$ . For the calculation in part (ii), assume that the channel-length modulation effect can be neglected ( $\lambda = 0$ ).*

Jadual 1  
Table 1

$V_{GS} (V)$	$V_{DS} (V)$	$V_{SB} (V)$	$I_D (\mu A)$
4	4	0	256
5	5	0	441
4	4	2.6	144
5	5	2.6	288

- (i) Lukiskan susunan litar ujian bagi mendapatkan data seperti di Jadual 1.

*Draw a test circuit arrangement that can obtain the data as shown in Table 1.*

(15 markah/marks)

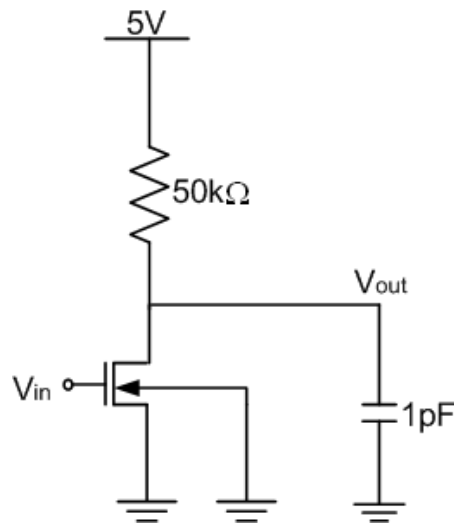
- (ii) Sekiranya  $\phi_F = -0.32V$ . Tentukan nilai  $k_n, V_{T0}, \gamma$ .

*Given  $\phi_F = -0.32V$ . Determine the values for  $k_n, V_{T0}, \gamma$*

(30 markah/marks)

- (b) Diberi sebuah litar penyongsang yang bersambung dengan sebuah beban pemuat seperti dalam Rajah 1. Transistor nMOS yang digunakan adalah sama dengan transistor yang terdapat di soalan 1(a). Anggap isyarat masukan adalah ideal yang mana masa naik dan juga masa turun adalah kosong. Abaikan kesan perubahan panjang saluran ( $\lambda = 0$ ).

Consider an inverter circuit with a load capacitor shown in Figure 1. nMOS transistor is the same transistor as in question 1(a). Assume that the input signal is ideal with zero rise and fall times. Neglect the channel-length modulation effect ( $\lambda = 0$ ).

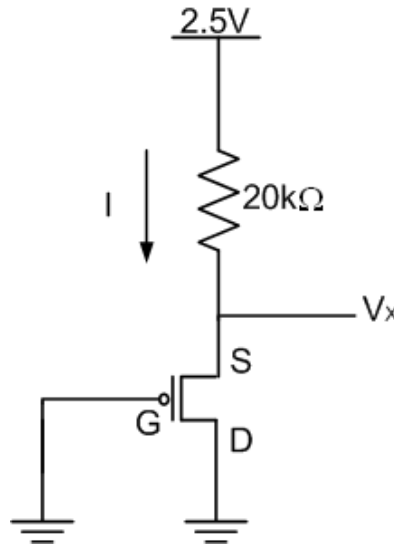


Rajah 1  
Figure 1

- (i) Tentukan nilai  $V_{OL}$ .  
*Determine the value of  $V_{OL}$ .* (25 markah/marks)
- (ii) Cari  $\tau_{PLH}$  dengan menggunakan teknik persamaan perbezaan.  
*Find  $\tau_{PLH}$  by using the differential equation method.* (30 markah/marks)

2. (a) Diberi sebuah litar seperti dalam Rajah 2. Sekiranya  $V_{T0,p} = -0.4V$ ,  $\mu_p C_{ox} = 30\mu A/V^2$ ,  $L = 0.25\mu m$ , tentukan nilai  $W$  supaya  $V_x = 1.5V$ . Abaikan kesan perubahan panjang saluran dan substrate bias ( $\lambda = 0, \gamma = 0$ ).

Consider a circuit shown in Figure 2. Given  $V_{T0,p} = -0.4V$ ,  $\mu_p C_{ox} = 30\mu A/V^2$ ,  $L = 0.25\mu m$ , determine the value of  $W$  so that  $V_x = 1.5V$ . Neglect the channel-length modulation and substrate bias effect ( $\lambda = 0, \gamma = 0$ )



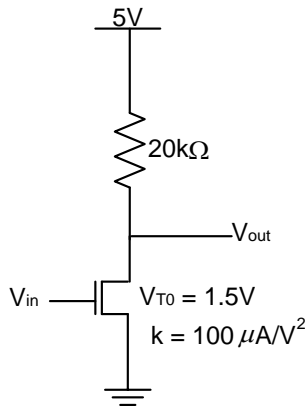
Rajah 2  
Figure 2

(30 markah/marks)

- (b) Kira kuasa statik purata yang dihasilkan oleh setiap penyongsang berikut. Anggap voltan masukan adalah rendah bagi 50% waktu operasi dan tinggi bagi 50% yang selebihnya. Abaikan kesan perubahan panjang saluran dan substrate bias ( $\lambda = 0, \gamma = 0$ ).

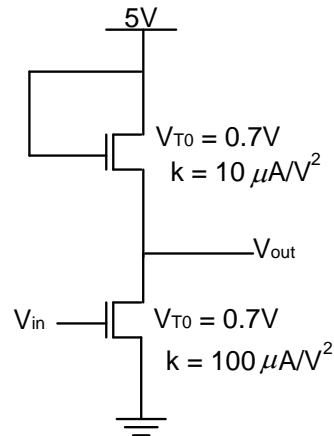
*Calculate the average static power dissipation of the following inverters. Assume that the input voltage is low during 50% of the operation time and high during the other 50%. Neglect the channel-length modulation and substrate bias effect ( $\lambda = 0, \gamma = 0$ ).*

(i)



(35 markah/marks)

(ii)

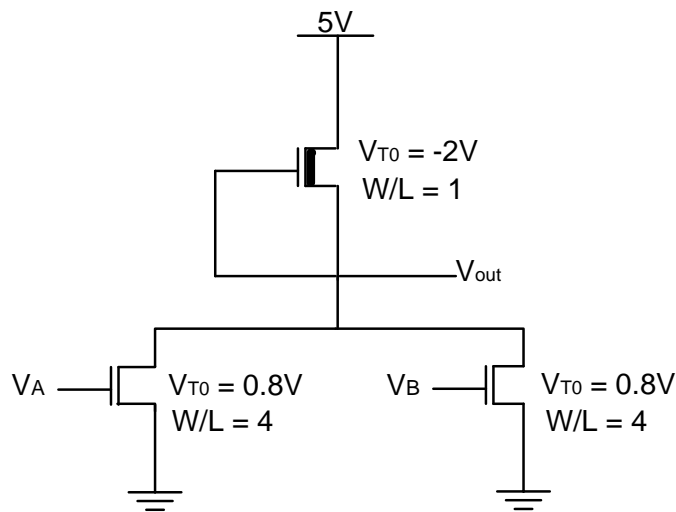


(35 markah/marks)

3. Diberi sebuah get seperti di Rajah 3. Untuk kesemua transistor  $\mu_n C_{ox} = 35 \mu A/V^2$ . Abaikan kesan perubahan panjang saluran dan substrate bias ( $\lambda = 0, \gamma = 0$ ).

Consider a gate shown in Figure 3. For all transistors  $\mu_n C_{ox} = 35 \mu A/V^2$ .

Neglect the channel-length modulation and substrate bias effect ( $\lambda = 0, \gamma = 0$ ).



Rajah 3  
Figure 3

- (a) Sekiranya  $V_A = High$  dan  $V_B = Low$ , tentukan nilai  $V_{OL}$

If  $V_A = High$  and  $V_B = Low$  determine the value of  $V_{OL}$

(60 markah/marks)

- (b) Sekiranya  $V_A = High$  dan  $V_B = High$ , tentukan nilai  $V_{OL}$

If  $V_A = High$  and  $V_B = High$  determine the value of  $V_{OL}$

(40 markah/marks)

4. (a) Terangkan definisi litar berjjukan.

*What is definition of sequential circuit.* (25 markah/marks)

- (b) Lukis litar aras-get flip flop SR mengikut jadual kebenaran seperti pada Rajah 4.

*Draw a gate-level circuit which can implement the SR flip flop truth table as shown in Figure 4.*

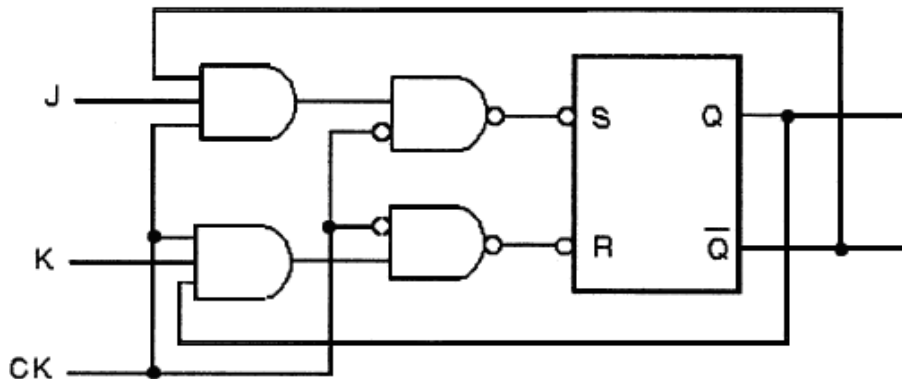
(25 markah/marks)

S	R	Q	$\bar{Q}$
0	1	1	0
1	0	0	1
1	1	Q	$\bar{Q}$

Rajah 4 Jadual Kebenaran Flip Flop SR  
*Figure 4 SR flip flop Truth Table*

- (c) Sekarang Flip flop SR bersama empat get seperti dalam Rajah 5.

*The SR flip flop is now embedded in a larger circuit which have four gates. This is shown in Figure 5.*

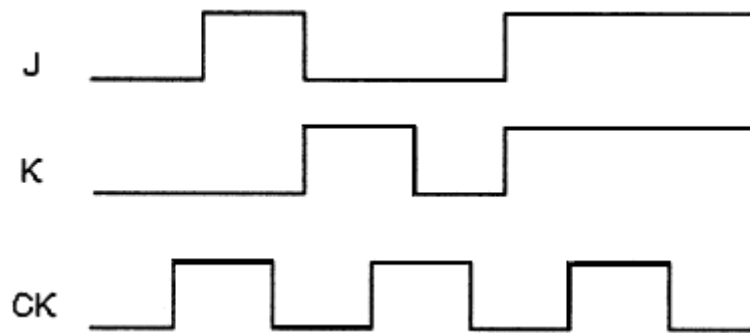


Rajah 5 Empat get dan flip flop SR  
*Figure 5 Four gates and SR flip flop*

Lukis rajah pemasa untuk keluaran ( $Q$  dan  $\bar{Q}$ ) apabila bentuk gelombang bagi  $J$ ,  $K$  dan  $CK$  adalah seperti di dalam Rajah 6.

*Draw the timing diagram for the outputs ( $Q$  and  $\bar{Q}$ ) with  $J$ ,  $K$  and  $CK$  waveform as shown in Figure 6.*

(50 markah/marks)



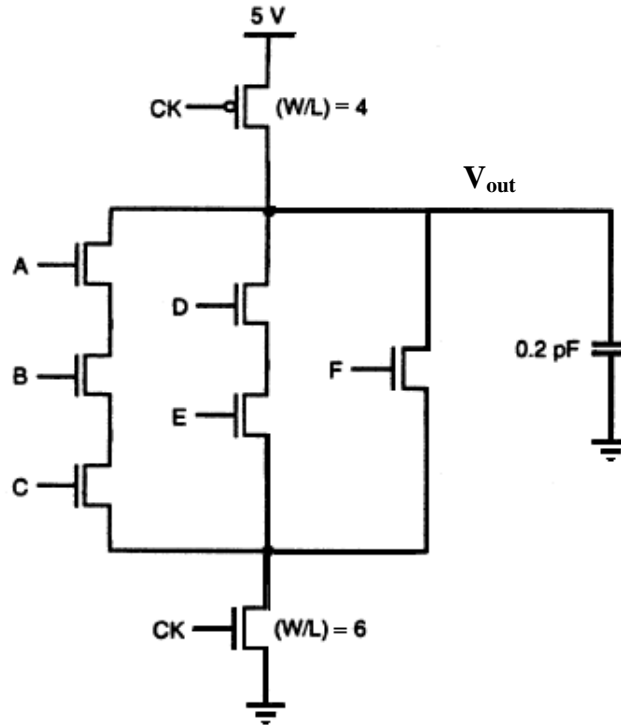
Rajah 6 Bentuk gelombang bagi  $J$ ,  $K$  dan  $CK$   
*Figure 6 Waveform of  $J$ ,  $K$  and  $CK$*



5. (a) Berdasarkan Rajah 7, apakah fungsi Boolean untuk  $V_{out}$ ?

*Based on Figure 7, what is the Boolean function of  $V_{out}$ ?*

(15 markah/marks)

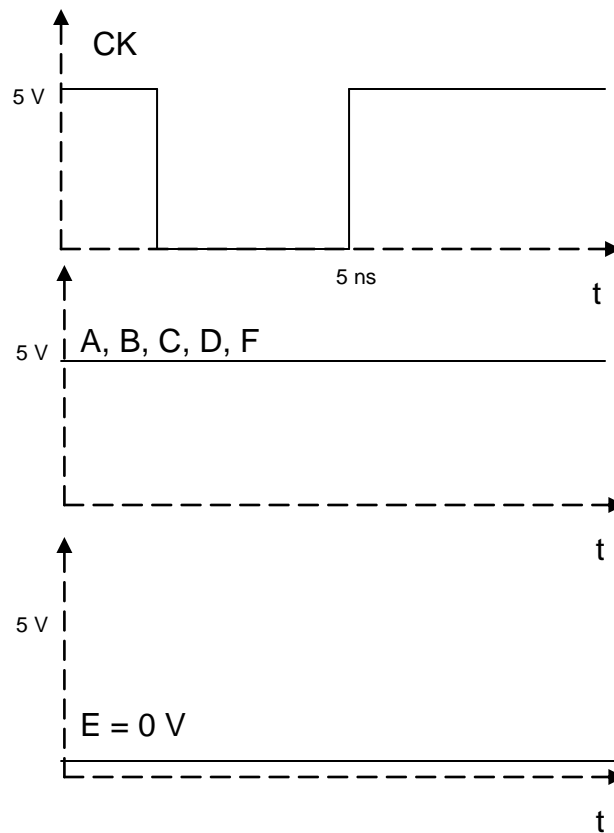


Rajah 7 Litar logik dinamik  
*Figure 7 A Dynamic Logic Circuit*

(b) Sekiranya isyarat seperti dalam Rajah 7 disalurkan kepada litar (Rajah 6), lukiskan gelombang  $V_{out}$ .

*If signals as shown in Figure 7 are applied to the circuit (Figure 6), draw the expected  $V_{out}$  waveform.*

(15 markah/marks)



Rajah 8 Gelombang CK, A, B, C, D, E dan F  
 Figure 8 CK, A, B, C, D, E, and F waveforms.

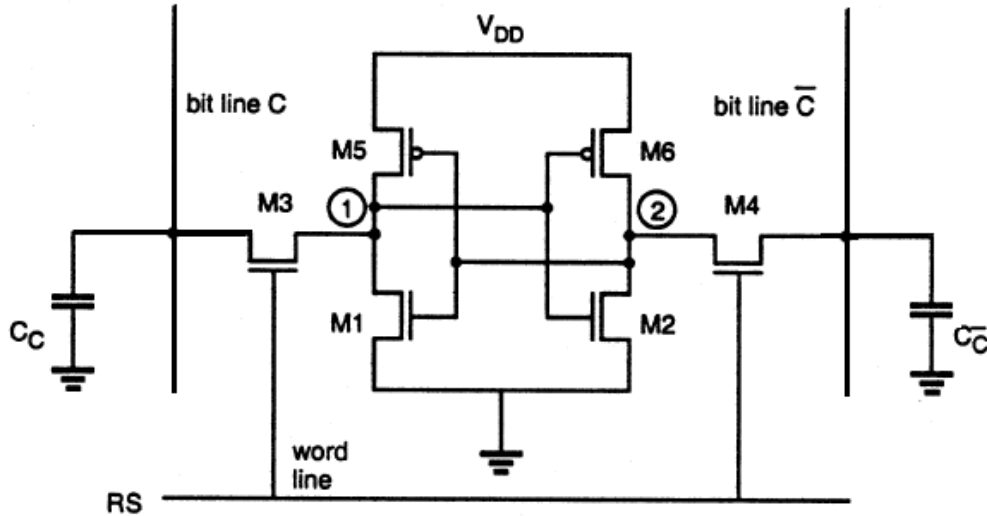
- (c) Parameter untuk litar dalam Rajah 8 adalah seperti berikut.  $V_{ton} = 1\text{ V}$ ,  $V_{top} = -1\text{ V}$ ,  $k'_n = 50\ \mu\text{A/V}^2$ ,  $k'_p = 25\ \mu\text{A/V}^2$  dan nisbah  $W/L$  untuk setiap NMOS ialah 9. Pada mulanya  $V_{out} = 0\text{ V}$  dan isyarat masukan adalah seperti dalam Rajah 7, kira masa diperlukan untuk  $V_{out}$  (semasa pengecasan) sampai 50% daripada  $V_{DD}$  (5 V).

*The parameters for circuit in Figure 8 are as follows.  $V_{ton} = 1\text{ V}$ ,  $V_{top} = -1\text{ V}$ ,  $k'_n = 50\ \mu\text{A/V}^2$ ,  $k'_p = 25\ \mu\text{A/V}^2$  and  $W/L$  ratios for each NMOS device is 9. With initial  $V_{out} = 0\text{ V}$  and input signals as shown in Figure 7, calculate time required for  $V_{out}$  (during charge up) to reach 50% of  $V_{DD}$  (5 V).*

(70 markah/marks)

...11/-

6. (a) Apakah ingatan meruap dan ingatan tak meruap?  
*What is volatile memory and non-volatile memory?*  
 (25 markah/marks)



Rajah 9 SRAM CMOS  
 Figure 9 CMOS SRAM

- (b) Parameter untuk litar dalam Rajah 9 adalah seperti berikut.  
*The circuit in Figure 9 has parameters as follows.*

$$V_{\text{ton}} = 0.7 \text{ V}, V_{\text{top}} = -0.7 \text{ V}, k'_n = 20 \mu\text{A/V}^2, k'_p = 10 \mu\text{A/V}^2, \gamma = 0.4 \text{ V}^{1/2} \text{ and } |2\phi_F| = 0.6 \text{ V}.$$

Sekiranya nisbah W/L untuk M1, M2 ialah 1 dan M3, M4 ialah 2/4. Andaikan bit simpanan ialah 0, keadaan sel berubah apabila  $V_C \leq 0.5 \text{ V}$  dan pada mulanya M1 'OFF'.

*If W/L ratios for M1, M2 is 1 dan M3, M4 is 2/4.*

*Assuming that the storage bit is 0, state of cell can be changed for  $V_C \leq 0.5 \text{ V}$  and M1 initially OFF.*

- (i) Pastikan M5 berada dalam tepu.  
*Confirm that M5 is saturated.* (15 markah/marks)
- (ii) Pastikan M3 berada dalam kawasan lurus.  
*Confirm that M3 is in linear region.* (15 markah/marks)
- (iii) Tentukan nilai W/L untuk M5 dan M6.  
*Determine W/L for M5 and M6.* (45 markah/marks)

Current-voltage equations of the nMOS Transistor:-

$$I_D = 0 \quad \text{for } V_{GS} < V_T$$

$$I_D(\text{lin}) = \frac{k_n}{2} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \quad \text{for } V_{GS} \geq V_T \text{ and } V_{DS} < V_{GS} - V_T$$

$$I_D(\text{sat}) = \frac{k_n}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad \text{for } V_{GS} \geq V_T \text{ and } V_{DS} \geq V_{GS} - V_T$$

Where,

$$k_n = \mu_n C_{ox} \frac{W}{L}$$

Current-voltage equations of the pMOS Transistor:-

$$I_D = 0 \quad \text{for } V_{GS} > V_T$$

$$I_D(\text{lin}) = \frac{k_p}{2} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \quad \text{for } V_{GS} \leq V_T \text{ and } V_{DS} > V_{GS} - V_T$$

$$I_D(\text{sat}) = \frac{k_p}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad \text{for } V_{GS} \leq V_T \text{ and } V_{DS} \leq V_{GS} - V_T$$

Where,

$$k_p = \mu_p C_{ox} \frac{W}{L}$$

Threshold voltage:-

$$V_T(V_{SB}) = V_{T0} + \gamma(\sqrt{|2\phi_F| + V_{SB}} - \sqrt{|2\phi_F|})$$

Capacitance Current:-

$$i_c = C_{load} \frac{dV_{out}}{dt}$$