UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Pertama
Sidang Akademik 2010/2011

November 2010

EEE 348 – PENGANTAR REKABENTUK LITAR BERSEPADU

Masa : 3 Jam

Sila pastikan bahawa kertas peperiksaan ini mengandungi SEPULUH muka surat beserta Lampiran DUA muka surat bercetak sebelum anda memulakan peperiksaan ini.

Kertas soalan ini mengandungi **ENAM** soalan.

Jawab **LIMA** soalan.

Mulakan jawapan anda untuk setiap soalan pada muka surat yang baru.

Agihan markah bagi setiap soalan diberikan di sudut sebelah kanan soalan berkenaan.

Jawab semua soalan dalam Bahasa Malaysia atau Bahasa Inggeris atau kombinasi kedua-duanya.

[Sekiranya terdapat sebarang percanggahan pada soalan peperiksaan, versi Bahasa Inggeris hendaklah diguna pakai].

"In the event of any discrepancies, the English version shall be used".

1. (a) (i) Dari segi ekonomi, rekabentuk berdasarkan “full custom” adalah sesuai untuk jenis aplikasi apa?

The full custom based design is justified economically for what type of application?

(5 marks)

(ii) Kenapakah susun atur di dalam rekabentuk berdasarkan sel piawai boleh dihasilkan secara automatik?

Why the layout can be generated automatically in standard cell based design?

(5 marks)

(b) Pengesan kesamaan tiga bit adalah sebuah litar yang mana keluaran adalah logik 1 hanya apabila ketiga-tiga masukan adalah sama.

Three bit equality detector is a circuit where the output is logic 1 only when all three inputs are equal.

(i) Lakarkan pelaksanaan PAL bagi pengesan kesamaan tiga bit.
Sketch a PAL implementation of the three bit equality detector.

(15 marks)

(ii) Lakarkan pelaksanaan logik bolehaturcara berdasarkan LUT bagi pengesan kesamaan tiga bit.
Sketch “LUT Based Programmable Logic” implementation of the three bit equality detector.

(15 marks)

(c) Lukis susun atur untuk sebuah transistor nMOS dan anggarkan saiz yang paling minima untuk transistor tersebut di dalam . Gunakan peraturan susun atur daripada MOSIS.

Draw the layout of a nMOS transistor and estimate the minimum area of the transistor in . Use the MOSIS layout design rules.

(60 marks)

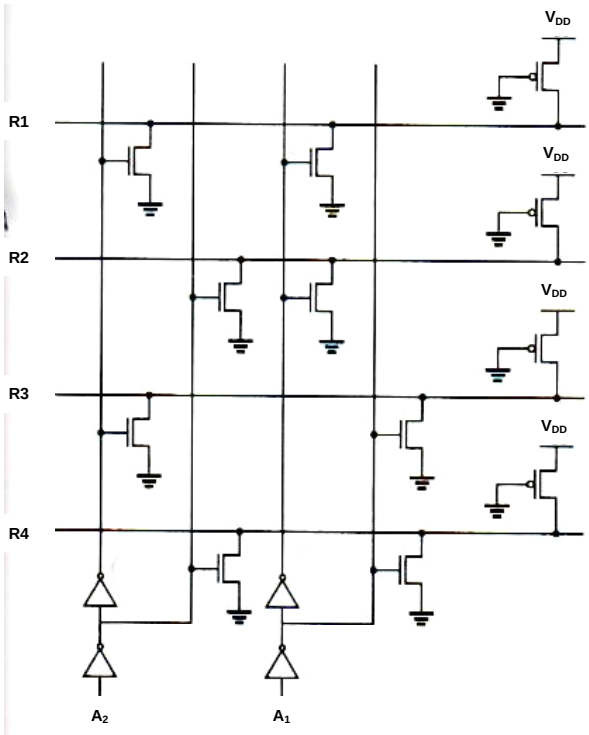
2. (a) Rekabentuk sebuah pendekod alamat jalur 2-bit yang dapat memilih satu di antara empat “Bit Line (BL)” bagi sebuah ROM.

Design a 2-bit column address decoder that can select one over four Bit Line (BL) of a ROM.

(20 marks)

(b) Diberi sebuah pendekod alamat baris untuk sebuah ROM seperti ditunjukkan di dalam Rajah 1 berikut. Apakah alamat (nilai bagi A_2 dan A_1) untuk memilih R2?

Consider the following row address decoder for a ROM as shown in Figure 1 below. What is the address (value of A_2 and A_1) to select R2?



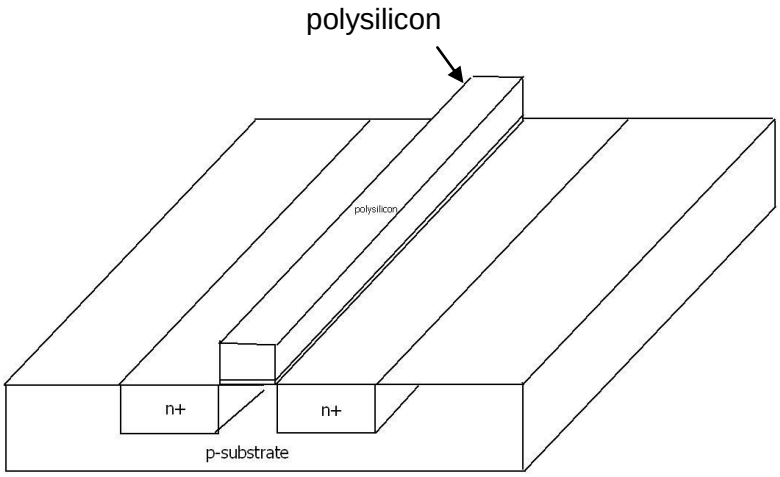
Rajah 1 Pendekod Alamat Baris
Figure 1 Row Address Decoder

(20 marks)

(c) Lukis “mask” dan terangkan langkah demi langkah proses fotolitografi untuk membentuk kawasan “n+ diffusion” seperti di Rajah 2. Andaikan yang proses untuk membentuk lapisan polisilikon sudah siap dan jenis “photoresist” yang digunakan adalah negatif.

Draw the mask and explain step by step the photolithography process to form n+ diffusion region as shown in Figure 2. Assume that the process to form polysilicon layer is completed and negative photoresist is used.

(60 marks)



Rajah 2 transistor nMOS
Figure 2 nMOS transistor

3. (a) Rekabentuk sebuah litar logik berdasarkan fungsi Boolean berikut dengan menggunakan teknologi CMOS. Masukan adalah a,b,c dan d.

Design a logic circuit based on the following Boolean function with CMOS technology. The inputs are a,b,c and d.

$$\text{out} = \overline{a} + \overline{b} + \overline{c}.\overline{d}$$

(i) Lukis lakaran litar skema transistor untuk fungsi Boolean di atas.
Sketch a transistor level schematic for the above Boolean function.

(ii) Cari susunan get yang optimum berdasarkan pendekatan laluan Euler.
Find the optimum gate ordering based on the Euler path approach.

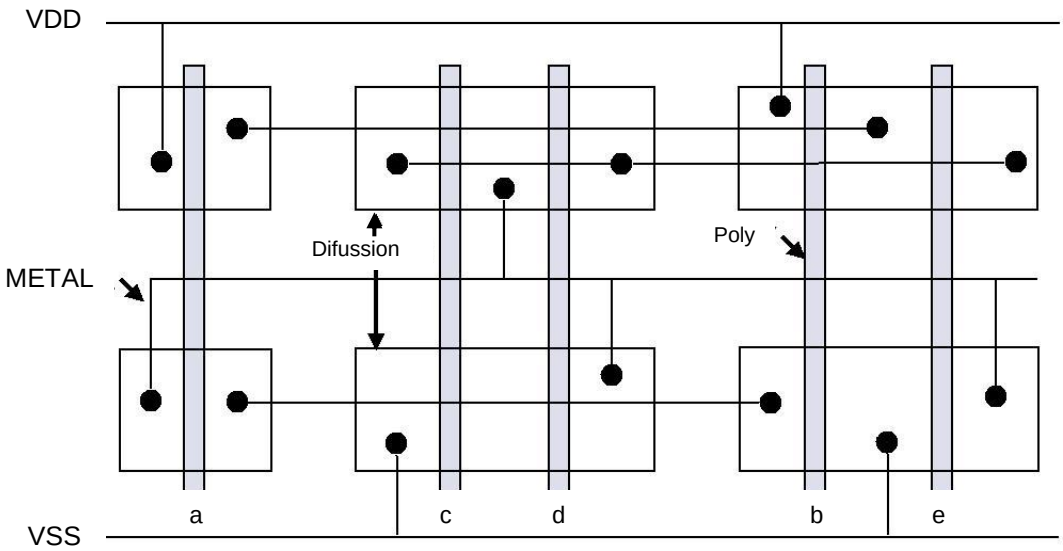
(10 marks)

(iii) Lukis lakaran gambarajah lidi untuk lakaran litar skema transistor yang telah diperolehi.
Sketch a stick diagram based on the obtained transistor level schematic.

(35 marks)

(b) Diberi sebuah gambarajah lidi seperti berikut. Ianya adalah susun atur sebuah litar logik yang direkabentuk berdasarkan teknologi CMOS.

Consider the following stick diagram. It is a layout of a logic circuit that has been designed with CMOS technology.



Rajah 3 Gambarajah lidi untuk sebuah litar logik
Figure 3 Stick diagram for a logic circuit

(i) Cari susunan get yang optimum supaya jarak di antara kawasan diffusion dapat dikurangkan.

Find the optimum gate ordering so that the separation of diffusion areas can be reduced.

(30 marks)

(ii) Tentukan fungsi boolean untuk gambarajah lidi di atas.
Determine the boolean function of the above stick diagram.

(10 marks)

4. (a) (i) Apakah itu sintesis logik?
What is logic synthesis?

(4 marks)

(ii) Nyatakan tiga kelebihan HDL berbanding dengan kaedah rekabentuk tradisional yang menggunakan skematik.

State three advantages of HDL compared to traditional schematic-based design.

(6 marks)

(b) Diberi dua buah modul Verilog seperti berikut.
Consider the following Verilog modules.

```
module gateA(z, x, y, a);
output z;
input x,y;
 input a;
assign z = a ? x : y;
endmodule

module gateB(z, y, a, b);
output z, y;
input a,b;
assign z = a ^ b;
```

```
assign y = a & b;
endmodule
```

…7/-

(i) Tulis semula kod Verilog untuk gateA dengan menggunakan penyataan get. Kekalkan terminal masukan dan keluaran.

Rewrite the Verilog code for gateA using gate-level statement. Maintain the input and output ports.

(15 marks)

(ii) Tulis semula kod Verilog untuk gateB dengan menggunakan penyataan get. Kekalkan terminal masukan dan keluaran.

Rewrite the Verilog code for gateB using gate-level statement. Maintain the input and output ports.

(15 marks)

(iii) Diberi kod Verilog seperti berikut. Ianya adalah modul stimulus bagi gateA dan gateB. Lukis gambarajah masa bagi keputusan simulasi untuk isyarat m, n, p, q, r dan s.

Consider the following Verilog code. It is the stimulus module for gateA and gateB. Draw the timing diagram for the simulation results of signals m, n, p, q, r and s.

```
module top_4;
reg m, n, p;
wire q, r, s;
gateA mygateA(q, m, n, p);
gateB mygateB(r, s, q, q);
initial
begin
        m = 1'b0; n = 1'b1;
end
initial
begin
        #20 m = 1'b1; n = 1'b0;
end
initial
        #25 p = 1'b0;
initial
begin
        #5 p = 1'b1;
        #25 $stop;
```

```
end
endmodule
```

(60 marks)

…8/-

5. (a) Diberi modul stimulus seperti berikut. Lukis gambarajah masa bagi keputusan simulasi untuk isyarat a, b, c dan d.

Consider the following stimulus module. Draw the timing diagram for the simulation results of signals a, b, c and d.

```
module timing;
  integer a, b, c, d;
  initial begin
     a = 0;
     b = 10;
     c = 20;
     d <= #0 3;
     d = 30;
     d <= #1 300;
     d <= #2 3000;
     #1;
     b = 100;
     c <= 200;
     a <= #5 b + c;
     #1;
     b = 1000;
     c <= 2000;
     #10 $stop;
  end
 endmodule
```

(40 marks)

(b) Berikut adalah spesifikasi untuk sebuah 1-bit magnitude comparator:-
The specification of a 1-bit magnitude comparator is as follows:-

The output x is true only when a is greater than b.
The output z is true only when a is less than b.
The output y is true only when a is equal to b.

(i) Tulis kod Verilog untuk pembanding magnitud 1-bit berdasarkan penyataan get.

Write the Verilog code for the 1-bit magnitude comparator based on gate level statement.

(45 marks)

(ii) Tulis kod Verilog untuk menguji kesemua kombinasi a dan b bagi pembanding magnitud 1-bit.
Write the Verilog code to test all possible combinations of a and b.

(15 marks)

6. (a) Diberi kod verilog seperti berikut. Tentukan nilai yang terakhir bagi W, X, Y dan Z.

Consider the following Verilog code. Determine the final values of W, X, Y and Z.

```
module question6_a;
  reg [1:0] input1, input2, input3, input4;
  reg [3:0] A, B, C, D;
  reg [3:0] W, X, Y, Z;
  initial
  fork
     input1 = 2'b10; input2 = 2'b0x; input3 = 2'b11; input4 = 2'b00;
     #5 A = { 2{input1} };
     #5 B = { 2{input2} };
     #5 C = {input1, input2};
     #5 D = {input3, input4};
     #5 W = {(B==B), (B===B), (A<B), (A<D)};
     #10 Y = ~(D^B);
     #10 X = {(A&&B), (A||B), (B!=B), (B!==B)};
     #5 Z = D << 2;
  join

  initial
  begin
     #10 W = {(B==B), (B===B), (A>B), (A>D)};
     #5 Y = ~(D&B);
     #5 X = A ^~ C;
     #5 Z = D >> 2;
```

end
endmodule

(40 marks)

…10/-

(b) Rekabentuk sebuah ALU empat fungsi yang mengambil 4-bit masukan ‘a’ dan ‘b’ berserta 2-bit masukan ‘select’ dan memberikan 5-bit keluaran ‘out’. ALU tersebut melakukan fungsi berikut berdasarkan kepada 2-bit masukan ‘select’. Abaikan segala kelebihan atau kekurangan bit.

Design an 4-function ALU that takes 4-bit inputs ‘a’ and ‘b’ and a 2-bit input signal ‘select’, and gives a 5-bit output ‘out’. The ALU implements the following functions based on a 2-bit input signal ‘select’. Ignore any overflow or underflow bits.

select = 00, out = a add b
select = 01, out = a subtract b
select =10, out = a divide b
select =11, out = a to the power of b

(i) Tulis kod Verilog untuk ALU empat fungsi.
Write the Verilog code for the 4-function ALU.

(45 marks)

(ii) Tulis kod Verilog untuk menguji kesemua kombinasi isyarat masukan ‘select’ bagi ALU.

Write the Verilog code to test all possible combinations of the input signal ‘select’ for the ALU.

(15 marks)

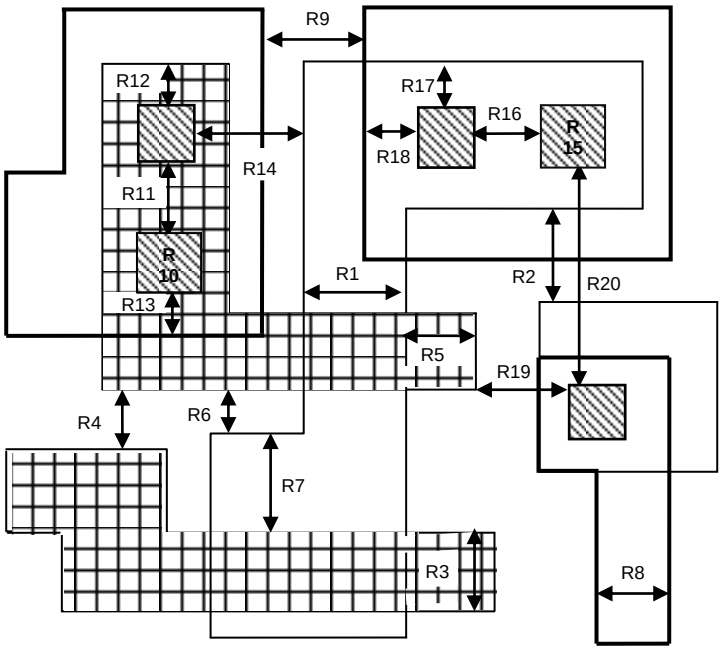
ooooOoooo

LAMPIRAN A-1 [EEE 348]
APPENDIX A-1

MOSIS Layout Design Rules (sample set)

Rule number	*Description*	*λ-Rules*
	Active area rules	
R1	Minimum active area width	3λ
R2	Minimum active area spacing	3λ
	Polysilicon rules	
R3	Minimum poly width	2λ
R4	Minimum poly spacing	2λ
R5	Minimum gate extension of poly over active	2λ
R6	Minimum poly-active edge spacing (poly outside active area)	1λ
R7	Minimum poly-active edge spacing (poly inside active area)	3λ
	Metal rules	
R8	Minimum metal width	3λ
R9	Minimum metal spacing	3λ
	Contact rules	
R10	Poly contact size	2λ
R11	Minimum poly contact spacing	2λ
R12	Minimum poly contact to poly edge spacing	1λ
R13	Minimum poly contact to metal edge spacing	1λ
R14	Minimum poly contact to active edge spacing	3λ
R15	Active contact size	2λ
R16	Minimum active contact spacing (on the same active region)	2λ
R17	Minimum active contact to active edge spacing	1λ
R18	Minimum active contact to metal edge spacing	1λ
R19	Minimum active contact to poly edge spacing	3λ
R20	Minimum active contact spacing (on different active regions)	6λ

LAMPIRAN A-2 [EEE 348]
APPENDIX A-2



Active area

Polysilicon

Contact

Metal

Appendix A-1

MOSIS Layout Design Rules (sample set)

Rule number	*Description*	*λ-Rule*
	Active area rules	
R1	Minimum active area width	3λ
R2	Minimum active area spacing	3λ
	Polysilicon rules	
R3	Minimum poly width	2λ
R4	Minimum poly spacing	2λ
R5	Minimum gate extension of poly over active	2λ
R6	Minimum poly-active edge spacing (poly outside active area)	1λ
R7	Minimum poly-active edge spacing (poly inside active area)	3λ
	Metal rules	
R8	Minimum metal width	3λ
R9	Minimum metal spacing	3λ
	Contact rules	
R10	Poly contact size	2λ
R11	Minimum poly contact spacing	2λ
R12	Minimum poly contact to poly edge spacing	1λ
R13	Minimum poly contact to metal edge spacing	1λ
R14	Minimum poly contact to active edge spacing	3λ
R15	Active contact size	2λ
R16	Minimum active contact spacing (on the same active region)	2λ
R17	Minimum active contact to active edge spacing	1λ
R18	Minimum active contact to metal edge spacing	1λ
R19	Minimum active contact to poly edge spacing	3λ
R20	Minimum active contact spacing (on different active regions)	6λ

Figure 2.13 Illustration of some of the typical MOSIS layout design rules.

Figure 2.13

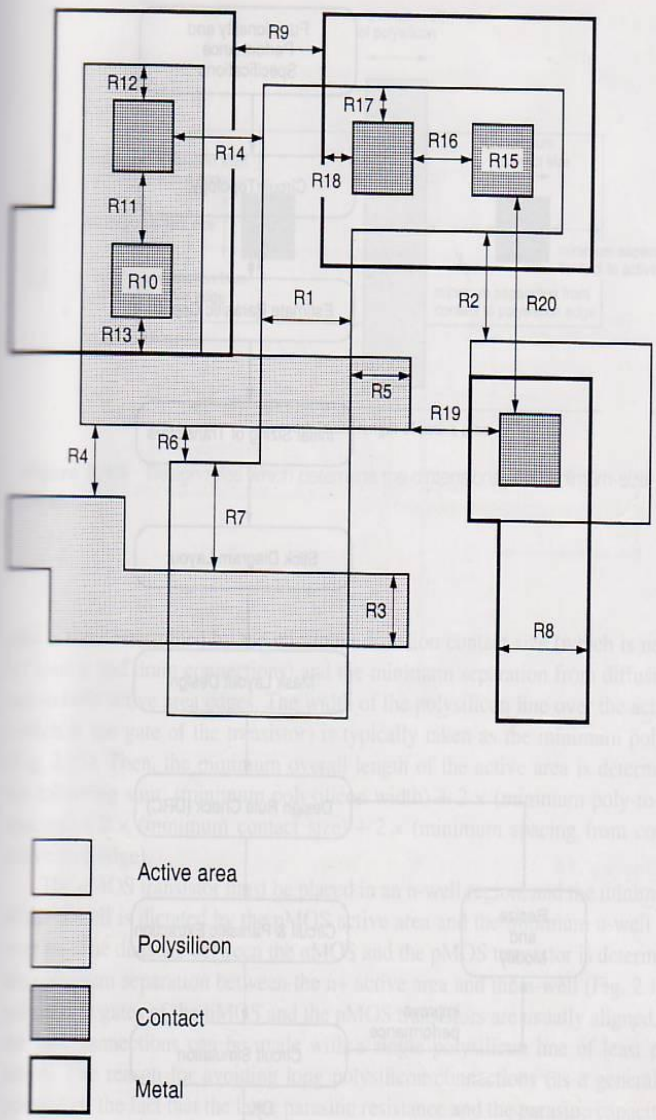


Figure 2.13 (*continued*)