
UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Pertama
Sidang Akademik 2010/2011

November 2010

EEE 241 – ANALOG I

Masa : 3 jam

ARAHAN KEPADA CALON:

Sila pastikan bahawa kertas peperiksaan ini mengandungi DUA BELAS muka surat beserta Lampiran DUA mukasurat bercetak sebelum anda memulakan peperiksaan ini.

Kertas soalan ini mengandungi ENAM soalan

Jawab **LIMA** soalan.

Mulakan jawapan anda untuk setiap soalan pada muka surat yang baru.

Agihan markah bagi soalan diberikan disudut sebelah kanan soalan berkenaan.

Jawab semua soalan di dalam Bahasa Malaysia atau Bahasa Inggeris atau kombinasi kedua-duanya.

“Sekiranya terdapat sebarang percanggahan pada soalan peperiksaan, versi Bahasa Inggeris hendaklah diguna pakai.”

“In the event of any discrepancies, the English version shall be used.”

1. Bagi litar dalam Rajah 1, anggap bahawa parameter transistor ialah $\beta = 100$, $V_{BE(on)} = 0.7 \text{ V}$, $V_T = 26 \text{ mV}$ dan $V_A = 80 \text{ V}$.

For the circuit shown in Figure 1, assume that the transistor parameters are $\beta = 100$, $V_{BE(on)} = 0.7 \text{ V}$, $V_T = 26 \text{ mV}$ and $V_A = 80 \text{ V}$.

- (a) Kira g_m , r_π dan r_o bagi litar dalam Rajah 1.

Calculate g_m , r_π and r_o for the circuit in Figure 1.

(8 markah)

(8 marks)

- (b) Tunjukkan model isyarat kecil bagi litar dalam Rajah 1.

Show the small-signal model for the circuit in Figure 1.

(2 markah)

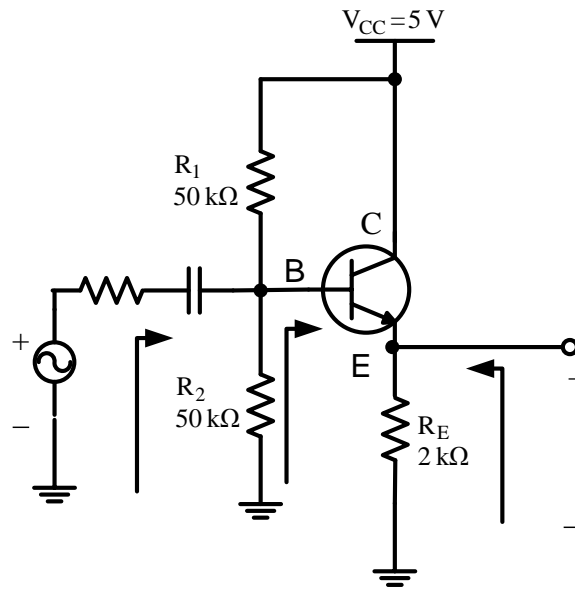
(2 marks)

- (c) Kira R_{ib} , R_i dan gandaan voltan isyarat kecil, $A_v = v_o/v_{sig}$, bagi litar dalam Rajah 1.

Calculate R_{ib} , R_i and the small-signal voltage gain, $A_v = v_o/v_{sig}$, of the circuit in Figure 1.

(10 markah)

(10 marks)



Rajah 1

Figure 1

2. (a) Lukis model isyarat kecil bagi litar dalam Rajah 2.

Draw the small signal model for the circuit in Figure 2

(2 markah)

(2 marks)

- (b) Kira g_m and dan tentukan gandaan voltan isyarat kecil (v_o / v_i) bagi litar penguat yang ditunjukkan dalam Rajah 2. Parameter-parameter transistor ialah $V_{tn} = 0.8$ V, $K_n = 1$ mA/V² dimana $K_n = (\mu_n C_{ox} W)/(2L)$. Abaikan kesan r_o dalam kiraan anda.

Calculate g_m and determine the small-signal voltage gain (v_o / v_i) of the amplifier circuit shown in Figure 2. The transistor parameters are $V_{tn} = 0.8$ V, $K_n = 1$ mA/V² where $K_n = (\mu_n C_{ox} W)/(2L)$. Neglect the effect of r_o in your calculation.

(6 markah)

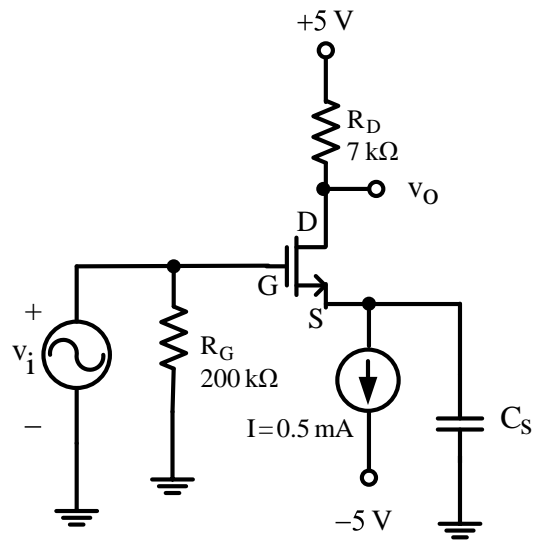
(6 marks)

(c) Apakah jenis konfigurasi penguat bagi litar dalam Rajah 2.

What is the type of amplifier configuration for the circuit in Figure 2?

(2 markah)

(2 marks)



Rajah 2

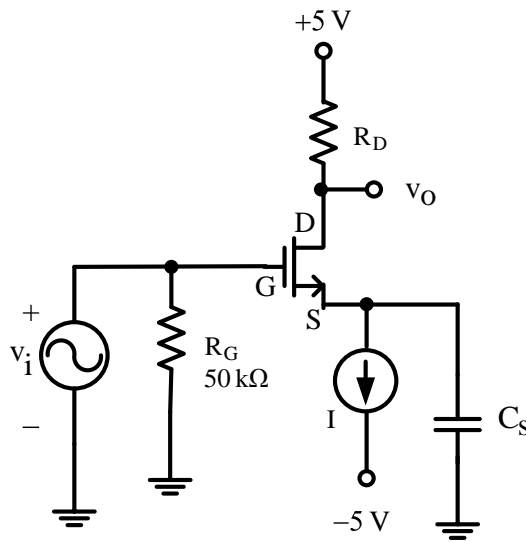
Figure 2

- (d) Litar penguat dalam Rajah 3 mempunyai parameter transistor $V_{tn} = 1.5 \text{ V}$ dan $\mu_n C_{ox}/2 = 20 \mu\text{A/V}^2$. Rekabentuk litar (i.e. kirakan nilai R_D) dan kira V_{GS} supaya arus salir ialah 0.5 mA dan gandaan voltan isyarat kecil ialah $A_v = -4$. Nisbah lebar ke panjang bagi transistor ialah 25. Abaikan kesan r_o .

The amplifier circuit in Figure 3 has transistor parameters $V_{tn} = 1.5 \text{ V}$ and $\mu_n C_{ox}/2 = 20 \mu\text{A/V}^2$. Design the circuit (i.e. determine the value of R_D) and calculate V_{GS} such that the drain current is 0.5 mA and the small signal voltage gain is $A_v = -4$. The width to length ratio of the transistor is 25. Ignore the effect of r_o .

(10 markah)

(10 marks)



Rajah 3

Figure 3

3. (a) Bagi litar dalam Rajah 4, parameter bagi transistor ialah: $V_{tn1} = V_{tn2} = 1.2 \text{ V}$, $K_{n1} = K_{n2} = (\mu_n C_{ox} W)/2L = 0.8 \text{ mA/V}^2$. Kesan r_o adalah diabaikan. Biar $R_1 + R_2 + R_3 = 300 \text{ k}\Omega$ dan $R_S = 10 \text{ k}\Omega$. Rekabentuk litar (i.e. tentukan R_1 , R_2 , R_3 dan R_D) supaya $I_{DQ} = 0.4 \text{ mA}$ dan $V_{DSQ1} = V_{DSQ2} = 2.5 \text{ V}$.

For the circuit shown in Figure 4, the transistor parameters are: $V_{tn1} = V_{tn2} = 1.2 \text{ V}$, $K_{n1} = K_{n2} = (\mu_n C_{ox} W)/2L = 0.8 \text{ mA/V}^2$. The effect of r_o is neglected. Let $R_1 + R_2 + R_3 = 300 \text{ k}\Omega$ and $R_S = 10 \text{ k}\Omega$. Design the circuit (i.e. determine R_1 , R_2 , R_3 and R_D) so that $I_{DQ} = 0.4 \text{ mA}$ and $V_{DSQ1} = V_{DSQ2} = 2.5 \text{ V}$.

(12 markah)

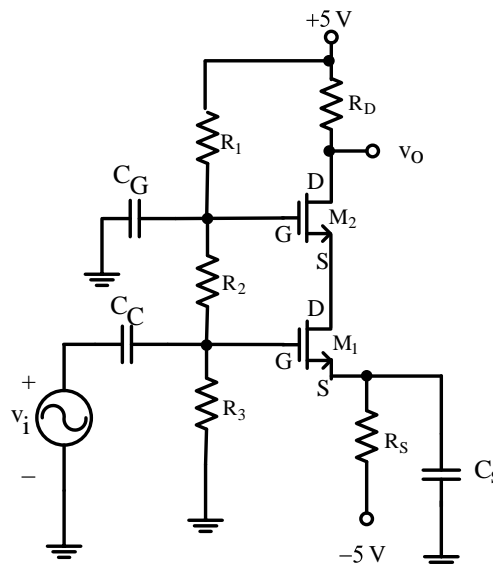
(12 marks)

- (b) Lukis model isyarat kecil dan kirakan gandaan voltan isyarat kecil.

Draw the small-signal model and calculate the small-signal voltage gain.

(8 markah)

(8 marks)



Rajah 4

Figure 4

4. Litar di Rajah 5 menunjukkan sebuah penguat punca sepunya jenis lata di mana bebanan kedua-duanya adalah $10\text{ k}\Omega$. Litar ini digunakan untuk membina sebuah punca arus jenis arus terkawal (CCCS) yang baik. Dengan itu $10\text{ k}\Omega$ disertakan sebagai rintang suap balik. R_{ds} dan g_m untuk kedua-dua transistor ialah $40\text{ k}\Omega$ dan 2 mS .

Circuit in Figure 5 shows a cascade common source both with loads of $10\text{ k}\Omega$. This circuit is aimed to build a good control current source (CCCS). Therefore, $10\text{ k}\Omega$ is inserted as feedback resistor. R_{ds} and g_m for both transistor is $40\text{ k}\Omega$ and 2 mS .

(a) Kira nilai $\left. \frac{i_{in}}{v_{in}} \right|_{i_{out}=0}$.

Calculate $\left. \frac{i_{in}}{v_{in}} \right|_{i_{out}=0}$.

(10 markah)

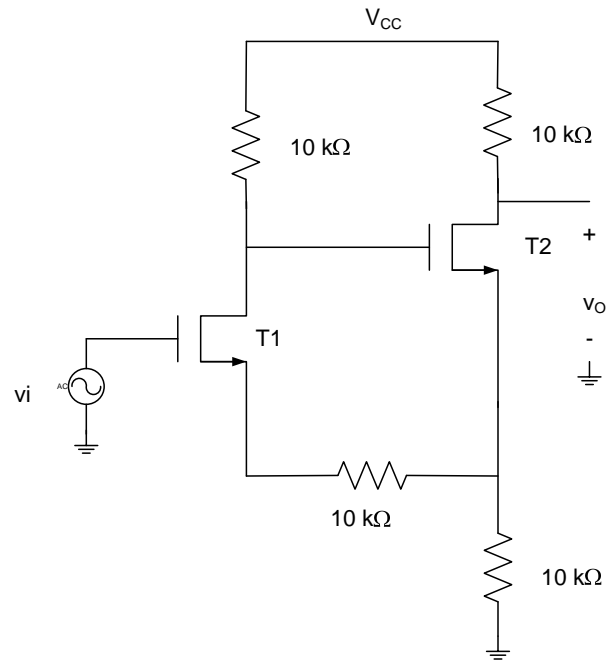
(10 marks)

(b) Kira nilai $\left. \frac{v_{out}}{v_{in}} \right|_{i_{out}=0}$.

Calculate $\left. \frac{v_{out}}{v_{in}} \right|_{i_{out}=0}$.

(10 markah)

(10 marks)



Rajah 5

Figure 5

5. OTA seperti Rajah 6(a) telah direkabentuk. Terbitkan

Simple OTA as in Figure 6(a) is designed. Derive

(a) gandaan masukan sepunya OTA,

input common mode gain of the OTA,

(5 markah)

(5 marks)

(b) perbezaan gandaan apabila $v_{in,cm}$ sama dengan kosong dan offset voltan bersamaan dengan 50 mV seperti dirujuk pada Rajah 6(b),

differential gain with $v_{in,cm}$ equals to zero and an offset voltage equals to 50 mV. Refer to Figure 6(b),

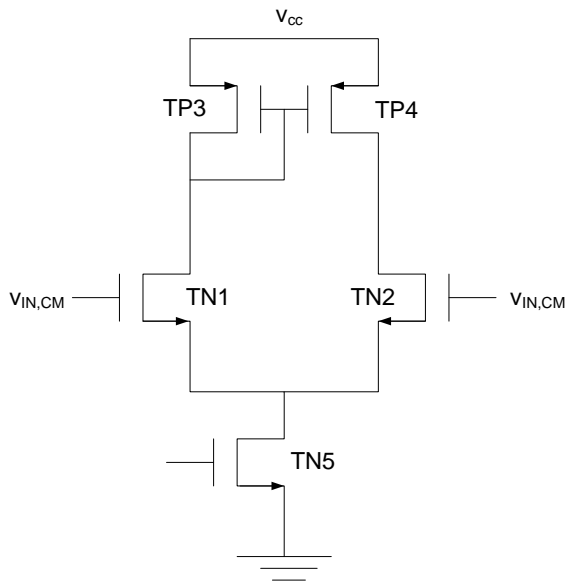
(5 markah)

(5 marks)

(c) nisbah penolakan mod-sepunya (CMRR),
common-mode rejection ratio (CMRR),

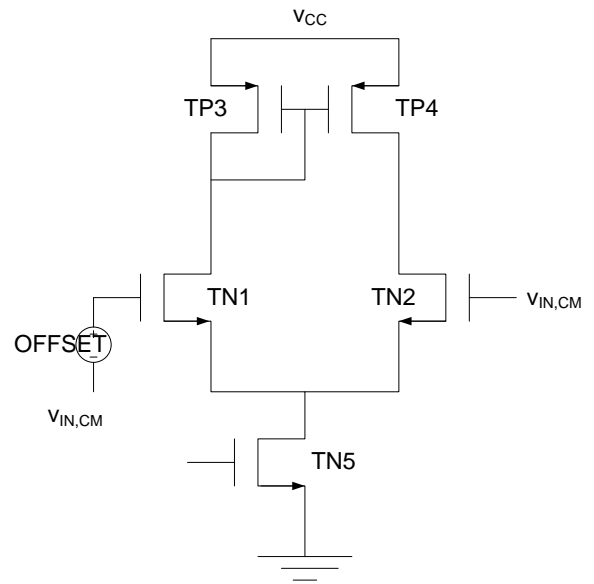
(10 markah)

(10 marks)



Rajah 6(a)

Figure 6(a)



Rajah 6(b)

Figure 6(b)

6. Rajah 7 menunjukkan rajah mengandungi opam ideal , sumber arus , sumber voltan dan perintang.

Figure 7 shows schematic diagram consists of ideal opam , current source , voltage source and resistors.

(a) Namakan konfigurasi ini.

Identified given configuration.

(5 markah)

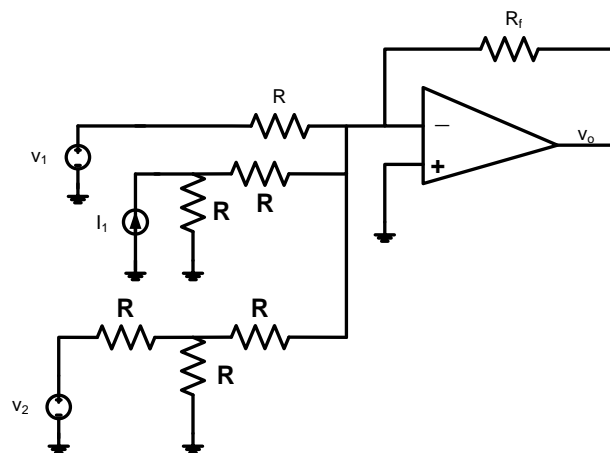
(5 marks)

(b) Dapatkan persamaan v_o .

Derived expression of v_o .

(15 markah)

(15 marks)



Rajah 7

Figure 7

ooooOoooo

LAMPIRAN

APPENDIX