
UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Pertama
Sidang Akademik 2009/2010

November 2009

EEE 105 – TEORI LITAR I

Masa : 3 Jam

Sila pastikan bahawa kertas peperiksaan ini mengandungi **SEBELAS** muka surat bercetak sebelum anda memulakan peperiksaan ini.

Kertas soalan ini mengandungi **ENAM** soalan.

Jawab **LIMA** soalan.

Mulakan jawapan anda untuk setiap soalan pada muka surat yang baru.

Agihan markah bagi setiap soalan diberikan di sudut sebelah kanan soalan berkenaan.

Jawab semua soalan dalam Bahasa Malaysia atau Bahasa Inggeris atau kombinasi kedua-duanya.

[Sekiranya terdapat sebarang percanggahan pada soalan peperiksaan, versi Bahasa Inggeris hendaklah diguna pakai].

1. (a) Rajah 1(a) menunjukkan arus melalui dan voltan merentasi satu peranti.

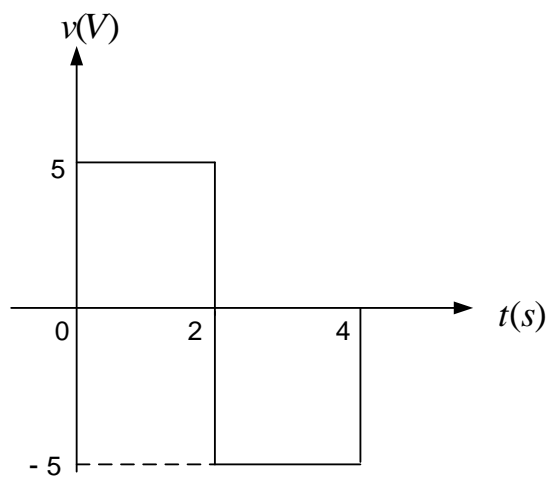
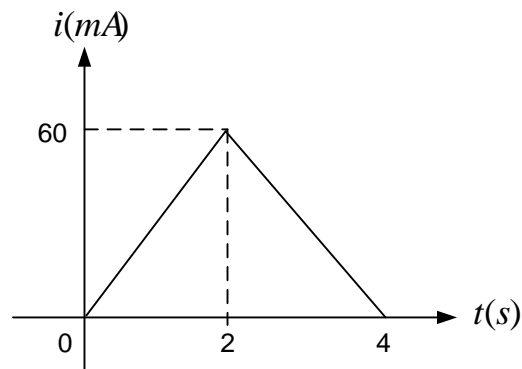
Figure 1(a) shows the current through and the voltage across a device.

(i) Lakarkan kuasa yang dihantar ke peranti tersebut untuk $t > 0$.

Sketch the power delivered to the device for $t > 0$.

(ii) Dapatkan jumlah tenaga yang diserap oleh peranti tersebut untuk julat masa $0 < t < 4s$.

Find the total energy absorbed by the device for the period of $0 < t < 4s$.

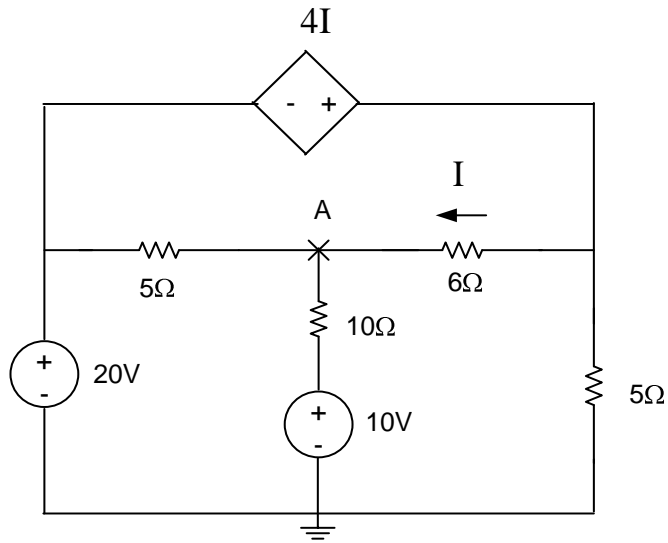


Rajah 1(a)
Figure 1(a)

(40%)
...3/-

- (b) Berdasarkan Rajah 1(b), dapatkan nilai voltan yang dibekalkan oleh sumber voltan bersandar dan voltan pada nod A dengan hanya menggunakan kaedah KCL dan KVL.

Based on Figure 1(b), determine the voltage supplied by dependent voltage source and voltage at node A by only using KCL and KVL method.

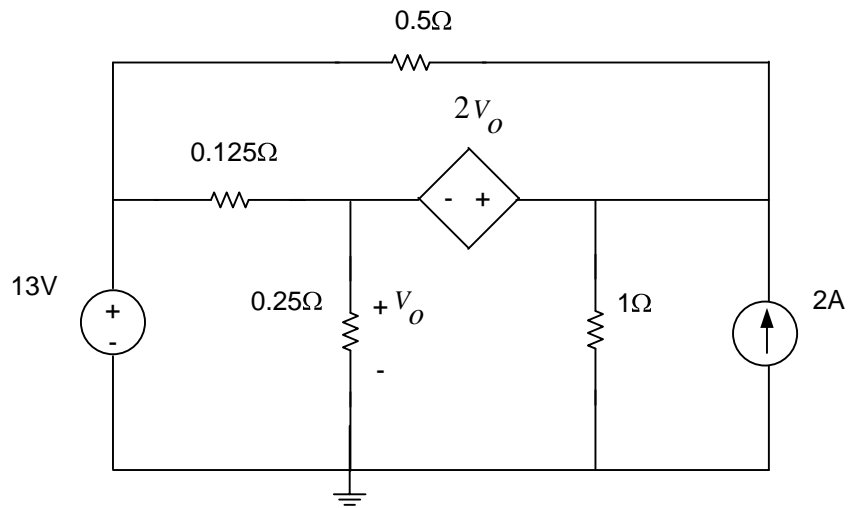


Rajah 1(b)
Figure 1(b)

(60%)

2. (a) Dapatkan voltan pada setiap nod di dalam litar yang ditunjukkan dalam Rajah 2(a) menggunakan analisis nod.

Determine voltage at each node in the circuit as shown in Figure 2(a) using nodal analysis.

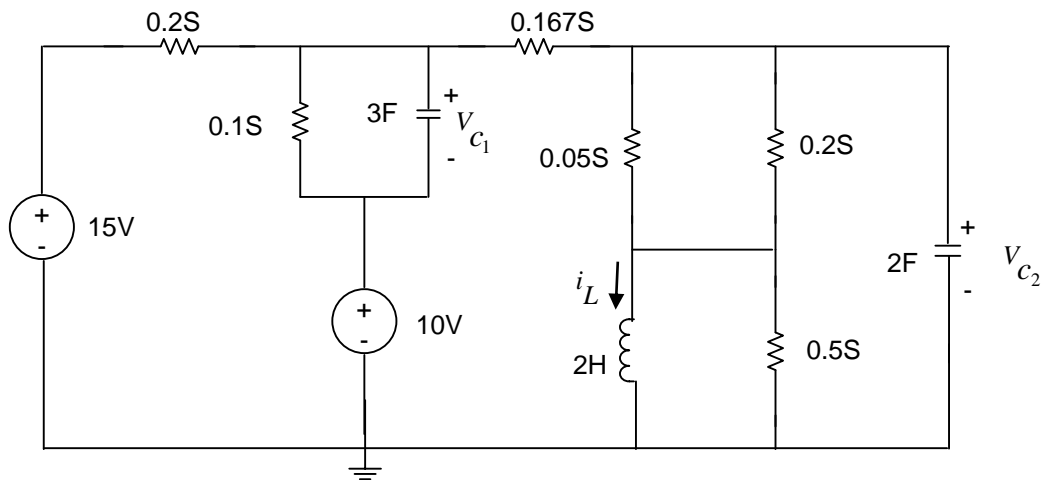


Rajah 2(a)
Figure 2(a)

(50%)

- (b) Dengan menggunakan analisa jejaring, dapatkan i_L, V_{c_1}, V_{c_2} dan tenaga yang disimpan di dalam kedua-dua kapasitor dan induktor di dalam litar pada Rajah 2(b) dalam keadaan dc.

By using mesh analysis, determine i_L, V_{c_1}, V_{c_2} and the energy stored in the capacitor and inductor in the circuit of Figure 2(b) under dc condition.



Rajah 2(b)
Figure 2(b)

(50%)

3. Berdasarkan Rajah 3

Based on Figure 3

(i) Dapat dan lakarkan litar setara Thevenin pada terminal a-b.

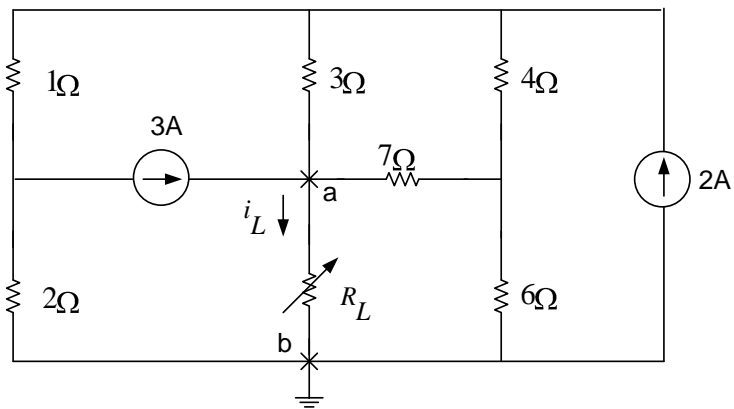
Find and sketch the Thevenin equivalent circuit at terminal a-b.

(ii) Jika $R_L = 5\Omega$, dapatkan nilai i_L .

If $R_L = 5\Omega$, determine the value of i_L .

(iii) Jika kuasa yang dihantar ke beban adalah 9W, dapatkan nilai-nilai yang mungkin untuk R_L .

If the power delivered to the load is 9W, find the possible values of R_L .

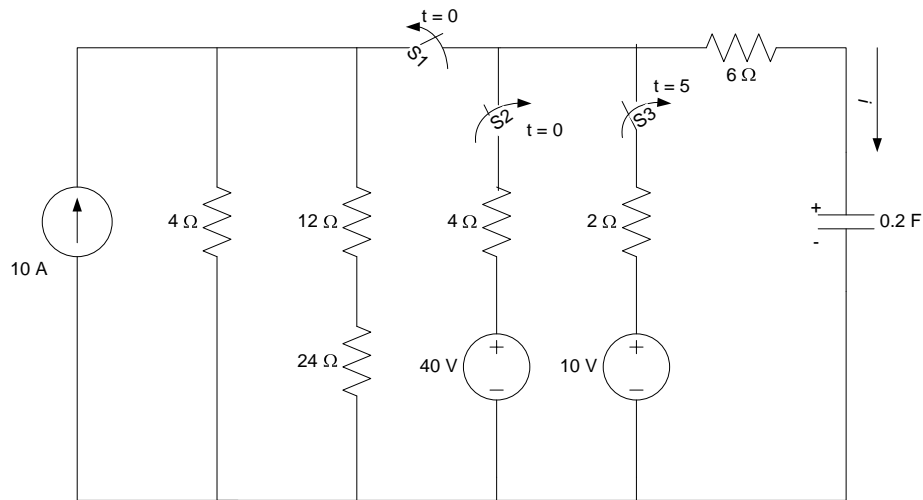


Rajah 3
Figure 3

(100%)

4. (a) Berdasarkan kepada Rajah 4(a), pada masa $t < 0$, suis S1 ditutup dan suis-suis S2 dan S3 dibuka. Pada masa $t = 0$, suis S1 dibuka dan suis S2 ditutup. Suis S3 hanya ditutup selepas 5s. Kirakan arus i untuk $t = 1s$ dan $6s$.

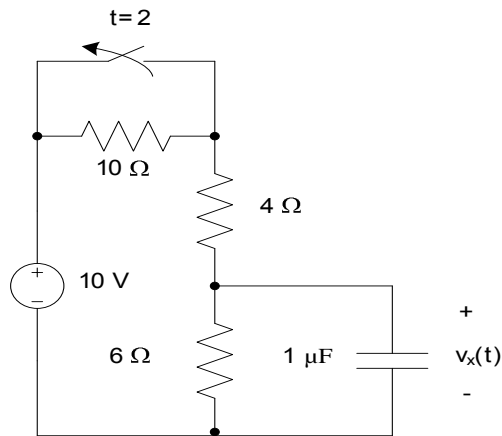
Based on Figure 4(a), when $t < 0$, switch S1 is closed and switches S2 and S3 are opened. At $t = 0$, switch S1 is opened and switch S2 is closed. Switch S3 is only closed after 5s. Find current i for $t = 1s$ and $6s$.



Rajah 4(a)
Figure 4(a)

(60%)

- (b) Rujuk pada Rajah 4(b) untuk menjawab soalan-soalan berikut.
Refer to Figure 4(b) to answer the following questions.

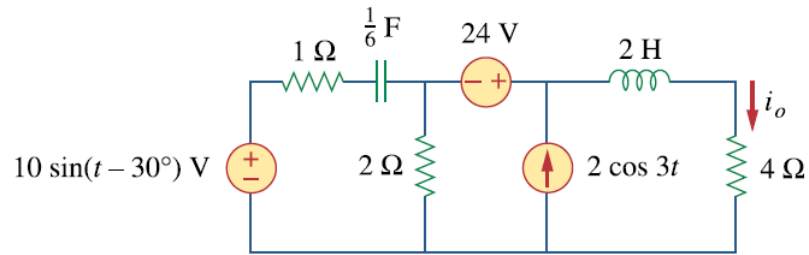


Rajah 4(b)
Figure 4(b)

- (i) Tentukan $v_x(t)$ sekiranya suis S1 dibuka pada $t = 2$.
Determine $v_x(t)$ if switch S1 opens at $t = 2$. (20%)
- (ii) Apakah masa pemalar bagi litar ini?
What is the time constant for this circuit? (10%)
- (iii) Apakah sambutan berkenaan yang ditentukan pada (i)?
What is the corresponding response determined in (i)? (10%)

5. (a) Tentukan i_o pada litar di dalam Rajah 5(a) dengan menggunakan kaedah prinsip tindihan.

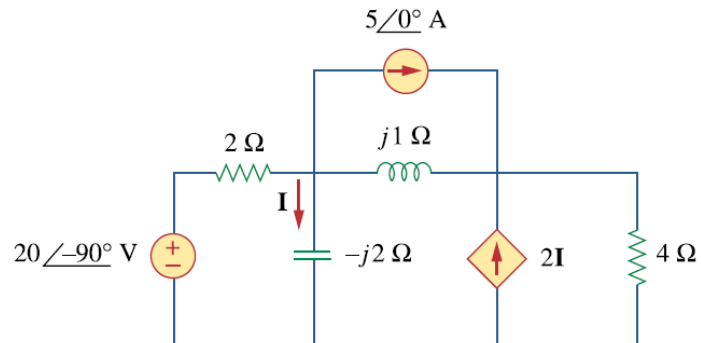
Determine i_o in the circuit of Figure 5(a) using the superposition principle. (30%)



Rajah 5(a)
Figure 5(a)

- (b) Selesaikan untuk arus I pada litar di dalam Rajah 5(b) dengan menggunakan analisis nod.

Solve for the current I in the circuit of Figure 5(b) using nodal analysis. (30%)

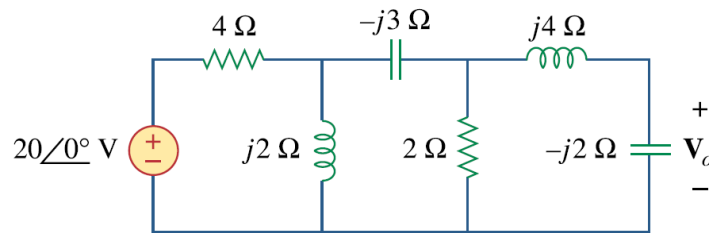


Rajah 5(b)
Figure 5(b)

- (c) Carikan V_o pada litar di dalam Rajah 5(c) dengan menggunakan tranformasi punca.

Find V_o in the circuit of Figure 5(c) using source transformation.

(40%)

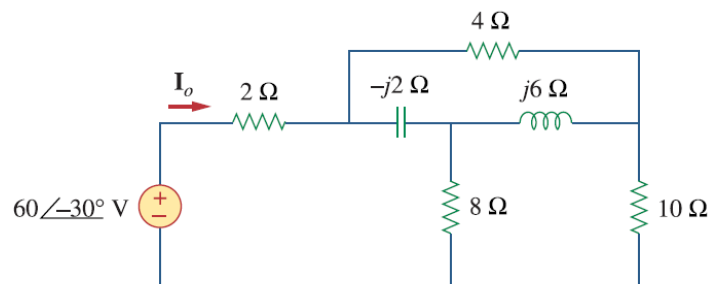


Rajah 5(c)
Figure 5(c)

6. (a) Kirakan arus I_o dalam litar di Rajah 6(a).

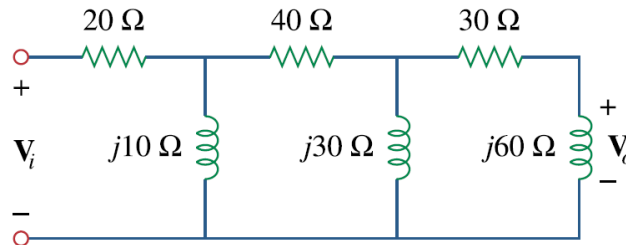
Find current I_o in the circuit of Figure 6(a).

(50%)



Rajah 6(a)
Figure 6(a)

- (b) (i) Kirakan anjakan fasa bagi litar di dalam Rajah 6(b).
Calculate the phase shift of the circuit in Figure 6(b). (20%)
- (ii) Nyatakan sama ada anjakan fasa ini mendahului atau mengekori (keluaran pada masukan).
State whether the phase shift is leading or lagging (output with respect to input). (20%)
- (iii) Tentukan magnitud keluaran apabila masukan adalah 120V.
Determine the magnitude of the output when the input is 120 V. (10%)



Rajah 6(b)
Figure 6(b)

ooooOoooo