
UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Kedua
Sidang Akademik 2009/2010

April 2010

EEE 230 – ELEKTRONIK DIGIT II

Masa : 3 Jam

Sila pastikan bahawa kertas peperiksaan ini mengandungi TUJUHBELAS muka surat beserta Lampiran TIGA muka surat bercetak sebelum anda memulakan peperiksaan ini.

Kertas soalan ini mengandungi ENAM soalan.

Jawab **LIMA** soalan.

Mulakan jawapan anda untuk setiap soalan pada muka surat yang baru.

Agihan markah bagi setiap soalan diberikan di sudut sebelah kanan soalan berkenaan.

Jawab semua soalan dalam Bahasa Malaysia atau Bahasa Inggeris atau kombinasi kedua-duanya.

[Sekiranya terdapat sebarang percanggahan pada soalan peperiksaan, versi Bahasa Inggeris hendaklah diguna pakai].

1. Kurangkan peta-k 5-bit di dalam Rajah 1 kepada peta-k 4-bit dengan pembolehubah E sebagai 'entered-variable'. Kemudian dapatkan persamaan SOP termudah berdasarkan peta-k 4-bit tersebut menggunakan kaedah EVM.

Reduce 5-bit k-map as shown in Figure 1 to 4-bit k-map with variable E as entered variable. Then, find the minimum SOP expression based on the 4-bit k-map using EVM method.

(100%)

CDE								
AB	000	001	011	010	110	111	101	100
00	1	X	0	0	1	X	1	0
01	X	1	0	0	X	0	0	0
11	X	1	0	X	0	1	X	0
10	0	0	X	0	0	0	X	1

Rajah 1
Figure 1

2. (a) Bina satu pemultipleks 32:1 menggunakan beberapa pemultipleks 4:1 dan satu pemultipleks 2:1. Pastikan semua sambungan, litar blok dan label pin pada blok dilabelkan dengan lengkap.

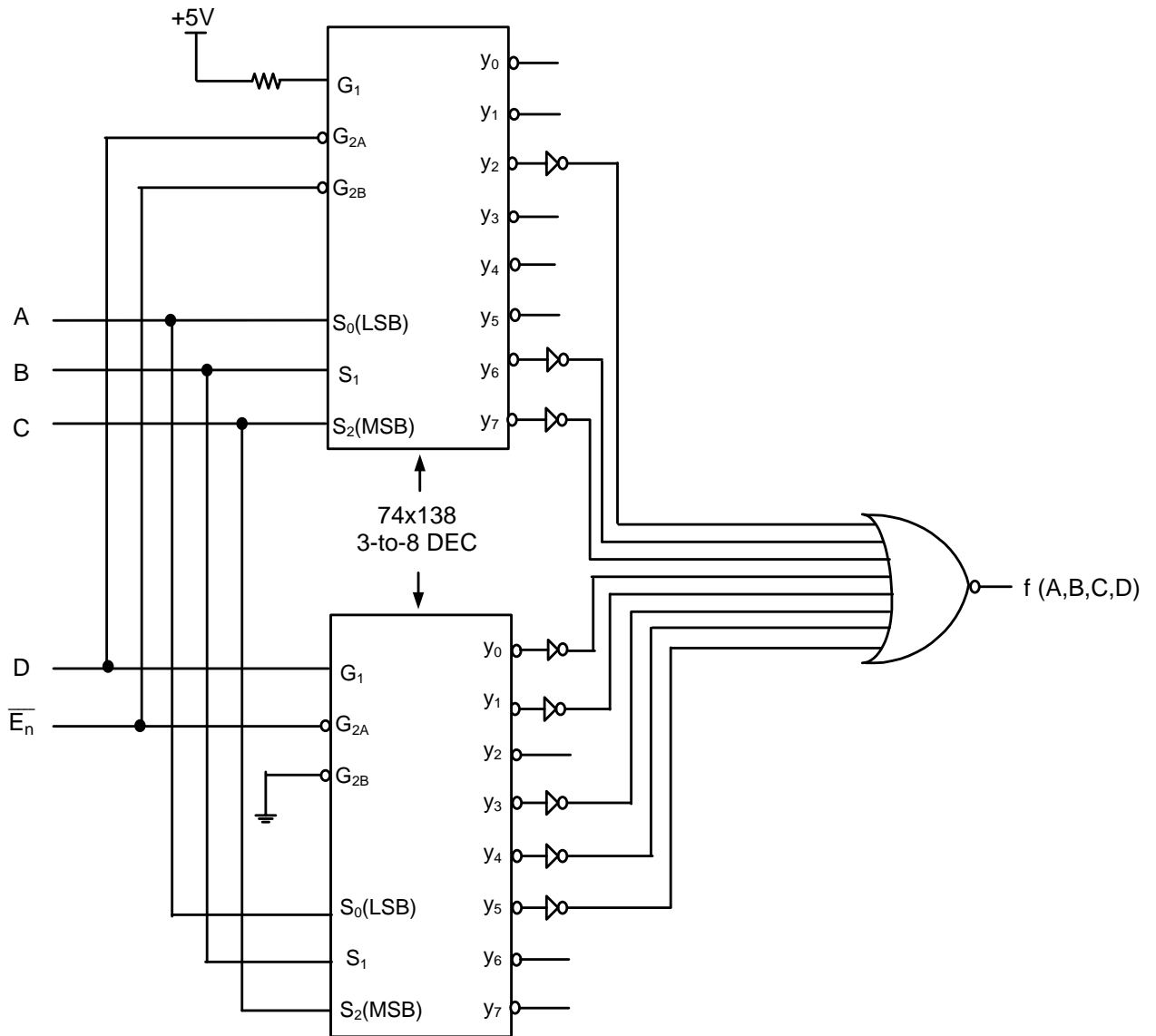
Construct one 32:1 multiplexer using several 4:1 multiplexers and one 2:1 multiplexer. Make sure all connections, block circuit and pin label on block used are completely labelled.

(40%)

- (b) Satu fungsi $f(A,B,C,D)$ diwakili oleh pengkod 4-kepada-16 seperti yang ditunjukkan di dalam Rajah 2. Berdasarkan Rajah 2, dapatkan persamaan Boolean minimum $f(A,B,C,D)$.

One function $f(A,B,C,D)$ is represented by 4-to-16 decoder as shown in Figure 2. Based on Figure 2, find minimum Boolean expression for $f(A,B,C,D)$.

(60%)



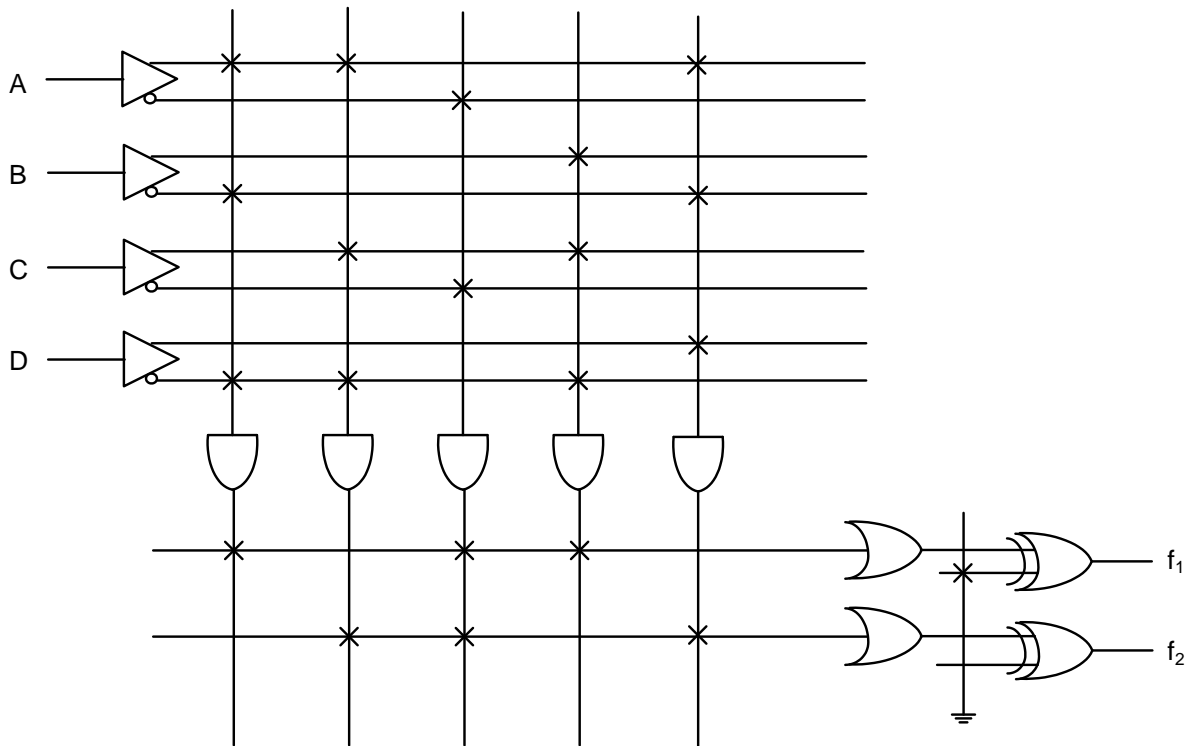
Rajah 2
Figure 2

...4/-

3. (a) Rajah 3(a) menunjukkan satu sistem digital dengan dua fungsi $f_1(A,B,C,D)$ dan $f_2(A,B,C,D)$, dibina menggunakan 4x5x2 PLA dengan get XOR. Jika sistem tersebut menggunakan logik negatif, lengkapkan jadual kebenaran aras voltan pada Lampiran A. Guna simbol H untuk voltan tinggi dan simbol L untuk voltan rendah. Hantar Lampiran A bersama buku jawapan.

Figure 3(a) shows a digital system with two functions $f_1(A,B,C,D)$ and $f_2(A,B,C,D)$, built using 4x5x2 PLA with XOR gate. If the system uses negative logic, complete the voltage level truth table in Appendix A. Use H for high voltage and L for low voltage. Attach Appendix A with your answer script.

(50%)

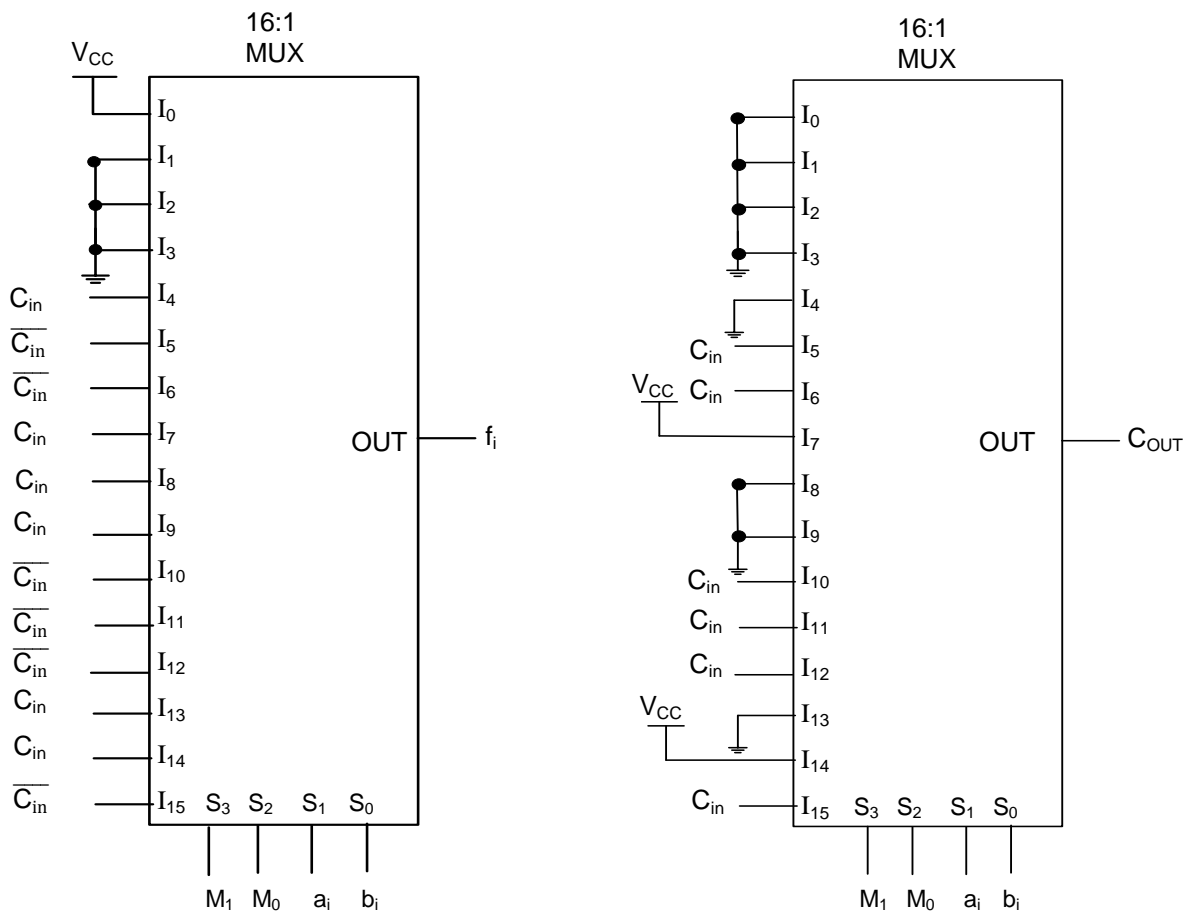


Rajah 3(a)
Figure 3(a)

- (b) Rajah 3(b) menunjukkan satu litar ALU menggunakan pemultipleks 16:1. Lengkapkan jadual-jadual kebenaran dan litar ALU seperti yang ditunjukkan pada Lampiran B. Hantar Lampiran B bersama-sama buku jawapan.

Figure 3(b) shows an ALU circuit using 16:1 multiplexer. Complete the truth tables and the function of that ALU circuit as shown in Appendix B. Attach Appendix B with your answer script.

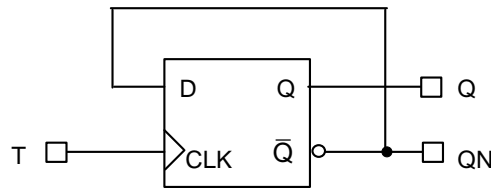
(50%)



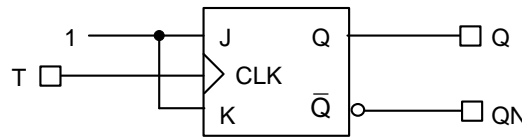
Rajah 3(b)
Figure 3(b)

- 4. Satu flip-flop T bertukar keadaan pada setiap detik jam. Rajah 4(a) dan Rajah 4(b) menunjukkan kemungkinan rekabentuk litar untuk flip-flop T menggunakan satu flip-flop D dan J-K masing-masing.

A T (toggle) flip-flop changes state on every tick of the clock. Figure 4(a) and Figure 4(b) show the possible circuit designs for a T flip-flop using a D flip-flop and a J-K flip-flop, respectively.



Rajah 4(a)
Figure 4(a)



Rajah 4(b)
Figure 4(b)

- (a) Tunjukkan bagaimana untuk membina satu flip-flop T dengan pemboleh menggunakan satu flip-flop D dan logik gabungan.

Show how to build a T flip-flop with enable using a D flip-flop and combinational logic.

(20%)

- (b) Tunjukkan bagaimana untuk membina satu flip-flop J-K menggunakan satu flip-flop T dengan pemboleh dan logik gabungan.

Show how to build a JK flip-flop using a T flip-flop with enable and combinational logic.

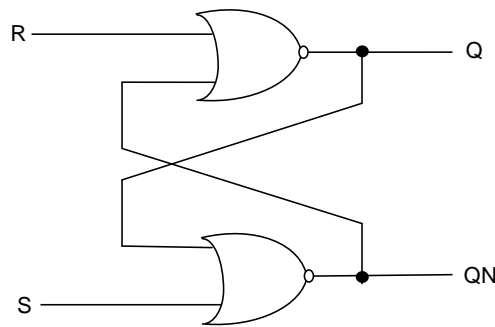
(20%)

...7/-

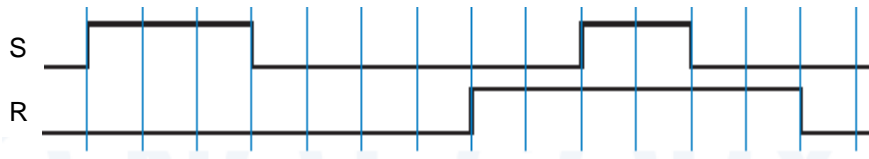
- (c) Lukiskan keluaran satu selak SR bagi jenis yang ditunjukkan dalam Rajah 4(c) untuk gelombang masukan yang ditunjukkan dalam Rajah 4(d). Anggapkan masa turun dan naik masukan dan keluaran adalah kosong, lengah rambatan bagi get NOR adalah 10ns, dan setiap pembahagian masa di bawah adalah 10ns.

Draw the outputs of an SR latch of the type shown in Figure 4(c) for the input waveforms shown in Figure 4(d). Assume, input and output rise and fall times are zero, the propagation delay of a NOR gate is 10ns, and each time division below is 10ns.

(30%)



Rajah 4(c)
Figure 4(c)



Rajah 4(d)
Figure 4(d)

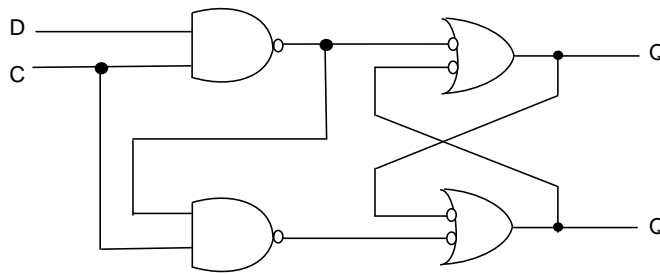
- (d) Bandingkan litar dalam Rajah 4(e) dengan selak D dalam Rajah 4(f).
Compare the circuit in Figure 4(e) with the D latch in Figure 4(f).
 - (i) Buktikan fungsi litar-litar adalah serbasama.
Prove that the circuits function identically.

(20%)
...8/-

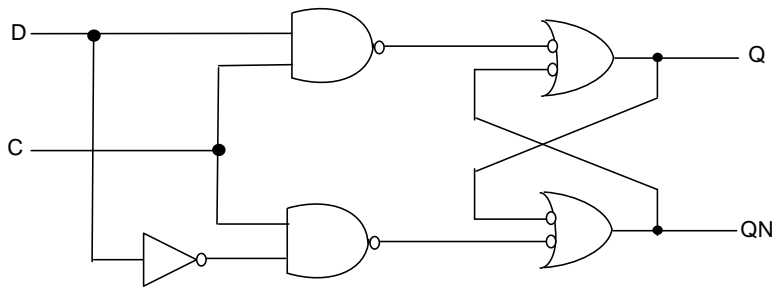
- (ii) Dalam cara apa yang Rajah 4(e), yang mana digunakan dalam beberapa selak D komersil, lebih baik?

In what way is Figure 4(e), which is used in some commercial D latches, better?

(10%)



Rajah 4(e)
Figure 4(e)



Rajah 4(f)
Figure 4(f)

5. (a) Satu pembilang gelang adalah satu daftar anjakan sebagaimana dalam Rajah 5 dengan keluaran sesiri disambungkan kepada masukan sesiri.

A ring counter is a shift register as in Figure 5 with the serial output connected to the serial input.

- (i) Bermula daripada satu keadaan awal 1000, senaraikan jujukan keadaan bagi empat flip-flop selepas setiap anjakan.

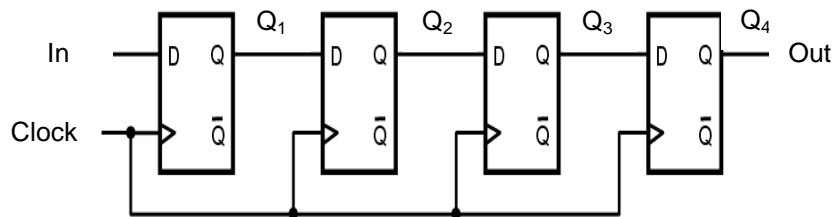
Starting from an initial state of 1000, list the sequence of states of the four flip-flop after each shift.

(15%)

- (ii) Dimulai dalam keadaan 10 ... 0, berapa banyak keadaan yang ada di urutan hitungan n-bit pembilang gelang?

Beginning in state 10 ... 0, how many states are there in the count sequence of an n-bit ring counter?

(10%)



Rajah 5
Figure 5

- (b) Jadual keadaan bagi satu Pembilang Naik 3-bit perduaan disenaraikan dalam lajur keadaan sekarang dan keadaan berikutnya sebagaimana dalam Jadual 1.

The state table of a 3-bit binary Up Counter is listed in the present-state and next state columns as in Table 1.

Present State			Next State		
C	B	A	C+	B+	A+
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

Jadual 1
Table 1

- (i) Tunjukkan rajah peralihan keadaan untuk Jadual 1.

Show the state transition diagram for Table 1.

(20%)

- (ii) Mempertimbangkan flip-flop T untuk pelaksanaan, tunjukkan jadual keadaan baru untuk masukan-masukan kepada flip-flop ini bagi mendapatkan bit keadaan yang diinginkan. (Anda boleh menggunakan pernyataan peta-K untuk mencari jadual keadaan baru untuk masukan-masukan flip-flop)

Considering the T flip-flop for the implementation, show the new state table of the inputs to this flip-flop in order to get the desired state bit. (You can use K-maps representation to find the new state table of the flip-flop inputs).

(30%)

- (iii) Lukiskan gambarajah logik untuk keputusan ii.

Draw the logic diagram for the result of ii.

(25%)

...11/-

6. Anda mempunyai satu robot siput dengan satu otak mesin keadaan terhingga. Siput merangkak daripada kiri ke kanan sepanjang satu kertas pita mengandungi satu jujukan 1 dan 0. Bagi setiap kitaran jam, siput merangkak kepada bit yang berikutnya. Siput akan senyum apabila empat bit terakhir yang dirangkaknya, daripada kiri ke kanan, adalah 1101. Masukan A adalah bit di bawah sesengut siput. Keluaran Y adalah BETUL apabila siput senyum. Katakan siput merangkak sepanjang jujukan 111011010.

You have a robotic snail with a Finite State Machine (FSM) brain. The snail crawls from left to right along a paper tape containing a sequence of 1's and 0's. On each clock cycle, the snail crawls to the next bit. The snail smiles when the last four bits that it has crawled over are, from left to right, 1101. The input A is the bit underneath the snail's antennae. The output Y is TRUE when the snail smiles. Let say that the snail crawls along the sequence 111011010.

- (a) Rekabentuk keadaan peralihan mesin keadaan terhingga bagi mesin Moore dan Mealy untuk mengira bila siput seharusnya senyum.

Design the FSM state transition of Moore and Mealy machine to compute when the snail should smile.

(20%)

- (b) Jadual 2.1 dan Jadual 2.2 menunjukkan keadaan peralihan dan jadual keluaran untuk mesin Moore masing-masing manakala Jadual 2.3 menunjukkan keadaan peralihan dan jadual keluaran untuk mesin Mealy.

Table 2.1 and Table 2.2 show the state transition and output tables for the Moore machine respectively whereas Table 2.3 shows the state transition and output table for Mealy machine.

Current State S	Input A A	Next State S'
S0	0	S0
S0	1	S1
S1	0	S0
S1	1	S2
S2	0	S3
S2	1	S2
S3	0	S0
S3	1	S4
S4	0	S0
S4	1	S2

Table 2.1 Moore state transition table

Current State S	Output Y
S0	0
S1	0
S2	0
S3	0
S4	1

Table 2.2 Moore output table

Current State S	Input A A	Next State S'	Output Y
S0	0	S0	0
S0	1	S1	0
S1	0	S0	0
S1	1	S2	0
S2	0	S3	0
S2	1	S2	0
S3	0	S0	0
S3	1	S1	1

Table 2.3 Mealy state transition and output table

- (i) Mesin Moore memerlukan sekurang-kurangnya tiga bit keadaan. Menggunakan satu pengkodan keadaan perduaan: S0 = 000, S1=001, S2=010, S3=011 dan S4 = 100. Lukis kembali peralihan keadaan dan jadual keluaran untuk mesin Moore dengan pengkodan ini.

The Moore machine requires at least three bits of state. Using a binary state encoding: S0 = 000, S1 = 001, S2 = 010, S3 = 011, and S4 = 100. Rewrite the state transition and output table of Moore machine with these encodings.

(15%)

- (ii) Mesin Mealy memerlukan sekurang-kurangnya dua bit keadaan. Menggunakan satu pengkodan keadaan perduaan: S0 = 00, S1=01, S2=01,dan S3=11. Lukis kembali peralihan keadaan dan jadual keluaran untuk mesin Mealy dengan pengkodan ini.

The Mealy machine requires at least two bits of state. Using a binary state encoding: S0 = 00, S1 = 01, S2 = 10, and S3 = 11. Rewrite the state transition and output table of Mealy machine with these encodings.

(15%)

...14/-

- (c) Daripada jadual baru yang anda dapat dalam b(i) dan b(ii) (peralihan keadaan dan jadual keluaran mesin Moore dan Mealy yang baru selepas mempertimbangkan pengkodan keadaan), carikan persamaan-persamaan keadaan berikutnya dan keluaran.

From new tables that you have in b(i) and b(ii) (new Moore and Mealy machines state transition and output table after considering the state encoding), find the next state and output equations.

(30%)

- (d) Menggunakan persamaan keadaan berikutnya dan keluaran daripada c, lakarkan skematik mesin Moore dan Mealy.

Using the next state and output equation from c, sketch the Moore and Mealy machine schematics.

(20%)

ooooOoooo

Nota : Guna simbol **H** untuk voltan tinggi dan **L** untuk voltan rendah

*Note : Use symbol **H** for high voltage and **L** for low voltage*

Masukan <i>Input</i>				Keluaran <i>Output</i>	
A	B	C	D	f_1	f_2

$M_1 = 0, M_0 = 0$

a_i	b_i	c_{in}	f_i	C_{out}
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

$M_1 = 0, M_0 = 1$

a_i	b_i	c_{in}	f_i	C_{out}
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

$$M_1 = 1, M_0 = 0$$

a_i	b_i	c_{in}	f_i	C_{out}
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

$$M_1 = 1, M_0 = 1$$

a_i	b_i	c_{in}	f_i	C_{out}
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

Fungsi ALU/ALU Function

M_1	M_0	Fungsi Function
0	0	
0	1	
1	0	
1	1	