

UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Pertama
Sidang Akademik 1997/98

September 1997

EEE 425 - Rekabentuk Litar Analog Bersepadu

Masa : [3 jam]

ARAHAN KEPADA CALON :

Sila pastikan bahawa kertas peperiksaan ini mengandungi **TUJUH (7)** muka surat bercetak dan **ENAM (6)** soalan sebelum anda memulakan peperiksaan ini.

Jawab **LIMA (5)** soalan.

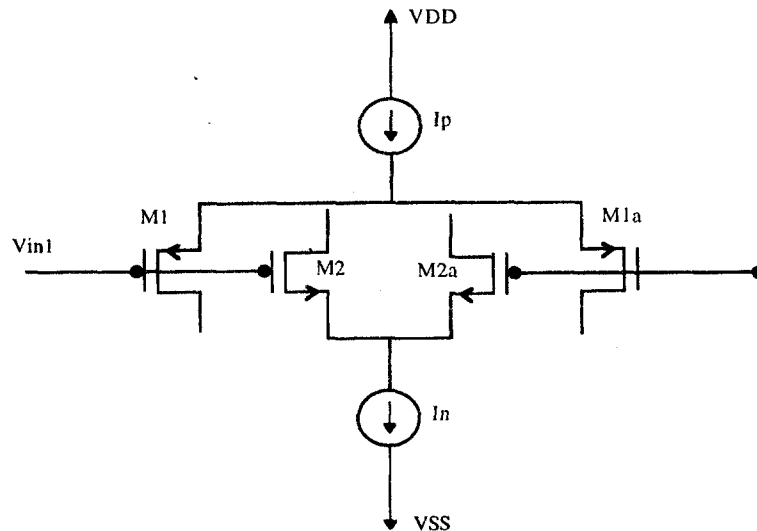
Agihan markah bagi soalan diberikan di sut sebelah kanan soalan berkenaan.

Semua soalan hendaklah dijawab di dalam Bahasa Malaysia. Jika pelajar memilih menjawab dalam Bahasa Inggeris sekurang-kurangnya satu soalan mesti dijawab di dalam Bahasa Malaysia.

...2/-

1. Gambar rajah di bawah menunjukkan peringkat masukan penguat kendalian CMOS Rel ke Rel bagi penggunaan voltan rendah.

Below is a Rail-to Rail CMOS op-amp input stage for low voltage application.



Jumlah transkealiran masukan diberikan oleh,

The total input transconductance is given by,

$$g_{mT} = g_{mn} + g_{mp}$$

$$= \sqrt{2K_n I_n} + \sqrt{2K_p I_p}$$

di mana, K_n dan K_p adalah parameter-parameter transkealiran bagi peranti-peranti saluran n dan p. Peranti-peranti tersebut beroperasi dalam penyongsangan kuat.

where, k_n and k_p are the transconductance parameters of n- and p- channel devices. The devices are operating in strong inversion.

Reka dua litar pincang bagi membekalkan I_p dan I_n supaya g_{mT} dapat ditetapkan.

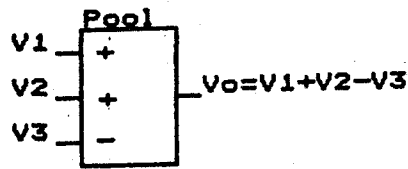
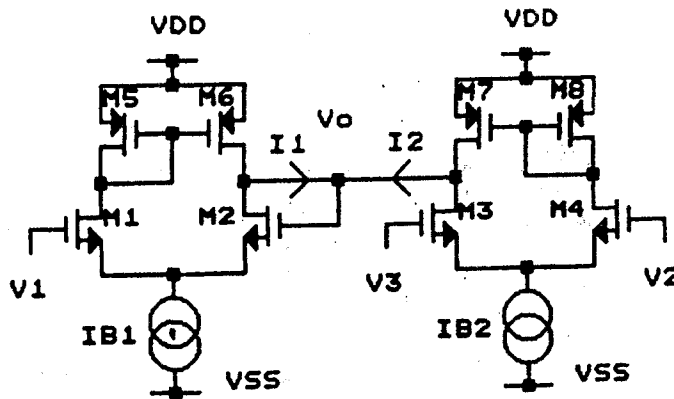
Design two possible bias circuits for providing I_p and I_n such that g_{mT} is always constant.

(20%)

...3/-

2. Gambar rajah di bawah menunjukkan satu litar kolam di mana arus-arus mengalir masuk dan keluar adalah dalam keadaan keseimbangan di nod keluaran.

Below is the diagram of a pool circuit where the currents flowing in and flowing out are in equilibrium at the output node.



Arus-arus I_1 dan I_2 dalam litar kolam boleh diberikan sebagai

The currents I_1 and I_2 in the pool circuit can be given as

$$I_1 = K(V_1 - V_0) \sqrt{\frac{2I_B}{K} - (V_1 - V_0)^2}$$

$$I_2 = K(V_2 - V_3) \sqrt{\frac{2I_B}{K} - (V_2 - V_3)^2}$$

supaya dalam keadaan keseimbangan, $V_0 = V_1 + V_2 - V_3$ di mana, $I_{B1} = I_{B2} = I_B$, dan K ialah parameter transkealiran.

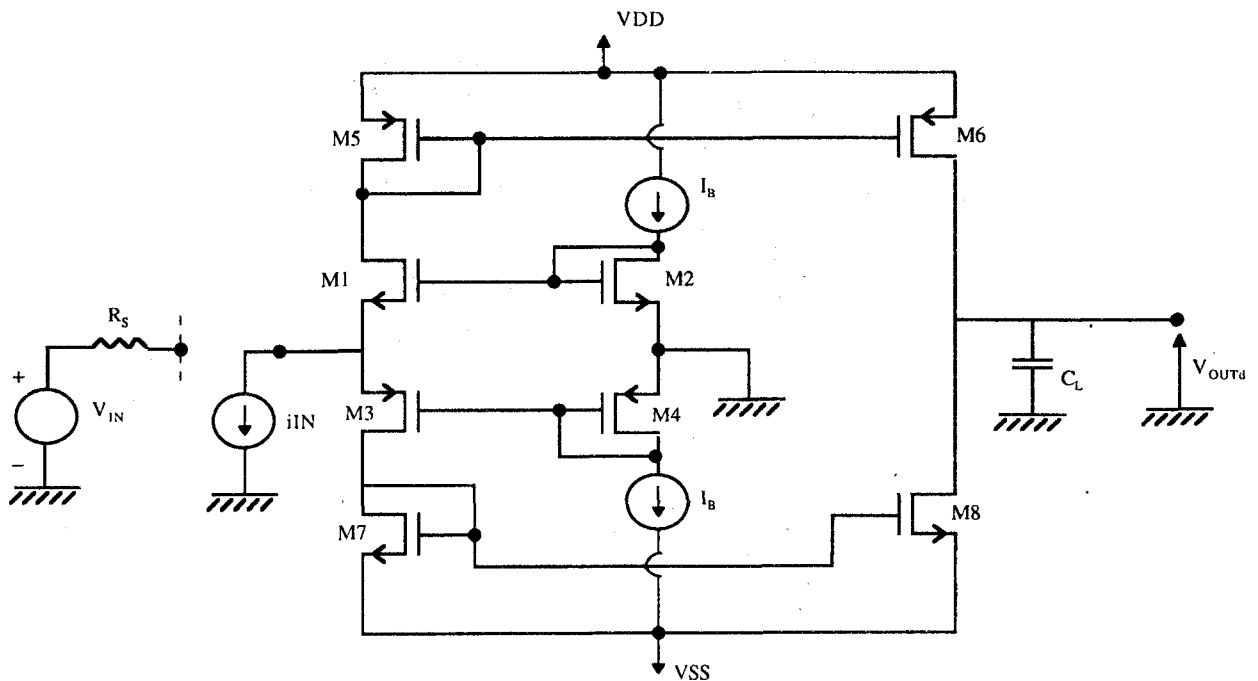
so that, at equilibrium, $V_0 = V_1 + V_2 - V_3$ where, $I_{B1} = I_{B2} = I_B$, and K the transconductance parameter.

Reka satu pembahagi CMOS Analog bagi penggunaan penyahfuzzy menggunakan litar kolam di atas. Terbitkan semua persamaan.

Design an Analog CMOS divider for a defuzzifier application using the above pool circuit/s. Deduce all equations.

(20%)

3.



(a) Litar di atas ialah satu penguat arus kendalian CMOS (OCA). Terangkan operasi OCA dan terbitkan ungkapan-ungkapan bagi Gandaan, Lebar Jalur dan Jidar Fasa.

Above is a CMOS Operational Current Amplifier (OCA). Explain the operation of this OCA and develop expressions for Gain, Bandwidth and Phase Margin.

(15%)

...5/-

- (b) Terangkan mengenai kadar slus dan perlakuan hingar bagi OCA tersebut.
Elaborate on the Slewrate and Noise performance of the above OCA.

(5%)

4. Bangunkan rekabentuk litar (topologi) dan bincangkan operasi sel-sel penguat kendalian VLSI voltan rendah yang berikut:

Develop circuit Architecture (topology) and discuss the operation of the following low-voltage VLSI op-amp cells.

- (a) Penguat satu peringkat dengan kaskod terlipat.
Single stage amplifier with folded cascode.

(5%)

- (b) Penguat satu peringkat dengan penggalakan gandaan.
Single stage amplifier with gainboosting.

(5%)

- (c) Penguat satu peringkat kebezaan penuh dengan penggalakan gandaan dan kawalan suapbalik mod sepunya.
Fully differential single-stage amplifier with gainboosting and common-mode feedback control.

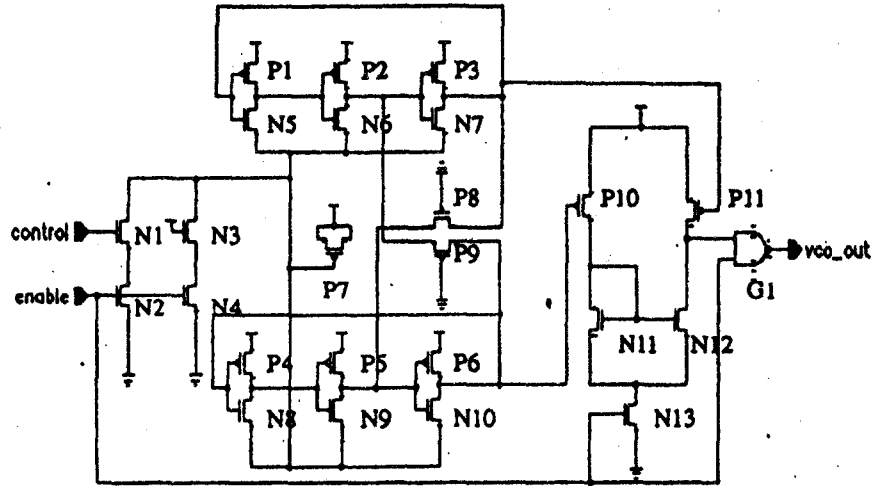
(5%)

- (d) Satu penguat kendalian 3 peringkat dengan pampasan Miller tersarang.
A 3-stage op-amp with nested Miller compensation.

(5%)

...6/-

5.



- (a) Rajah di atas adalah skematik bagi satu litar pengayun terkawal voltan (VCO) yang memaparkan pengayun gelang, peranti kawal dan peringkat kebezaan. Bincangkan tentang operasi VCO ini.

Above the schematic of a voltage controlled oscillator circuit showing ring oscillators, control device and differential stage. Discuss the operation of this VCO.

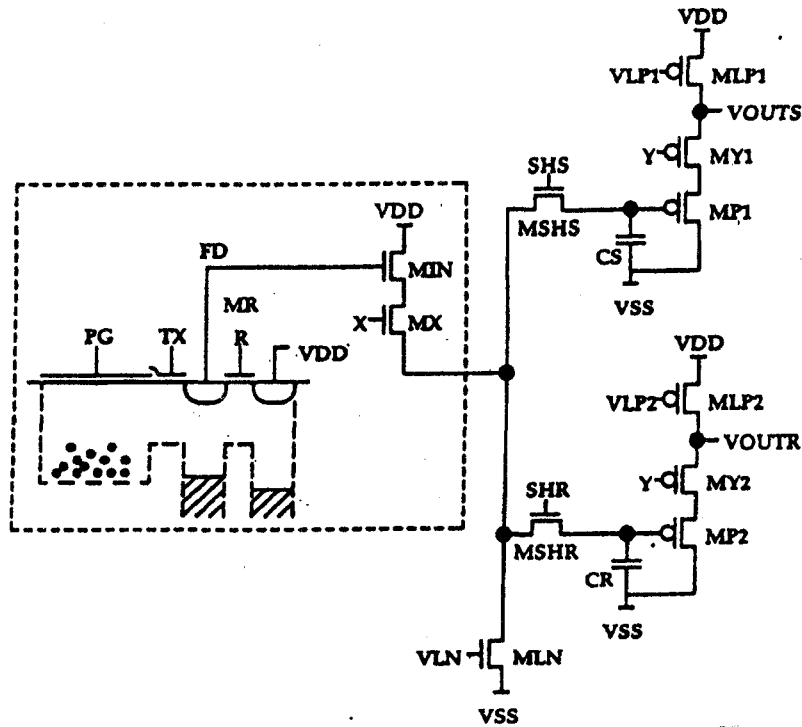
(10%)

- (b) Ubahsuai litar VCO di atas untuk menukarkannya menjadi pengayun terkawal digit (DCO) dengan kestabilan haba yang lebih baik.

Redesign the above VCO to convert it into a digitally controlled oscillator (DCO) and with improved thermal stability.

(10%)

6.



- (a) Rajah di atas adalah skematik bagi satu sel penerima imej pixel aktif CMOS analog dengan litar baca-keluar. Terangkan operasinya dengan menggunakan gambar rajah dan bincang mengenai sumber-sumber hingar.

Above is the schematic of an analog CMOS Active pixel image sensor cell with readout circuitry. Explain its operation with diagrams and discuss noise sources.

(10%)

- (b) Ubahsuaikan rekabentuk di atas untuk mengurangkan had-had perlakuan disebabkan oleh hingar corak tetap. Tunjukkan semua gambar rajah litar dan gambar rajah pemasaan.

Provide a modified design to reduce the performance limitation due to fixed pattern noise. Show all circuit diagrams and timing diagram.

(10%)