

UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Pertama  
Sidang Akademik 1997/98

September 1997

EEE 230 - Elektronik Digit II

Masa : [3 jam]

---

ARAHAN KEPADA CALON:

Sila pastikan bahawa kertas peperiksaan ini mengandungi **LIMA (5)** muka surat bercetak dan **ENAM (6)** soalan sebelum anda memulakan peperiksaan ini.

Jawab **LIMA (5)** soalan.

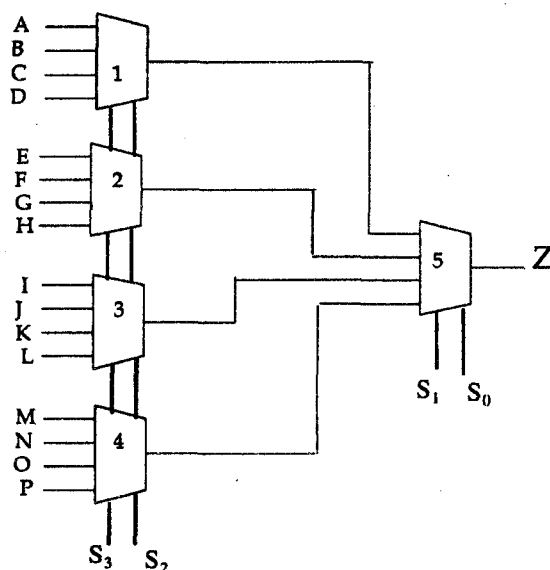
Agihan markah bagi soalan diberikan di sut sebelah kanan soalan berkenaan.

Jawab semua soalan di dalam Bahasa Malaysia.

...2/-

1. (a) Kegunaan utama pemultipleks adalah sebagai pensuis data. Litar yang diberikan dibawah ini mempunyai empat pemultipleks dengan pemilih-pemilih sepunya. Keluaran dari empat pemultipleks ini pula dijadikan masukan bagi suatu pemultipleks lain. Keseluruhannya litar ini bertindak sebagai suatu pemultipleks 16 masukan dengan empat pemilih. Tentukan masukan yang manakah yang bersambung pada keluaran Z jika:-

- (i)  $S_3 S_2 S_1 S_0 = 1101$
- (ii)  $S_3 S_2 S_1 S_0 = 1001$
- (iii)  $S_3 S_2 S_1 S_0 = 0101$



Rajah S1(a)

(20%)

- (b) Rekabentuk suatu pemultipleks untuk memeriksa pariti bagi satu perkataan 4-bit; iaitu, litar mengeluarkan output 1 jika jumlah 1 dalam perkataan adalah ganjil.

(60%)

- (c) Realisasikan rekabentuk dalam 1(b) menggunakan implementasi ROM.

(20%)

...3/-

2. (a) Dengan menggunakan gambarajah yang sesuai, terangkan operasi suatu pembilang riak empat peringkat dengan get pengecaman tambahan. Apakah aplikasi lain bagi pembilang riak? (25%)
- (b) Pertimbangkan suatu pembilang riak tanpa get pengecaman. Katakan pembilang terdiri daripada N peringkat-peringkat dan setiap flip-flop mempunyai lengah perambatan 20 ns TINGGI-ke-RENDAH dan lengah perambatan 10 ns RENDAH-ke-TINGGI. Sekiranya setiap kiraan perlu dikekalkan hingga 50 ns, tentukan kadar maksimum di mana dedenyt masukan dapat dikira. (50%)
- (c) Lukiskan serta terangkan operasi suatu pendarab kadar (rate multiplier) (25%)
3. (a) Lakarkan serta terangkan rekabentuk suatu daftar anjak reversibel menggunakan beberapa peringkat flip-flop D. (20%)
- (b) Dengan menggunakan flip-flop D juga binakan suatu penukar selari-ke-bersiri. Terangkan operasinya menggunakan gambarajah pemasaan yang sesuai. (50%)
- (c) Suatu flip-flop D pada frekuensi 10 MHz mempunyai data masukan taksinkronos yang berubah pada kadar 10 MHz. Tentukan nilai MTBF sekiranya, mengikut teknologi yang digunakan,  $T_w = 0.5$  s dan  $T_R = 0.75 \times 10^9$  s<sup>-1</sup>. Apakah nilainya sekarang bagi kadar jam 20 MHz? (30%)

...4/-

4. (a) Lakarkan gambarajah satu sel ALU mudah yang terdiri dari beberapa get logik mudah. Konfigurkan ALU tersebut supaya bertindak untuk memberikan fungsi penambah. (60%)
- (b) Menggunakan sel yang sama, sekarang konfigurkan ALU supaya ia memberikan pada keluaran nilai komplemen satu bagi salah satu masukan. (40%)
5. (a) Lukiskan dan terangkan perbezaan di antara mesin Moore dan Mealy bagi FSM. (30%)
- (b) Anda dikehendakki membina gambarajah keadaan bagi suatu mesin basuh kain. Mesin bermula apabila wang syiling satu ringgit dimasukkan. Ianya kemudian berputar mengikut peringkat-peringkat: rendam, basuh, bilas, dan pusing. Terdapat suis bagi "basuh semula", yang mana sekiranya disetkan akan menyebabkan basuh dan bilas kedua dilaksanakan. Hanya terdapat satu pemasa bagi semua peringkat (anggap setiap peringkat mengambil masa yang sama). Pemasa bermula sejeurus selepas syiling dimasukkan kemudian menjana denyut T pada penghujung setiap kala kemudian diset semula. Sekiranya penutup dibuka semasa mesin memusing, mesin akan berhenti sehingga penutup ditutup semula. Tentukan masukan dan keluaran bagi sistem ini serta hasilkan carta ASM yang mengimplemen FSM ini. (70%)

...5/-

- 6 (a) Terangkan struktur Xilinx FPGA, serta bagaimana suatu cip rekabentuk dapat dihasilkan menggunakan sistem tersebut. (50%)
- (b) Rekabentuk suatu gambarajah keadaan bagi aliran isyarat-isyarat di antara kawalan, lintasandata serta ingatan bagi suatu CPU mudah. (50%)

ooo0ooo