

UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Pertama
Sidang Akademik 1999/2000

September 1999

ZCT 206/3 - Elektronik II

Masa : [3 jam]

Sila pastikan bahawa kertas peperiksaan ini mengandungi ENAM muka surat yang bercetak sebelum anda memulakan peperiksaan ini.

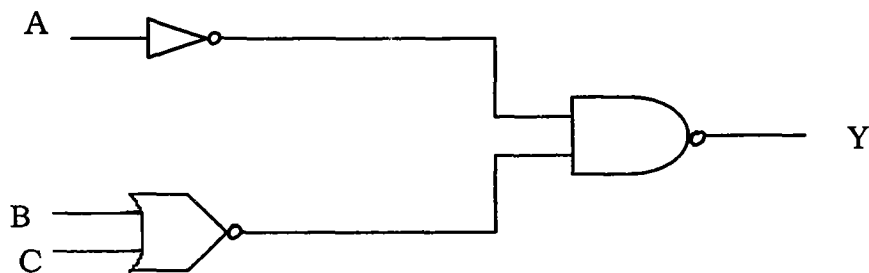
Jawab kesemua EMPAT soalan. KEDUA-DUA soalan Bahagian A wajib di jawab dalam Bahasa Malaysia. Sekurangnya SATU soalan Bahagian B wajib dijawab dalam Bahasa Malaysia dan SATU soalan lagi boleh dijawab dalam Bahasa Inggeris.

1. (a) Tukar nombor-nombor berikut:

- (i) 28.875_{10} kepada nombor oktal (perlapanan).
- (ii) $B7FA_{16}$ kepada nombor perpuluhan.
- (iii) nombor BCD 1001100001100011 kepada nombor perpuluhan.
- (iii) 1000101111010110_2 kepada nombor perenambelasan.

(40/100)

(b) Lakarkan jadual kebenaran dan tulis persamaan Boolean bagi litar logik berikut.



(30/100)

...2/-

- (c) Diberi ungkapan berikut:

$$Y = \overline{A}B + C\overline{D}E + \overline{F}$$

Lakarkan litar logik bagi ungkapan di atas dengan menggunakan

- (i) hanya get logik NAND dan penyongsang sahaja.
 (ii) hanya get logik NOR dan penyongsang sahaja.

(30/100)

2. (a) Lakarkan peta Karnaugh bagi jadual benar di bawah dan dapatkan persamaan Boolean terhasil. Lukis litar logiknya.

A	B	C	D	Y
0	0	0	0	x
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	x
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	x
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	x

x = keadaan tak-peduli

(40/100)

- (b) Dengan menggunakan litar logik masing-masing terangkan maksud,

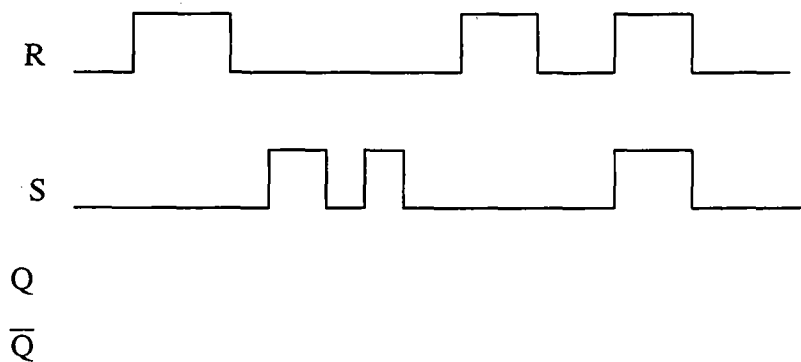
- (i) setengah penambah
 (ii) penambah lengkap

Terangkan operasi masing-masing dengan memberikan persamaan Boolean dan jadual benarnya.

(60/100)

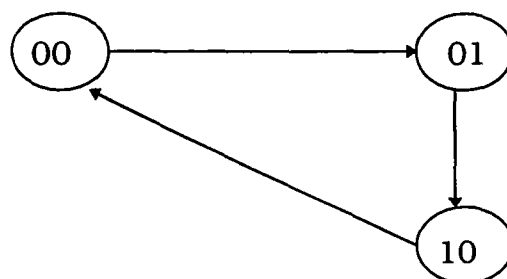
...3/-

3. (a) Lukiskan litar flip-flop RS berjam menggunakan pintu logik TAKDAN (NAND) sahaja. (20/100)
- (b) Buatlah jadual kebenaran dan jadual ujaan untuk flip-flop RS tersebut. (20/100)
- (c) Andaikan denyut jam tinggi bagi flip-flop RS, lakarkan gambarajah pemasa yang menunjukkan Q dan \bar{Q} bagi input R dan S yang diberi dalam Rajah 3.1. (20/100)



Rajah 3.1

- (d) Gambarajah transisi sistem digital tiga keadaan ditunjukkan dalam Rajah 3.2, sistem tersebut tidak mempunyai sebarang input selain daripada denyut jam, binakan sistem tersebut dengan menggunakan flip-flop T. Sebarang transisi daripada keadaan yang tidak digunakan mestilah berakhir pada keadaan permulaan.



Rajah 3.2

(40/100)

...4/-

4. (a) Lukiskan suatu litar pendaftar anjakan ke kanan 4-bit.
(20/100)
- (b) Binakan jadual kebenaran, jadual ujaan dan gambarajah transisi untuk flip-flop J-K.
(20/100)
- (c) Lengkapkan jadual keadaan kini dan berikutnya bagi Jadual 4.1 sekiranya flip-flop R-S digunakan.

Q_{2n}	Q_{1n}	Q_{0n}	Q_{2n+1}	Q_{1n+1}	Q_{0n+1}
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

(20/100)

Jadual 4.1

- (d) Rekabentuk pembilang bergerak menaik dengan menggunakan tiga flip-flop JK. Pembilang tersebut mestilah mempunyai lima keadaan (iaitu ia mesti pembilang menaik dibahagi dengan lima) tetapi urutan bilangannya mestilah seperti berikut; sekiranya tiga output Q diambil sebagai nombor digit BCD, maka urutan bilangannya ialah 0, 1, 3, 5, 6, 0, 1, 3, dan sebagainya.

(40/100)

TERJEMAHAN

3. (a) Draw a circuit for a clocked RS flip-flop using NAND gates only. (20/100)
- (b) Draw the truth table and the excitation table for an RS flip-flop. (20/100)
- (c) Assume the clock is high for an RS flip-flop, sketch the timing diagram showing Q and \bar{Q} for input R and S as given in Figure 3.1. (20/100)

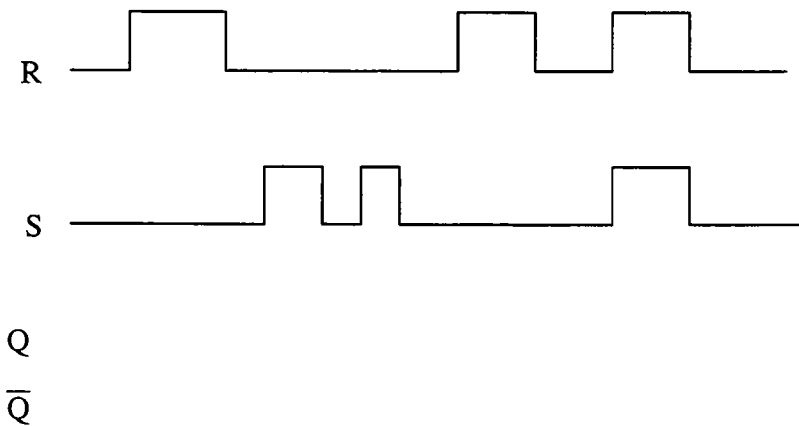


Fig. 3.1

- (d) The transition diagram of a digital system with three states is shown in Figure 3.2, the system has no input other than the clock, realize the system with T-flip flops. Any transitions from unused state must end at the initial state. (40/100)

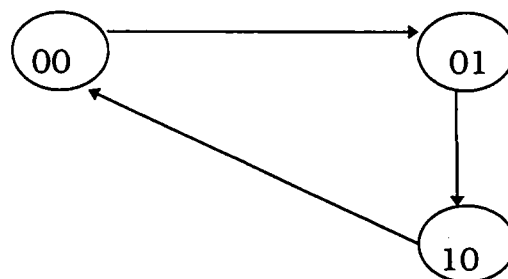


Figure 3.2

...6/-

4. (a) Draw a circuit for a 4-bit shift right register. (20/100)
- (b) Draw the truth table, excitation table and the transition diagram for a J-K flip flop. (20/100)
- (c) Complete the present state-next state table by means of R-S flip flops, as shown in Table 4.1.

Q_{2n}	Q_{1n}	Q_{0n}	Q_{2n+1}	Q_{1n+1}	Q_{0n+1}
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

(20/100)

Table 4.1

- (d) Design an up synchronous counter using three JK flip-flops. The counter must have five states (i.e. it must be divide-by-five up counter) but the counting sequence must be such that if three Q outputs are taken as the digits of a BCD number, the count sequence is 0, 1, 3, 5, 6, 0, 1, 3 etc.

(40/100)