

UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Pertama  
Sidang 1987/88

ZSC 316/3 - Ilmu Elektronik II

Tarikh: 31 Oktober 1987

Masa: 9.00 pagi - 12.00 t/hari.  
(3 jam)

Jawab SEMUA LIMA soalan.

Kesemuanya wajib dijawab di dalam Bahasa Malaysia.

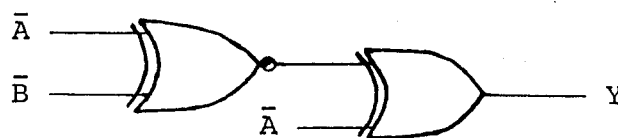
1. (a) Tulis persamaan Boolean bagi litar penambah lengkap. Tunjukkan tindakannya dengan jadual benarnya sahaja.

(30/100)

- (b) Lakarkan suatu litar penambah-penolak pelengkap-2 yang boleh menambah nibble. Jika perkataan input suatu penambah-penolak pelengkap-2 ialah  $A = 57FAH$  dan  $B = 3B4CH$ , apakah output untuk (i) SUB rendah dan (ii) SUB tinggi? (Tunjukkan langkah aritmetik dengan menggunakan nombor dedua tetapi ungkapkan jawapan akhir dengan nombor heksaperpuluhan.)

(40/100)

- (c) Tulis ungkapan Boolean bagi rajah logik di bawah. Selepas itu sederhanakan ungkapan Boolean yang didapati itu.



(30/100)

2. (a) Lakarkan suatu pintu NAND TTL berinput-2 dan ber-output totem-pole. Jika  $V_{CC} = 5V$ ,  $V_{BE,psg} = 0.7V$ ,  $V_D = 0.7V$  dan  $V_{CE,tepu} = 0.1V$ , ringkaskan operasi litar ini dengan memberi jadual benar voltannya sahaja.

(60/100)

...2/-

(b) Bagaimana pintu NAND TTL yang didapati pada (a) boleh diubahsuaikan untuk menghasilkan suatu pintu NAND TTL beroutput pengumpul terbuka. Ringkaskan operasi litar ini juga dengan memberi jadual benar voltannya sahaja.

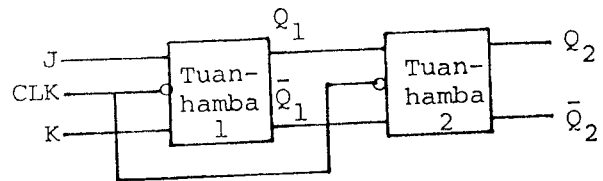
(40/100)

3. (a) Output suatu jadual benar ialah 1 apabila input-input ABCDnya adalah 0000, 0100, 1000, 0001, 1001, 0011, 0111 dan 0010, manakala outputnya ialah tak peduli apabila input-input ABCDnya adalah 1100, 1011, 1111 dan 1010. Output bagi input-input lain jadual benar ini ialah 0. Lakarkan peta karnaugh jadual benar ini dan dapatkan persamaan Boolean terhasil. Daripada persamaan Boolean terhasil itu lakarkan litar logiknya dengan menggunakan pintu XNOR dan OR sahaja.

(50/100)

(b) Output  $Q_1$  dan  $\bar{Q}_1$  dari suatu flip-flop tuan-hamba JK disambungkan secara langsung kepada input suatu flip-flop tuan-hamba JK yang kedua (Rajah bawah). Jika output bagi kedua-dua tuan dan kedua-dua hamba adalah 0 pada  $t_0$  dan  $J = k = 1$  bagi  $t > t_0$ , lakarkan output  $Q_1$  dan  $Q_2$  bagi  $t_0 < t < t_7$  untuk isyarat CLK yang diberi di bawah.

CLK = 0     $t_0 < t < t_1$   
 = 1     $t_1 < t < t_2$   
 = 0     $t_2 < t < t_3$   
 = 1     $t_3 < t < t_4$   
 = 0     $t_4 < t < t_5$   
 = 1     $t_5 < t < t_6$   
 = 0     $t_6 < t < t_7$

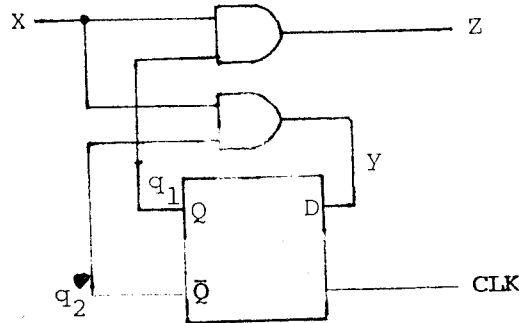


(50/100)

4. (a) Lakarkan rajah logik suatu pendaftar anjakan terkawal yang membeban secara selari dan huraikan operasinya secara ringkas.

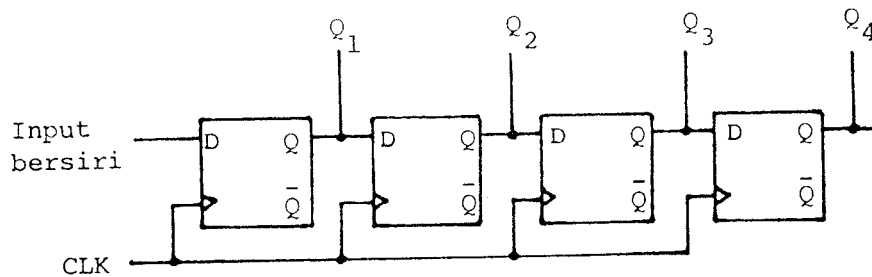
(50/100)

- (b) Di bawah ialah suatu litar jujukan yang terdiri daripada suatu flip-flop D. Ianya mempunyai suatu input X dan suatu output Z. Jika  $q_1 = Q$ ,  $q_2 = \bar{Q}$ ,  $y = D$  dan anggapkan bahawa  $q_1 = Q = 0$  pada permulaan, tentukan jujukan output bagi Z dan bagi y jika jujukan input bagi X ialah 1011.



(50/100)

5. (a) Lakarkan bentuk gelombang output  $Q_1$ ,  $Q_2$ ,  $Q_3$  dan  $Q_4$  bagi litar di bawah jika jujukan bagi input bersirinya ialah 1001. (Anggapkan bahawa  $Q_1 = Q_2 = Q_3 = Q_4 = 0$  pada permulaan.)



(40/100)

- (b) Lakarkan rajah logik suatu pembilang mod-5 dan juga bentuk gelombang outputnya bagi 10 denyutan CLK.

(48/100)

- (c) Ringkaskan operasi suatu RAM statik dengan menggunakan jadual benarnya sahaja.

(12/100)