

UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Kedua
Sidang Akademik 1997/98

Februari 1998

ZCT 106/4 - Elektronik I

Masa : [3 jam]

Sila pastikan bahawa kertas peperiksaan ini mengandungi SEBELAS muka surat yang bercetak sebelum anda memulakan peperiksaan ini.

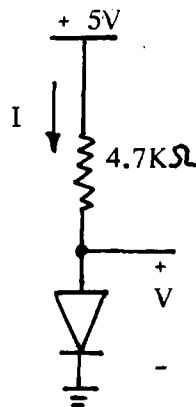
Jawab kesemua EMPAT soalan.

Sekurangnya satu soalan daripada Bahagian A wajib dijawab dalam Bahasa Malaysia. Kedua-dua soalan daripada Bahagian B wajib dijawab dalam Bahasa Malaysia.

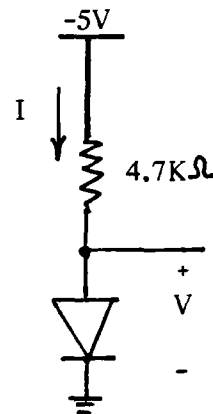
Bahagian A: Jawab kedua-dua soalan.

1. (a) Tentukan nilai arus I dan voltan V bagi setiap litar diod berikut:

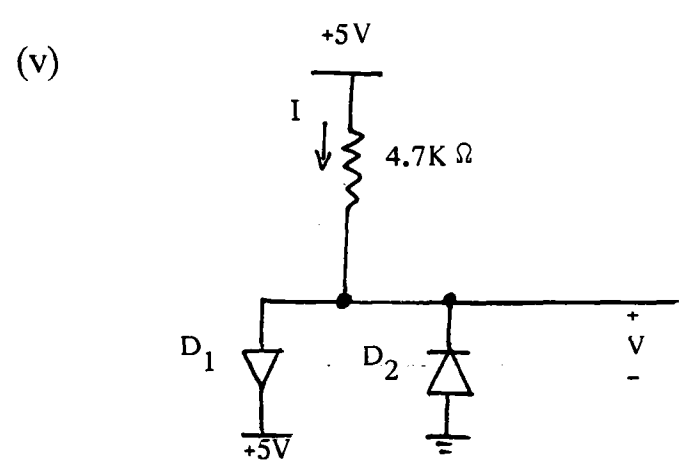
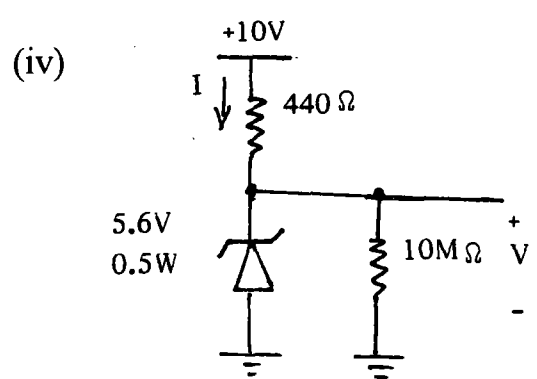
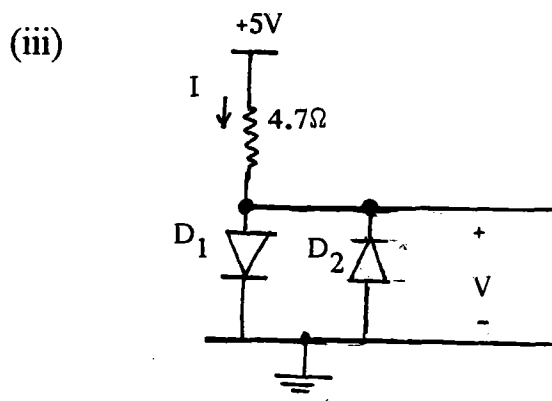
(i)



(ii)



...2/-

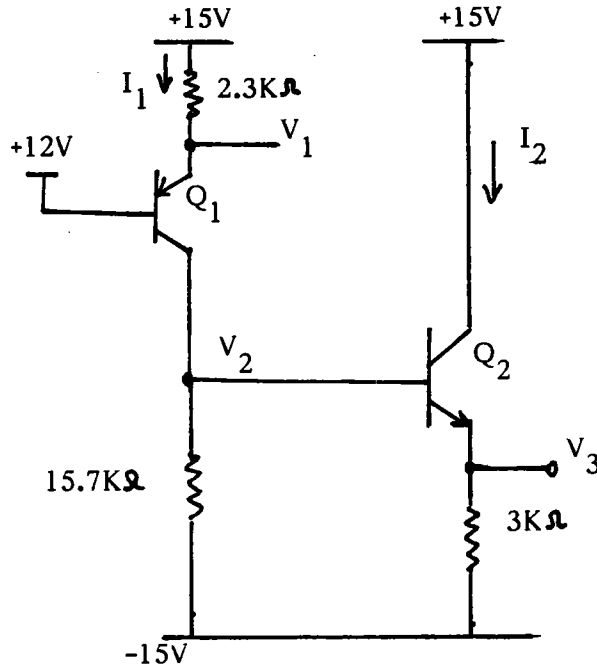


Rajah 1.

(20/100)

...3/-

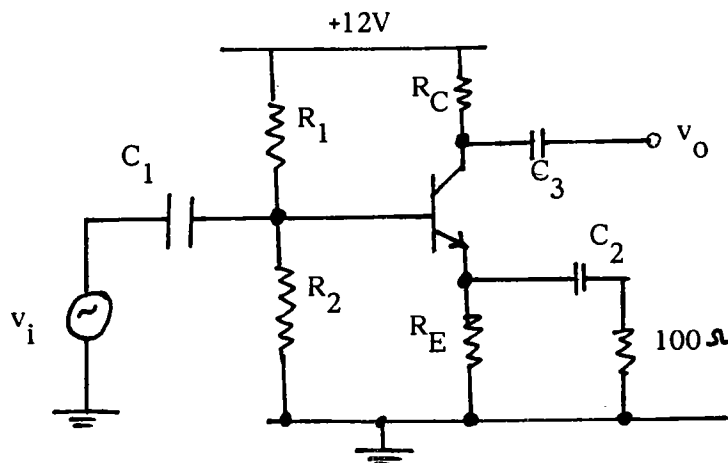
- (b) Tentukan nilai voltan dan arus bagi litar berikut: diberi, $\beta \rightarrow \infty$, $V_{BE} = 0.7 \text{ V}$.



Rajah 2

(20/100)

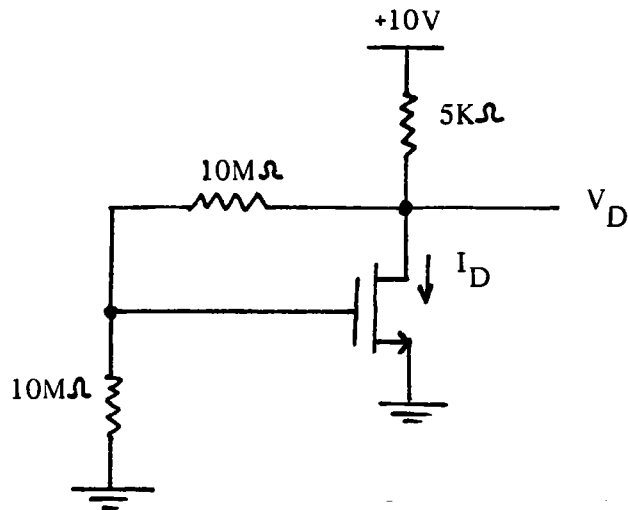
- (c) Rekabentuk rangkaian pemincangan amplifer pemancar sepunya di bawah untuk mendapatkan $I_E = 1 \text{ mA}$, dengan menggunakan pembekal kuasa $V_{CC} = +12 \text{ V}$. Andaikan $C_1 = C_2 = C_3 \rightarrow \infty$. Tentukan gandaan voltan $\frac{v_o}{v_i}$. $\beta = 100$, $V_{BE} = 0.7 \text{ V}$.



Rajah 3.

(60/100)

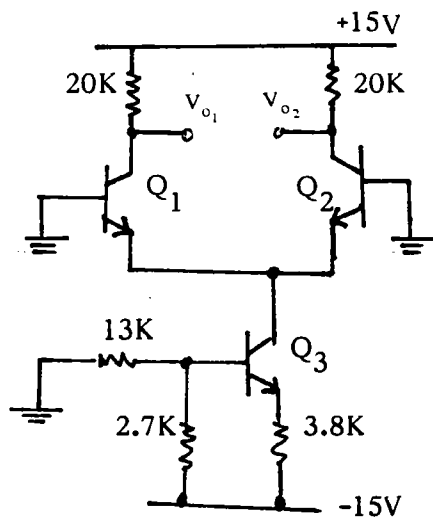
2. (a) Dapatkan nilai I_D dan V_D litar di bawah. Transistor NMOS tersebut mempunyai $V_{TH} = 1\text{ V}$ dan $K = 0.5\text{ mA/V}^2$.



Rajah 4.

(40/100)

- (b) (i) Gunakan analisis DC penghampiran (anggapkan $\beta = 100$, $V_{BE} = 0.7\text{ V}$) bagi mengira arus dan voltan DC di setiap tempat dalam litar di bawah.
- (ii) Putuskan salah satu input daripada bumi dan gantikan dengan isyarat V_d , tentukan nilai v_{o_1} / v_d dan $\frac{v_{o_1} - v_{o_2}}{v_d}$.



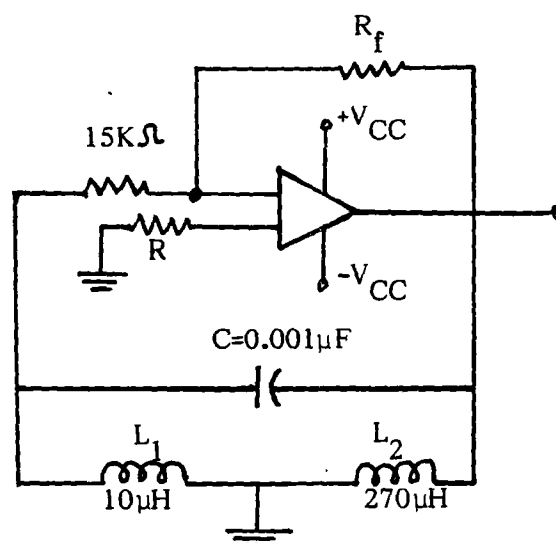
Rajah 5.

(60/100)

...5/-

Bahagian B : Jawab kedua-dua soalan.

3. (a) (i) Lakarkan suatu gambarajah blok bagi suatu amplifier suapbalik negatif voltan bersiri yang mempunyai gandaan gelung terbuka A dan faktor suapbalik β . Terbitkan gandaan gelung tertutup A_f untuk amplifier suapbalik ini.
- (ii) Terangkan secara kuantitatif (dengan merujuk kepada gambarajah yang bersesuaian) bagaimana suapbalik negatif boleh mengurangkan pengherotan dan memperbaiki ciri-ciri impedans serta sambutan frekuensi bagi suatu amplifier.
- (30/100)
- (b) (i) Rekabentuk suatu litar osilator tetimbang Wien sekitar spesifikasi yang dinyatakan dibawah:
- frekuensi ayunan litar = 15 kHz.
 - V_{CC} (voltan bekalan amplifier beroperasi) = ± 10 V.
 - Arus input kepada amplifier $I_{in} = 1 \mu A$
 - Arus tetimbang (I_{R_1}) = $100 I_{in}$.
- (ii) Terbitkan persamaan-persamaan untuk ayunan dan syarat pengekalan ayunan untuk litar osilator Hartley dalam Rajah 6. Tentukan frekuensi ayunan dan nilai minimum bagi R_f untuk mengekalkan ayunan litar ini.



(40/100)

Rajah 6

...6/-

- (c) (i) Rekabentuk suatu litar yang outputnya mewakili persamaan

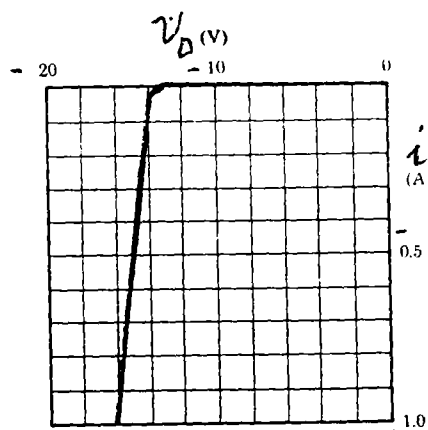
$$12 - 6 \frac{dy}{dt}$$

- (ii) Rekabentuk suatu litar komputer analog untuk menghasilkan penyelesaian bagi sistem persamaan linear di bawah:

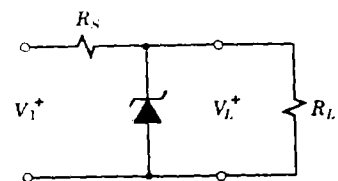
$$\begin{cases} a_1x + b_1y = c_1 \\ a_2x + b_2y = c_2 \end{cases}$$

(30/100)

4. (a) (i) Diod Zener yang mempamirkan ciri-ciri songsang seperti dalam rajah 7 (a) digunakan di dalam litar pengatur voltan dalam rajah 7 (b). Rintangan beban $R_L = 10 \Omega$. Dengan melakar semula litar, nyatakan nilai R_S untuk $V_L = 14 \text{ V}$ dan $V_1 = 26 \text{ V}$. Jika V_1 menurun kepada nilai 24 V , apakah nilai V_L yang baru?
- (ii) Lakarkan suatu litar pengatur voltan amplifier beroperasi yang menggunakan diod Zener. Terangkan secara kuantitatif bagaimana litar pengatur ini beroperasi.



(a)



(b)

Rajah 7

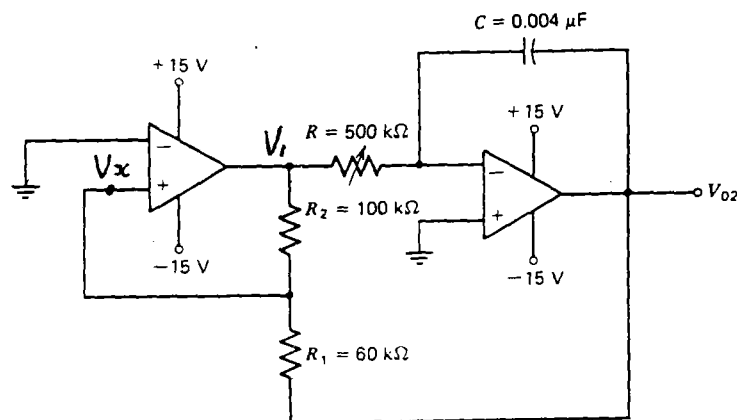
(40/100)

...7/-

- (b) Lakarkan suatu litar multipenggentar monostabil yang mudah. Terangkan dengan ringkas (dengan berpandukan bentuk-bentuk gelombang voltan tapak dan pengumpul yang bersesuaian) tindakan litar ini.

(30/100)

- (c) Rajah 8 adalah suatu penjana bentuk gelombang. Lakarkan bentuk-bentuk gelombang pada input V_x , titik V_1 dan output V_{O2} . Terbitkan serta hitungkan nilai frekuensi dan amplitud puncak bagi output V_2 .



Rajah 8.

(30/100)

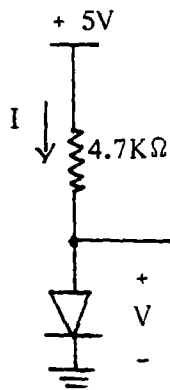
...8/-

TERJEMAHAN

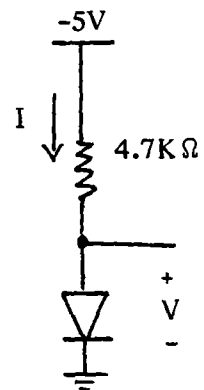
Bahagian A : Answer both questions.

1. (a) Find the values of I and V for the realistic diode circuits.

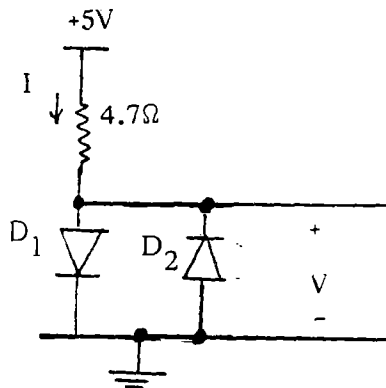
(i)



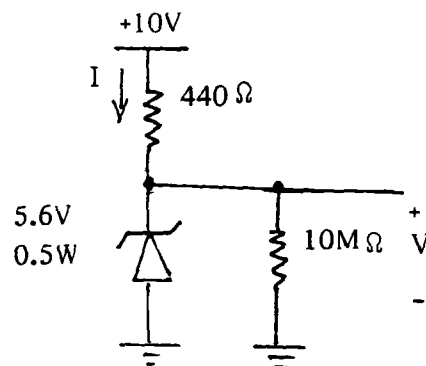
(ii)



(iii)



(iv)



...9/-

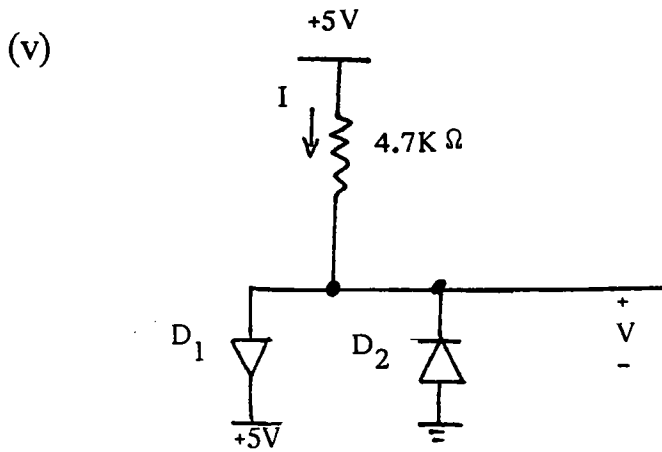


Figure 1.

(20/100)

- (b) Find all the voltages and currents for the following circuit, $\beta \rightarrow \infty$, $V_{BE} = 0.7 \text{ V}$.

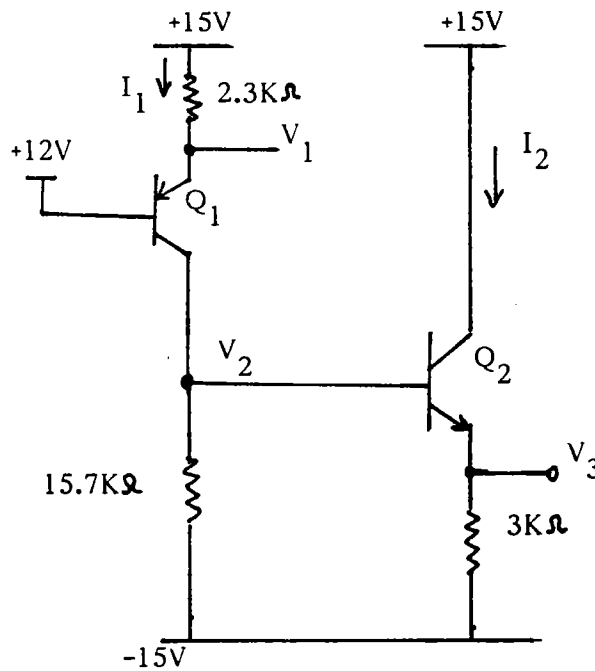


Figure 2

(20/100)

... 10 /-

- (c) Design the bias network of the common emitter amplifier shown below to get $I_E = 1 \text{ mA}$, using power supply $V_{CC} = +12 \text{ V}$. Assume $C_1 = C_2 = C_3 \rightarrow \infty$. Find the Gain $\frac{v_o}{v_i}$. $\beta = 100$, $V_{BE} = 0.7 \text{ V}$.

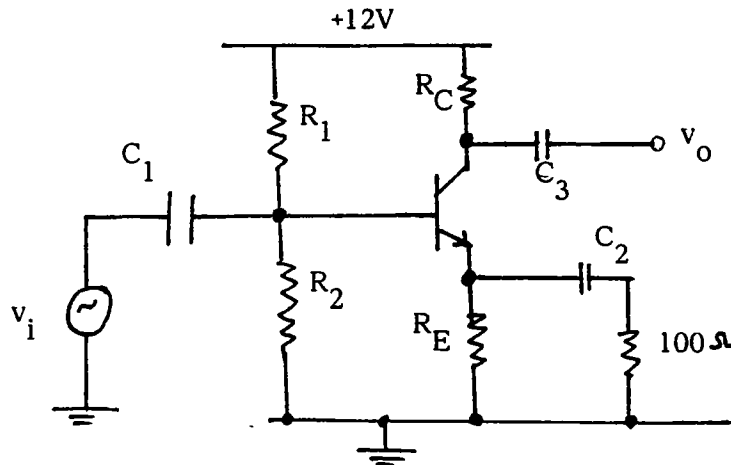


Figure 3.

(60/100)

2. (a) Analyze the circuit shown below, to determine I_D and V_D . Let the NMOS transistor have $V_{TH} = 1 \text{ V}$ and $K = 0.5 \text{ mA/V}^2$.

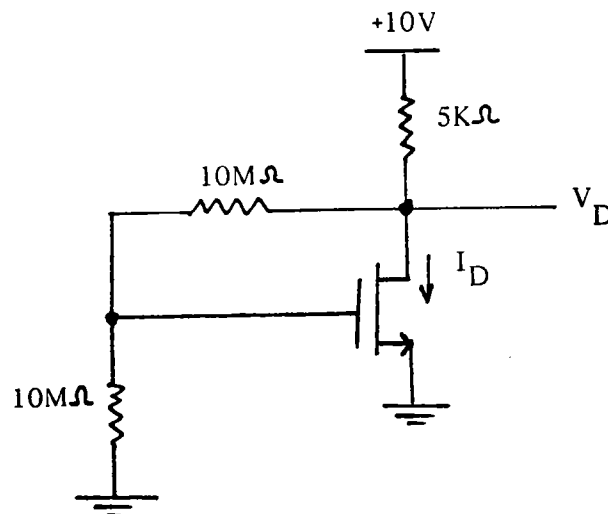


Figure 4.

(40/100)

- 11 -

- (b) (i) Perform an approximate DC analysis (assuming $\beta = 100$, $V_{BE} = 0.7 \text{ V}$) calculate the DC currents and voltages everywhere in the circuit.
- (ii) Take one of the inputs off the ground and apply a signal V_d , find v_{o_1} / v_d and $\frac{v_{o_1} - v_{o_2}}{v_d}$.

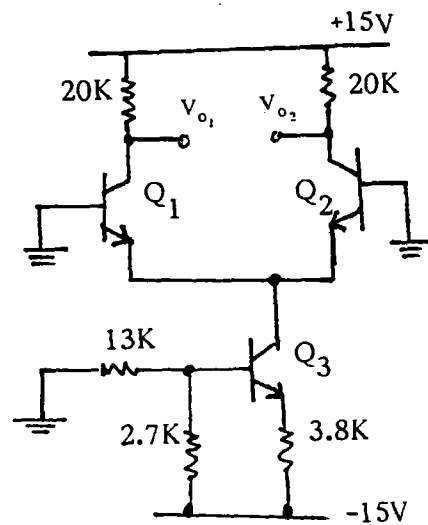


Figure 5.

(60/100)

- 00000000 -