
UNIVERSITI SAINS MALAYSIA

Peperiksaan Kursus Semasa Cuti Panjang
Sidang Akademik 2008/2009

Jun 2009

EEE 348 – PENGANTAR REKABENTUK LITAR BERSEPADU

Masa: 3 jam

Sila pastikan bahawa kertas peperiksaan ini mengandungi SEMBILAN muka surat bercetak sebelum anda memulakan peperiksaan ini.

Kertas soalan ini mengandungi ENAM soalan.

Jawab **LIMA** soalan.

Mulakan jawapan anda untuk setiap soalan pada muka surat yang baru.

Agihan markah bagi setiap soalan diberikan di sudut sebelah kanan soalan berkenaan.

Jawab semua soalan dalam bahasa Malaysia atau bahasa Inggeris atau kombinasi kedua-duanya.

1. (a) Lukis lakaran keratan rentas dan terangkan operasi untuk transistor berikut
Draw the cross section and explain the operation of the following transistors.

- (i) nMOS Transistor
- (ii) pMOS Transistor

(40%)

- (b) 2-masukan XNOR adalah sebuah get berdasarkan fungsi Boolean berikut
2-input XNOR is a gate based on the following Boolean function

$$\text{out} = \overline{(\overline{a}b + a\overline{b})}$$

- (i) Lukis lakaran PLA bagi 2-masukan get XNOR
Sketch PLA implementation of a 2-input XNOR gate.

(15%)

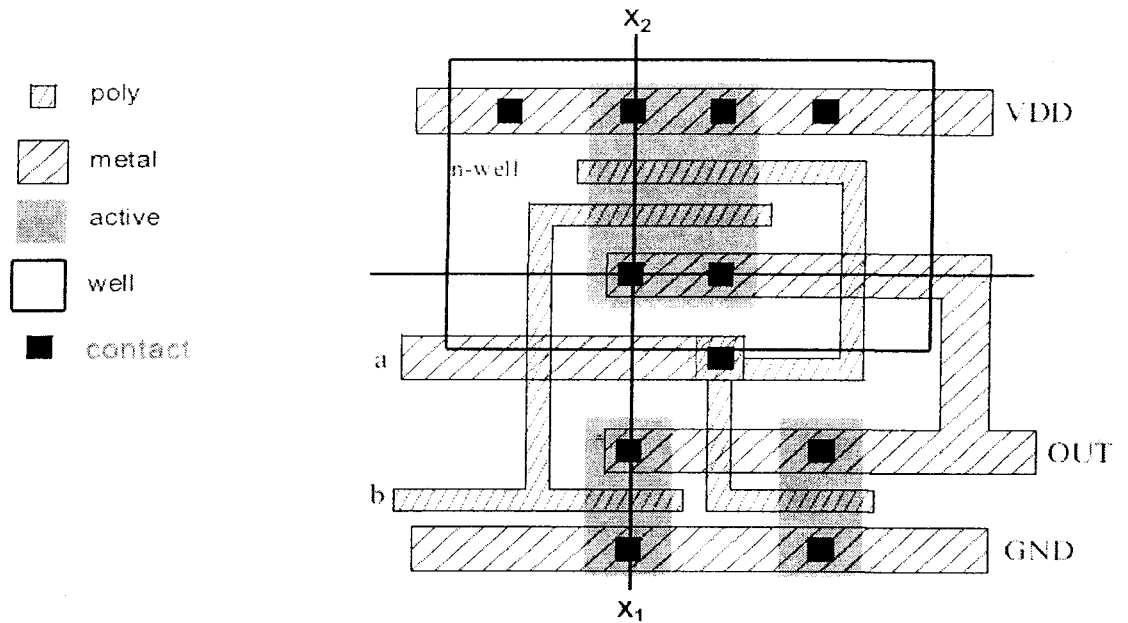
- (ii) Lukis lakaran "LUT Based Programmable Logic" bagi 2-masukan get XNOR
Sketch "LUT Based Programmable Logic" implementation of a 2-input XNOR gate.

(15%)

- (iii) Apakah perbezaan di antara PAL, PLA dan PROM
What are the differences between PAL, PLA and PROM

(15%)

- (c) (i) Apakah tujuan DRC dan LVS?
What are the purposes of DRC and LVS? (10%)
- (ii) Apakah hukum Moore?
What is Moore's Law? (5%)
2. (a) Lukis lakaran bagi sebuah 1 transistor DRAM sel dan terangkan proses untuk membaca dan menulis data ke atas sel tersebut.
Sketch a 1 transistor DRAM cell and explain the reading and writing process to the cell. (30%)
- (b) Terangkan langkah demi langkah proses untuk mengfabrikasi litar sepadu seperti di gambarajah berikut dengan menggunakan teknologi CMOS. Tunjukkan gambarajah keratan rentas daripada X2 ke X1 dan mask yang berkaitan dengannya bagi setiap langkah.
Explain step by step the process to fabricate the following integrated circuit in CMOS technology. Show the cross section from X2 to X1 and the corresponding mask for every step. (70%)



Gambarajah 1 : Susun atur untuk sebuah litar sepadu
 Figure 1 : Layout for an integrated circuit

3. (a) Rekabentuk sebuah litar logik berdasarkan fungsi Boolean berikut dengan menggunakan teknologi CMOS.

Design a logic circuit based on the following Boolean function with CMOS technology.

$$\text{out} = \overline{(ab + cd)}$$

- (i) Lukis lakaran litar skema transistor untuk fungsi Boolean di atas.
Sketch a transistor level schematic for the above Boolean function.
 (15%)

- (ii) Cari susunan get yang optimum berdasarkan pendekatan laluan Euler.

Find the optimum gate ordering based on the Euler path approach.

(10%)

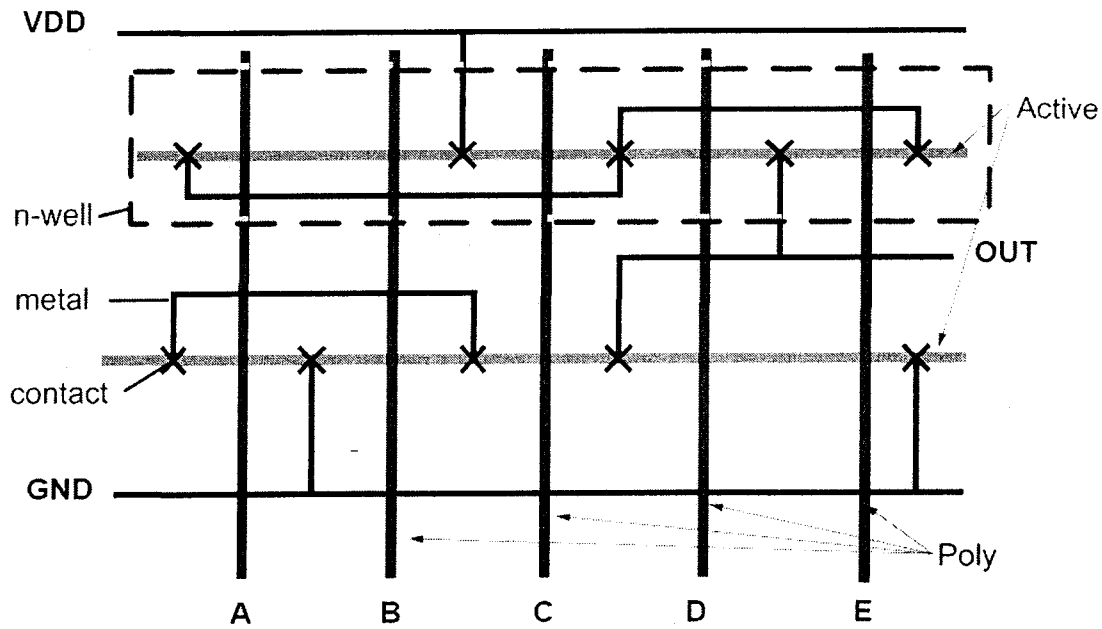
- (iii) Lukis lakaran gambarajah lidi untuk lakaran litar skema transistor yang telah diperolehi.

Sketch a stick diagram based on the obtained transistor level schematic.

(35%)

- (b) Diberi sebuah gambarajah lidi seperti berikut. Ianya adalah susun atur sebuah litar logik yang direkabentuk berdasarkan teknologi CMOS.

Consider the following stick diagram. It is a layout of a logic circuit that has been designed with CMOS technology.



Gambarajah 2 Gambarajah lidi untuk sebuah litar logik
Figure 2 Stick diagram for a logic circuit

- (i) Lukis lakaran litar skema transistor untuk gambarajah lidi di atas.
Sketch a transistor level schematic for the above stick diagram.
(30%)

- (ii) Tentukan fungsi Boolean untuk gambarajah lidi di atas.
Determine the Boolean function of the above stick diagram.
(10%)

4. (a) VHDL pada asalnya diperkenalkan sebagai bahasa bagi pemodelan dan penyelakuan rekabentuk sistem, bagaimana pun kemudian telah dilanjutkan kepada sintesis rekabentuk. Takrifkan sintesis dalam konteks VHDL dan huraikan kebaikannya.

VHDL originally was introduced as a language for modeling and simulation of system design, however was later extended to design synthesis. Define synthesis within VHDL context and elaborate its benefits.

(50%)

- (b) Terangkan setakat manakah VHDL mencapai objektif sebagai bahasa rekabentuk yang tidak bergantung kepada 'tool' & teknologi?

Elaborate to what extent VHDL achieved its objective as a design language and independent of tools and technology.

(50%)

5. (a) Diberikan isyarat/jenis berikut:
Given the following signal/type:

```
signal A_Bus, B_Bus: std_logic_vector (7 downto 0);  
signal Data_Word: std_logic_vector (15 downto 0);  
signal A,B,C,D: std_logic;  
signal Nibble: std_logic_vector (3 downto 0);  
type My_State is (S1, S2, S3, S4);  
signal State, Next_State: My_State;  
signal D_Bus, E_Bus: bit_vector (0 to 7)
```

...8/-

Kenalpastikan tugas yang dibenarkan/tak dibenarkan dan mengapa?

Identify legal and illegal assignment and state why?

(50%)

- (b) Dengan menggunakan ilustrasi yang sesuai, jelaskan bagaimana VHDL dapat mewakili konsep hardwer secara konkurent dan sequensial.

Using suitable illustration, explain how VHDL is able to represent hardware` concepts concurrently and sequentially.

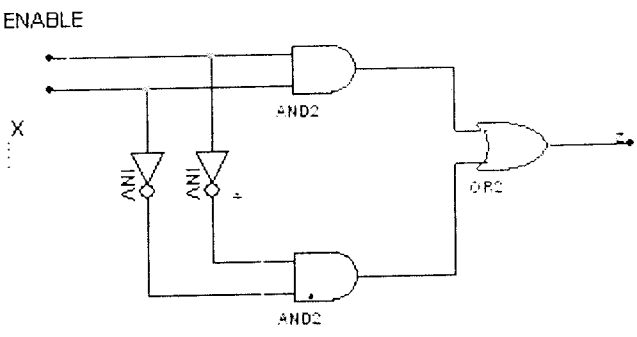
(50%)

6. (a) Sintesis pada realitinya adalah suatu proses yang bergantung kepada 'tool' & teknologi. Maka mengikut cara kod VHDL ditulis, sintesis boleh menjalankan inferens atau instantiasi untuk menghasilkan implementasi akhir. Dengan memberikan contoh satu kod bagi setiapnya bezakan di antara kedua pendekatan ini.

Synthesis in reality is a process which depends on 'tool' and technology. Thus depending on the way the code is written, synthesis can take the inference or instantiation way to achieve the final implementation. By showing an example code for each case differentiate between these two approaches.

(50%)

- (b) Penuhkan kod VHDL bagi skematik yang diberikan:
Complete the VHDL code for the given schematic:

| | |
|---|--|
|  | <pre>IF ENABLE = ___ THEN Z <= ___; ELSIF ENABLE = ___ THEN Z <= ___ ELSE Z <= ___ ENDIF;</pre> |
|---|--|

(50%)

ooo0ooo