
UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Kedua
Sidang Akademik 2008/2009

April - Mei 2009

EEE 230 – ELEKTRONIK DIGIT II

Masa: 3 jam

Sila pastikan bahawa kertas peperiksaan ini mengandungi **SEBELAS** muka surat dan **TUJUH** muka surat **LAMPIRAN** yang bercetak sebelum anda memulakan peperiksaan ini.

Kertas soalan ini mengandungi **ENAM** soalan.

Jawab **LIMA** soalan.

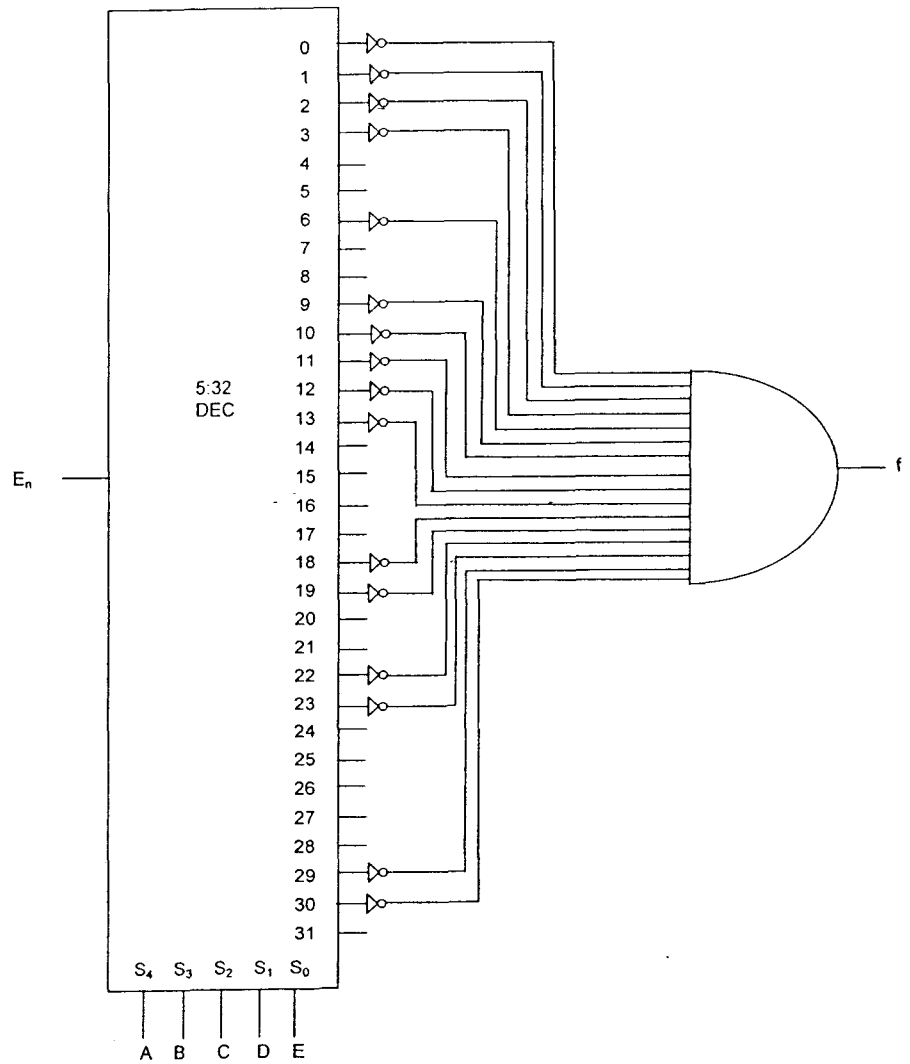
Mulakan jawapan anda untuk setiap soalan pada muka surat yang baru.

Agihan markah bagi setiap soalan diberikan di sudut sebelah kanan soalan berkenaan.

Jawab semua soalan dalam bahasa Malaysia atau bahasa Inggeris atau kombinasi kedua-duanya.

1. Dengan menggunakan kaedah EVM (masukan C sebagai pembolehubah-masukan), dapatkan persamaan Boolean POS minima keluaran f untuk sistem yang ditunjukkan pada Rajah 1. Lengkapkan jadual kebenaran pada Lampiran A dan hantar bersama-sama buku jawapan.

By using EVM (input C as entered-variable), determine the minimum POS Boolean expression of output, f for the system as shown in Figure 1. Complete the truth table in Appendix A and attach it with your answer script.



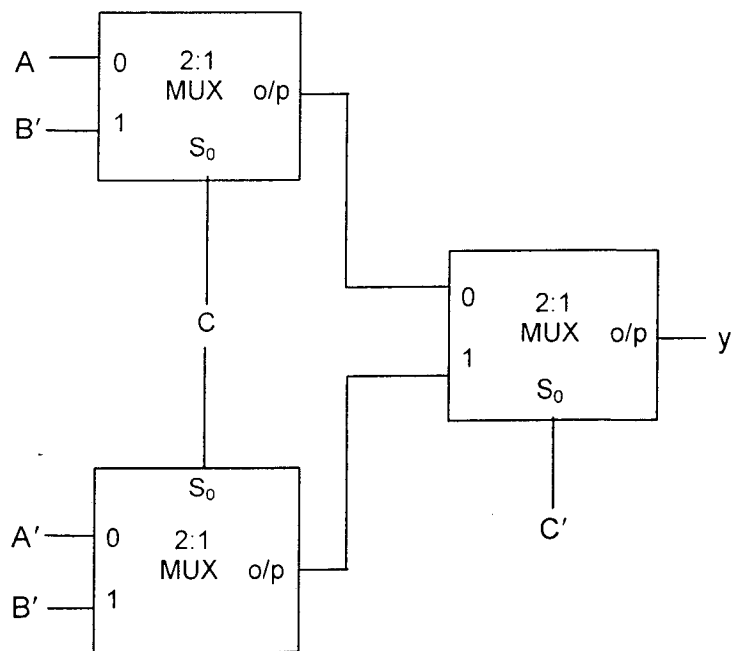
Rajah 1
Figure 1

(100%)

...3/-

2. (a) Dapatkan persamaan Boolean teringkas bagi keluaran, y untuk sistem yang ditunjukkan di dalam Rajah 2(a). Kemudian, lengkapkan jadual kebenaran pada Lampiran B. Hantar Lampiran B bersama-sama buku jawapan.

Find the simplest Boolean expression of output, y for the system as shown in Figure 2(a). Then, complete the truth table in Appendix B. Attach Appendix B with your answer script.



Rajah 2 (a)
Figure 2 (a)

(40%)

- (b) Implemenkan fungsi-fungsi berikut menggunakan PLA 4 x 5 x 3 dengan get XOR seperti yang ditunjukkan pada Lampiran C. Hantar Lampiran C bersama-sama buku jawapan.

Implement the following functions using 4 x 5 x 3 PLA with XOR gate as shown in Appendix C. Attach Appendix C with your answer script.

$$f_1(w, x, y, z) = \sum m(0, 1, 4, 5, 7, 14, 15)$$

$$f_2(w, x, y, z) = \prod m(0, 7, 8, 15), \prod D(2, 6, 10, 14)$$

$$f_3(w, x, y, z) = \sum m(2, 3, 6, 8, 9, 11, 12, 13)$$

(60%)

3. (a) (i) Bina satu penambah bawa lihat-ke hadapan kaskad untuk penambah 8-bit $(A_7, \dots, A_0 + B_7, \dots, B_0)$ menggunakan penambah 4-bit 74 x 283 seperti yang ditunjukkan pada Lampiran D. Lampirkan Lampiran D bersama-sama buku jawapan.

Construct a cascade carry look ahead adder for 8-bit adder $(A_7, \dots, A_0 + B_7, \dots, B_0)$ using 74 x 283 4-bit adder as shown in Appendix D. Attach Appendix D with your answer script.

- (ii) Kenalpasti nilai bit untuk setiap masukan dan keluaran jika proses penambahan dilakukan di antara 10011011_2 dan 01011011_2 .

Determine the bit value for each input and output if the addition process is implemented between 10011011_2 and 01011011_2 .

- (iii) Jika litar lengkap untuk satu penambah 4-bit 74 x 283 diberikan dalam Lampiran E, tentukan lengah untuk C_{out} dan lengah maksimum litar yang dibina di dalam (i). Andaikan lengah untuk BUFFER INVERTER, AND, OR, NAND dan NOR adalah Δ dan lengah untuk XOR dan XNOR adalah 2Δ .

If the complete circuit of a 74 x 283 4-bit adder is given in Appendix E, determine the delay of C_{out} and the maximum delay of the constructed circuit in (i). Assume the delay of BUFFER, INVERTER, AND, OR, NAND and NOR is Δ and the delay of XOR and XNOR is 2Δ .

(55%)

- (b) Dengan menggunakan gambarajah blok penambah separuh dan penuh, bina litar lengkap pendarab untuk $A_2 A_1 A_0 \times B_1 B_0 \times C_1 C_0$.

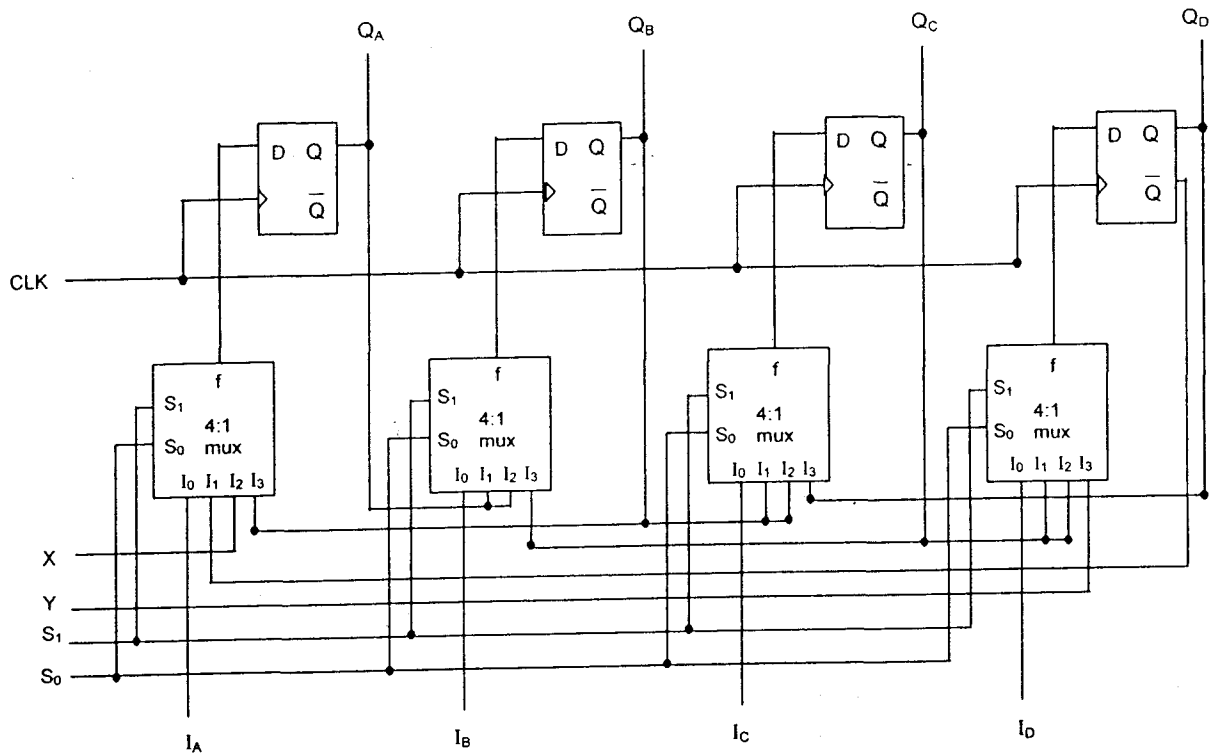
By using block diagram of half adder and full-adder, construct a complete multiplier circuit for $A_2 A_1 A_0 \times B_1 B_0 \times C_1 C_0$.

(45%)

4. (a) Berdasarkan Rajah 4(a), lengkapkan gambarajah fasa pada Lampiran F untuk keluaran Q_A , Q_B , Q_C dan Q_D . Lampirkan Lampiran F bersama-sama buku jawapan. Kemudian, kenalpasti operasi litar tersebut untuk kombinasi pemilih-pemilih berikut:

Based on Figure 4(a), complete the timing diagram in Appendix F for outputs Q_A , Q_B , Q_C and Q_D . Attach Appendix F with your answer script. Then, determine the operation of the circuit for the following selectors combination:

- (i) $S_1 = S_0 = 0$
- (ii) $S_1 = 0, S_0 = 1$
- (iii) $S_1 = 1, S_0 = 0$
- (iv) $S_1 = S_0 = 1$

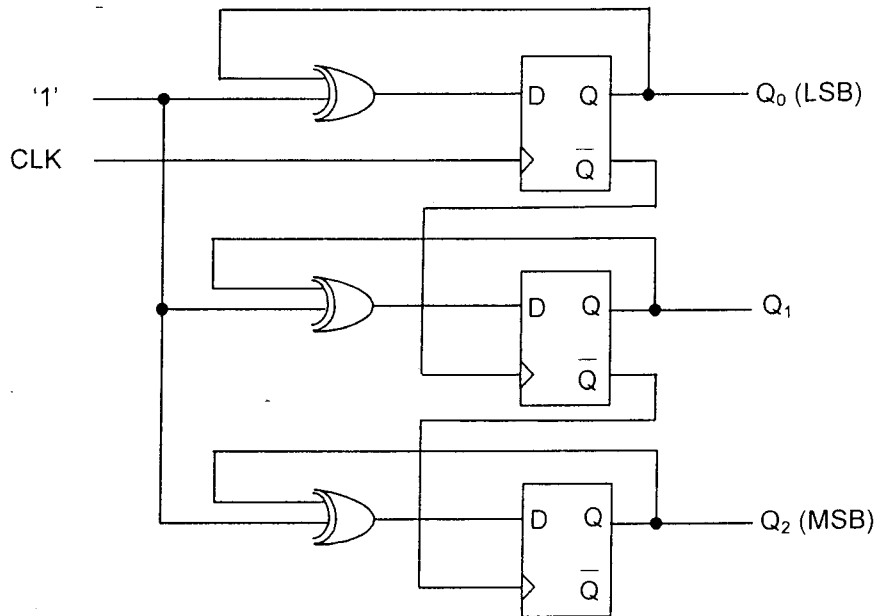


Rajah 4(a)
Figure 4(a)

(60%)
...7/-

- (b) Terangkan fungsi litar yang ditunjukkan dalam Rajah 4(b). Kemudian, implemenkan fungsi tersebut menggunakan pembilang 4-bit 74 x 163 pada Lampiran G. Lampirkan Lampiran G bersama-sama buku jawapan.

Explain the function of the circuit shown in Figure 4(b). Then, implement the same function using 74 x 163 4-bit counter in Appendix G. Attach Appendix G with your answer script.



(40%)

Rajah 4(b)
Figure 4(b)

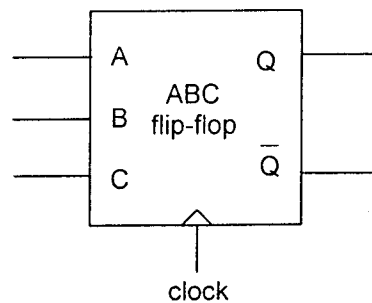
5. (a) Rajah 5(a) menunjukkan simbol grafik untuk satu flip-flop dengan tiga masukan dinamakan flip-flop ABC. Litar lengkap untuk flip-flop ABC tersebut ditunjukkan dalam Rajah 5(b). Berdasarkan gambarajah-gambarajah tersebut:

Figure 5(a) shows a graphical symbol for one flip-flop with three input called ABC flip-flop. The complete circuit for the ABC flip-flop is shown in Figure 5(b). Based on these figures:

- (i) Tunjukkan jadual kebenaran lengkap untuk flip-flop ABC tersebut.
Show the complete truth table for the ABC flip-flop.
- (ii) Dapatkan persamaan ciri untuk flip-flop ABC tersebut.
Find the characteristic equation for the ABC flip-flop.
- (iii) Tunjukkan jadual ujaan lengkap untuk flip-flop ABC tersebut.
Show the complete excitation table for the ABC flip-flop.
- (iv) Kemudian, rekabentuk satu pembilang dengan jujukan bilang seperti yang ditunjukkan dalam Rajah 5(c) menggunakan beberapa flip-flop ABC.

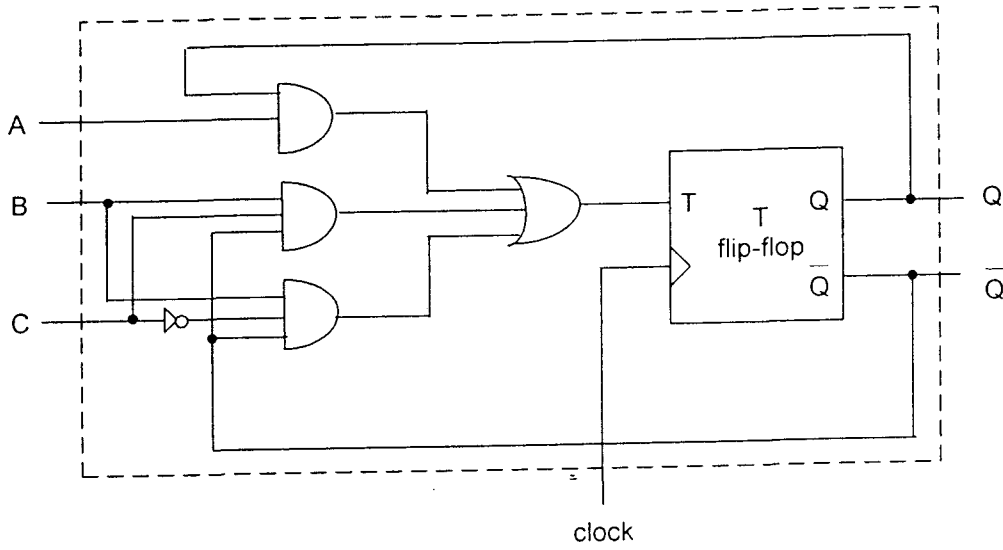
Then, design the counter with count sequence as shown in Figure 5(c) using several ABC flip-flops.

(100%)

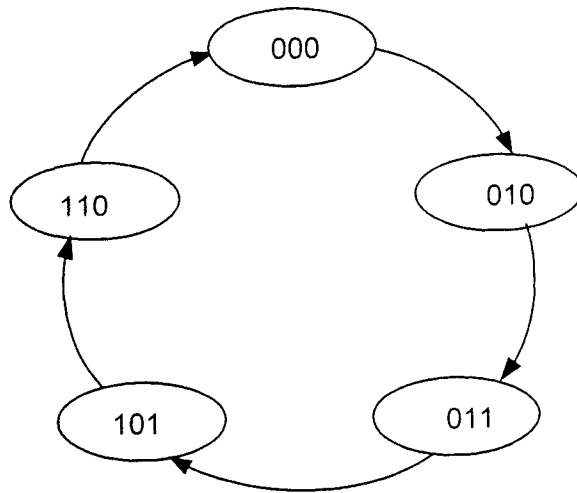


Rajah 5(c)
Figure 5(c)

...9/-



Rajah 5(b)
Figure 5(b)



Rajah 5(c)
Figure 5(c)

6. (a) (i) Dengan menggunakan gambarajah yang bersesuaian, terangkan berkenaan masalah lutsinar untuk selak D target.

By using appropriate diagrams, explain about transparency problem for gated D latch.

- (ii) Cadangkan tiga idea alternatif untuk mengurangkan dan/atau menghindari masalah lutsinar, terangkan dengan ringkas kelebihan dan/atau kekurangan setiap idea.

Propose three alternative ideas to reduce and/or avoid the transparency problem. Explain in brief the advantage and/or disadvantage of each idea.

(45%)

- (b) Minimumkan jadual keadaan yang ditunjukkan dalam Rajah 6(a).

Minimize the state table as shown in Figure 6(a).

(40%)

Keadaan semasa <i>Present state</i>	Keadaan selepas <i>Next state</i>			Keluaran <i>Output</i>		
	Masukan <i>Input</i>			Masukan <i>Input</i>		
	x	y	z	x	y	z
A	B	H	C	0	0	0
B	D	I	B	0	1	0
C	G	H	A	0	0	0
D	A	H	I	0	1	0
E	C	A	J	0	1	0
F	C	J	A	1	1	1
G	E	J	G	0	1	0
H	B	H	A	0	0	0
I	A	J	B	1	1	1
J	C	I	G	1	1	1

(c) Takrifkan terma-terma berikut berdasarkan pemasaan flip-flop.

Derive the following terms related to flip-flop timing.

- (i) langkah perambatan
propagation delay
- (ii) masa sedia
setup time
- (iii) masa pegang
hold time

(15%)

Lampiran A (Soalan 1)
Appendix A (Question 1)

[EEE 230]

Minterm m	Input				Input (entered- variable) C	Output, f	EV	map entry
	A	B	D	E				
	0	0	0	0	0			
	0	0	0	0	1			
	0	0	0	1	0			
	0	0	0	1	1			
	0	0	1	0	0			
	0	0	1	0	1			
	0	0	1	1	0			
	0	0	1	1	1			
	0	1	0	0	0			
	0	1	0	0	1			
	0	1	0	1	0			
	0	1	0	1	1			
	0	1	1	0	0			
	0	1	1	0	1			
	0	1	1	1	0			
	0	1	1	1	1			
	1	0	0	0	0			
	1	0	0	0	1			
	1	0	0	1	0			
	1	0	0	1	1			
	1	0	1	0	0			
	1	0	1	0	1			
	1	0	1	1	0			
	1	0	1	1	1			
	1	1	0	0	0			
	1	1	0	0	1			
	1	1	0	1	0			
	1	1	0	1	1			
	1	1	1	0	0			
	1	1	1	0	1			
	1	1	1	1	0			
	1	1	1	1	1			

Masukan <i>Input</i>			Keluaran <i>Output</i>
A	B	C	Y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

