

UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Pertama
Sidang 1992/93

Oktober/November 1992

EEE 315 - Teknologi Semikonduktor II

Masa : [3 jam]

ARAHAN KEPADA CALON:

Sila pastikan bahawa kertas peperiksaan ini mengandungi 7 muka surat beserta Lampiran (1 muka surat) bercetak dan ENAM (6) soalan sebelum anda memulakan peperiksaan ini.

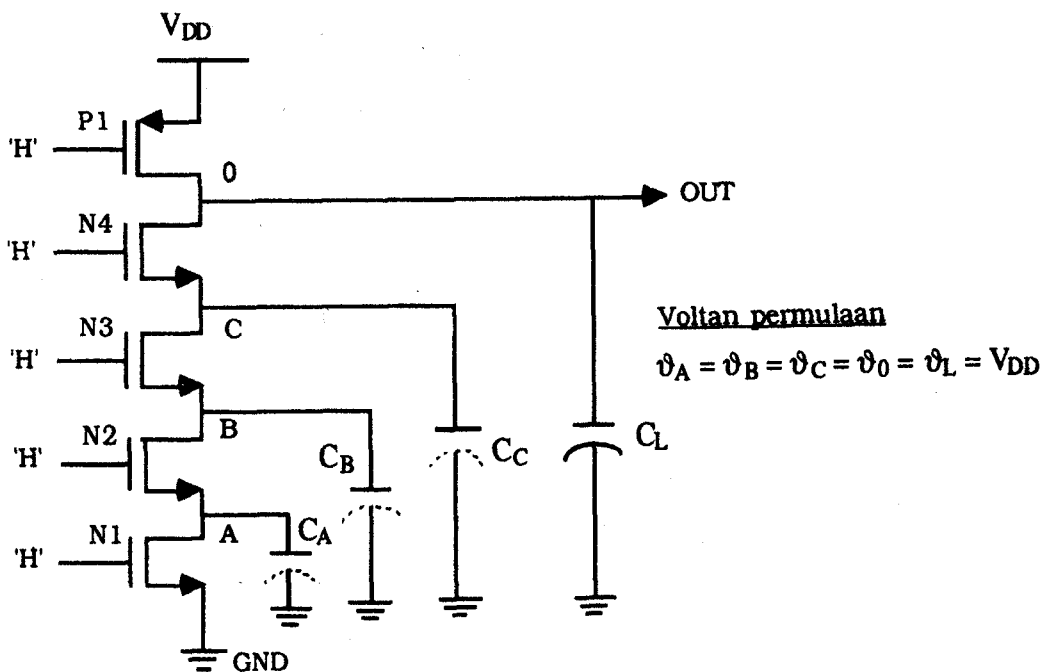
Jawab SEMUA soalan.

Agihan markah bagi setiap soalan diberikan di sut sebelah kanan sebagai peratusan daripada markah keseluruhan yang diperuntukkan bagi soalan berkenaan.

Jawab kesemua soalan di dalam Bahasa Malaysia.

$$B_N = \frac{\mu_n \epsilon_{ox}}{T_{ox}} = \mu_n C_{ox}$$

Carilah suatu pernyataan (expression) untuk lengah tarik-bawah (pull-down delay) suatu rantai NMOS FET seperti yang ditunjukkan di bawah:



(19%)

3. Di bawah ialah suatu litar untuk 'totally self checking' get CMOS

(a) Apakah F_1, F_2 bila $CK = 'LOW'$

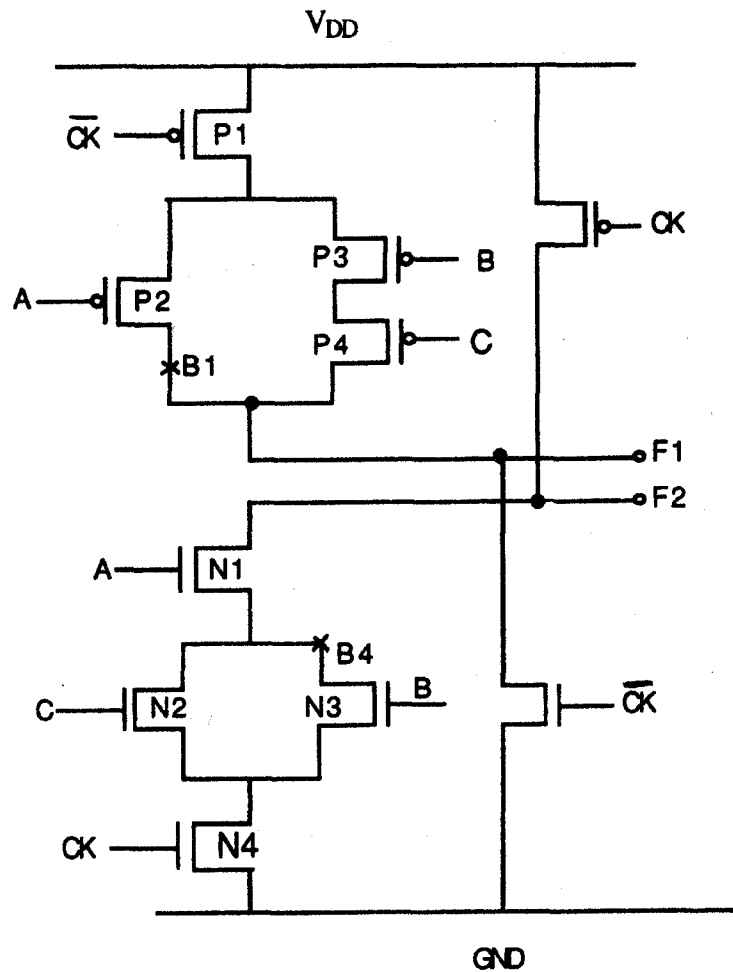
(2%)

(b) Carilah satu set vektor ujian (test vectors) untuk mengesan kerosakan (faults) dan tunjukkan nilai keluaran (F_1, F_2) untuk operasi get rosak dan tanpa - rosak (fault-free) semasa $CK = 'High'$.

(i) putus (break) di B1

(ii) putus (break) di B4

(iii) P3 'stuck - ON'



(12%)

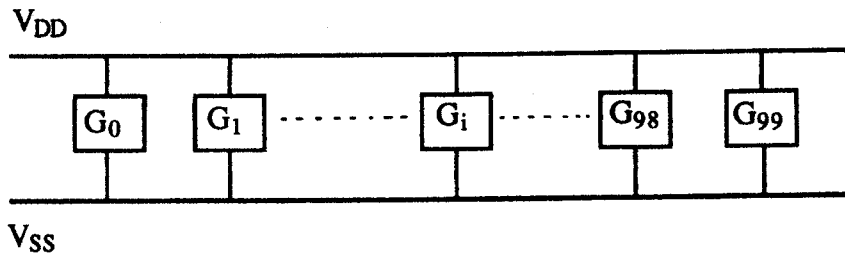
4. (a) Lakarkan litar yang telah dibentangkan seperti di Lampiran A. Namakan kegunaan litar ini.

(10%)

- (b) Lakarkan bentangan yang diperbaiki menggunakan tatatanda 'stick diagram' untuk mengurangkan keluasan bentangan dan bilangan nod-nod yang tersambung. Gunakan warna-warna untuk 'stick-diagram'

(6%)

- (c) Anggarkan lebar logam rel - pembekal (dalam μm) V_{DD} dan V_{SS} , jika sejumlah 100 get disambungkan secara kaskod (cascade) seperti yang diberikan di bawah:



Diberikan had ketumpatan arus, $J = 2\text{mA}/\mu\text{m}^2$

(5%)

5. (a) Carilah dan lukiskan suatu pelaksanaan 'VLSI systolic array' untuk 'infinite Impulse response digital filter' yang berikut.

$$y(n) = C_0 x(n) + C_1 x(n-1) + C_2 x(n-2) + C_3 x(n-3) - d_1 y(n-1) - d_3 y(n-3)$$

(8%)

- (b) Dengan gambarajah tunjukkan pengiraan untuk 8 jangka-masa jam (8 clock periods) bermula daripada sistem set semula (reset).

(8%)

- (c) Jika dilaksanakan di atas silikon, apakah had-had kelajuan jam 'VLSI systolic array' ini.

(3%)

- (d) Adakah pemuat salir (drain capacitance) suatu pemuat susutan (depletion) atau pemuat resapan ('diffusion')

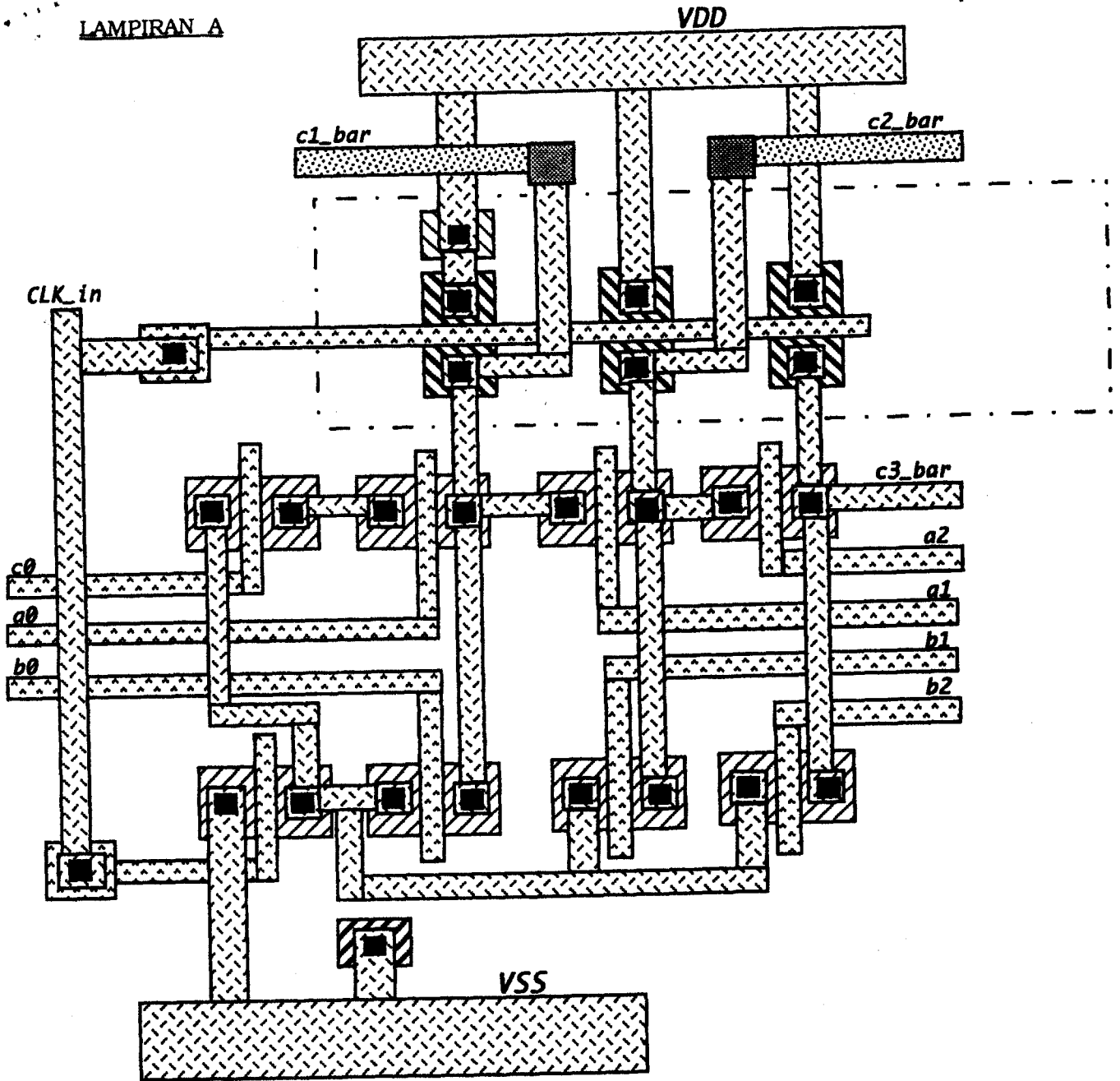
(2%)

- (e) Jelaskan dengan persamaan-persamaan anggaran kesan ketepuan halaju hanyut di dalam MOSFET.







(2%)

- 0000000 -

LAMPIRAN A



LEGEND

-  Metal level 2
-  Metal level 1
-  Diffusion
-  Contact Cut
-  Diffusion
-  Polysilicide