

UNIVERSITI SAINS MALAYSIA
Peperiksaan Semester Pertama
Sidang 1987/88

EEE 409 Teknologi Semikonduktor II

Tarikh: 31 Oktober 1987

Masa: 9.00 pagi - 12.00 tengahari
(3 Jam)

ARAHAN KEPADA CALON:

Sila pastikan bahawa kertas peperiksaan ini mengandungi 9 muka surat berserta lampiran (11 muka surat) yang bercetak sebelum anda memulakan peperiksaan ini.

Jawab mana-mana LIMA (5) soalan.

Setiap soalan mempunyai agihan markah yang sama.

Jawab kesemua soalan di dalam Bahasa Malaysia.

Peraturan Rekabentuk bagi Proses CISG adalah seperti di Lampiran 'F' (6 muka surat).

...2/-

1. Rajah Q.1 menunjukkan satu litar gabungan dengan output X dan Y. Nyatakan fungsi litar tersebut.

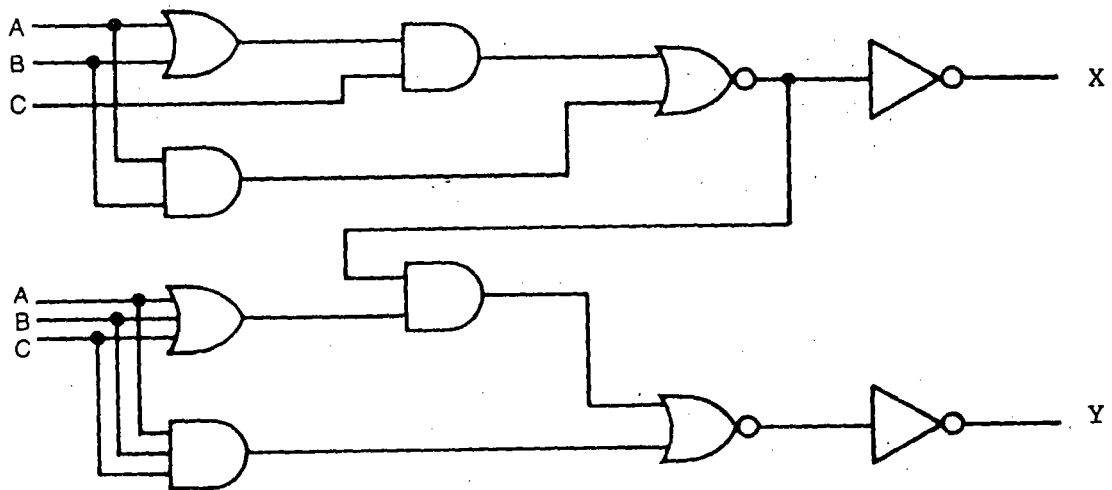
Dengan menggunakan formula berikut

$\bar{O} = \text{fn}(A, B, C, \dots)$ untuk rangkaian transistor nMOS

$O = \text{fn}(\bar{A}, \bar{B}, \bar{C}, \dots)$ untuk rangkaian transistor pMOS

dapatkan litar CMOS statik untuk litar gabungan Q.1 tersebut.

(50%)



Rajah Q.1

...3/-

Jika beban $1.0\mu F$ terdapat pada output X dan Y, anggarkan nisbah-nisbah untuk transistor-transistor nMOS dan pMOS supaya gabungan keseluruhan nisbah-nisbah ini dapat memuaskan

$\frac{\beta_n}{\beta_p} = 1$ dalam keadaan 'worst case'. Anggapkan bahawa mobiliti

elektron adalah 3 kali lebih besar daripada mobiliti lubang.

(50%)

2. Nyatakan langkah-langkah utama dalam proses fabrikasi litar CMOS.

(25%)

Rajah Q.2 (Lampiran 'A') menunjukkan satu 'layout' get NAND yang mewakili topeng-topeng untuk aras-aras yang tertentu di atas silikon. Pada garisan yang bertanda X - X, bagi setiap topeng yang terdapat di Rajah Q.2, lukiskan 'cross-section' struktur fizikal get NAND di atas silikon mengikut langkah-langkah utama proses fabrikasi litar CMOS. Berikan penerangan lanjut tentang proses-proses yang terlibat bagi setiap langkah.

(75%)

...4/-

3. Terangkan kelebihan peraturan rekabentuk berasaskan ' λ ' dibandingkan dengan peraturan rekabentuk berasaskan 'micron'.

(20%)

Rajah Q.3(a) (Lampiran 'B') menunjukkan satu 'layout' menggunakan peraturan rekabentuk berasaskan 'micron' yang mempunyai beberapa ralat peraturan rekabentuk. Kenalpastikan ralat-ralat peraturan rekabentuk yang terdapat pada 'layout' tersebut. Gunakan Lampiran 'F' sebagai panduan.

(30%)

Daripada 'layout' yang terdapat pada Rajah Q.3(a), dapatkan litar CMOS statiknya. Laksanakan litar statik CMOS yang anda perolehi di atas 'gate-array' yang ditunjukkan di Rajah Q.3(b) (Lampiran 'C'). Gunakan METAL I dan METAL II saja untuk membuat penyambungan di antara transistor-transistor yang terdapat pada 'gate-array' tersebut. Perhatikan syarat-syarat yang terdapat di Rajah Q.3(b).

(50%)

...5/-

4. Berikut adalah satu fungsi logik 5-pembolehubah yang terpaksa dilaksanakan menggunakan litar CMOS statik:-

$$f = \overline{A}\overline{B}\overline{C}\overline{D}\overline{E} + \overline{B}\overline{C}\overline{D}\overline{E} + \overline{A}\overline{B}\overline{D}\overline{E} + \overline{A}\overline{C}\overline{D}\overline{E} + \overline{A}\overline{B}\overline{C}\overline{D}E \\ + \overline{B}\overline{C}\overline{D}E + B\overline{D}\overline{E} + A\overline{C}\overline{D}\overline{E} + C\overline{D}\overline{E} + \overline{B}\overline{C}\overline{D}E$$

Kurangkan fungsi logik ini dengan menggunakan Peta Karnaugh dan seterusnya lakarkan litar CMOS statik yang diperolehi.

(50%)

Lakarkan rajah ranting untuk litar yang diperolehi dengan menggunakan teknologi 'single metal, single poly' mengikut peraturan di bawah:-

- (a) lokasi transistor pMOS hanya dibenarkan dalam satu baris atas saja.
- (b) lokasi transistor nMOS hanya dibenarkan dalam satu baris bawah saja.
- (c) METAL I mesti digunakan secara mengufuk (horizontal) saja.
- (d) POLY mesti digunakan secara menegak (vertical) saja.

(50%)

...6/-

5. Anda dikehendaki merekabentuk lampu amaran 'SILA PASANGKAN TALI KELEDAR' yang mudah untuk model Proton Saga yang baru. Spesifikasinya adalah seperti berikut:-

Sensor pengesan berat (weight sensors) diletakkan di bawah setiap tempat duduk depan (dua saja) kereta Proton Saga untuk mengesan sama ada tempat duduk tersebut diduduki atau tidak. Suis tali keledar sentiasa berada di dalam keadaan 'TINGGI' sehingga tali keledar dipasang. Apabila suis enjin kereta dipasangkan, jika satu ATAU kedua sensor-sensor tersebut adalah dalam keadaan logik 'TINGGI', lampu amaran 'SILA PASANGKAN TALI KELEDAR' akan menyala sehingga tali keledar dipasang. Sensor-sensor dan lampu amaran tidak akan beroperasi jika suis enjin kereta dimatikan.

Berasaskan spesifikasi ini, anda dikehendaki merekabentuk litar logik ini mengikut pendekatan 'standard cell' menggunakan bilangan sel-sel yang paling minimum. Anda hanya diberi bilangan sel-sel yang terhad seperti yang terdapat dalam 'directory' "cad\$disk:[imkth.austcells] seperti berikut:-

<u>Kod Sel</u>	<u>Jenis Sel</u>
M02OR4	2-Input OR gate
M03AA2	3-Input AND gate
M02ZZ1	Vertical Feedthrough
M04NA5	4-Input NAND gate
M02AA2	2-Input AND gate
M04N05	4-Input NOR gate
M04OR5	4-Input OR gate

...7/-

Contoh sel-sel ini adalah seperti yang ditunjukkan di Rajah Q.5(a) (Lampiran 'D') dan Q.5(b) (Lampiran'D') untuk sel 2-input dan 4-input masing-masing.

Dalam rekabentuk anda, anda mesti mengikut langkah-langkah berikut:-

- (a) Pertama, sediakan jadual kebenaran dan skematik logiknya. Beri nama-nama yang sesuai untuk port-port input dan output di atas skematik anda.

(30%)

- (b) Kedua, berasaskan sel-sel yang anda pilih, lakarkan 'layout' secara kasar untuk menyambung sel-sel tersebut. Anda boleh menggunakan METAL I atau POLY atau kedua-duanya.

(20%)

- (c) Ketiga, dengan menggunakan set bahasa 'procedural' PAC seperti yang terdapat di Rajah Q.5(c) (Lampiran 'E'), tuliskan satu aturcara PAC yang boleh menjana 'layout' litar tersebut (Pad-pad I/O tidak diperlukan).

(50%)

...8/-

6. Beri kelebihan dan keburukan TMODES (Timing MOS Digital Simulator) jika dibandingkan dengan SPICE.

(20%)

Terangkan apa yang anda fahamkan dengan maksud simulator jenis 'event-driven'.

(30%)

Berikan penerangan tentang model elemen get seperti NAND, NOR, dan lain-lain dalam TMODES termasuk model 'timing'nya. Selanjutnya, untuk mencapai kestabilan dalam TMODES, terangkan prinsip dominans.

(50%)

7. Anda baru saja dilantik sebagai Pengurus Projek untuk merekabentuk satu cip perhubungan (communication chip) menggunakan teknologi CMOS 2.5 μm . Cip ini mengandungi modul-modul RAM, Pengawal (Controller), 'Parallel Multiplier/Accumulator' dan ALU (Arithmetic Logic Unit).

Anda hanya diberi 4 orang jurutera rekabentuk yang tidak mempunyai pengalaman. Anda dikehendaki merekabentuk cip tersebut dalam masa 6 bulan untuk satu aplikasi khas yang memerlukan 5000 unit. Prestasi cip tidak begitu kritikal tetapi mesti beroperasi dalam lingkungan 100 kHz.

...9/-

Anda diberi pilihan untuk menggunakan pendekatan 'gate-array', 'standard cell/macrocell' atau 'full custom'. Nyatakan pilihan anda dan beri sebab-sebab kenapa pilihan itu dibuat.

(40%)

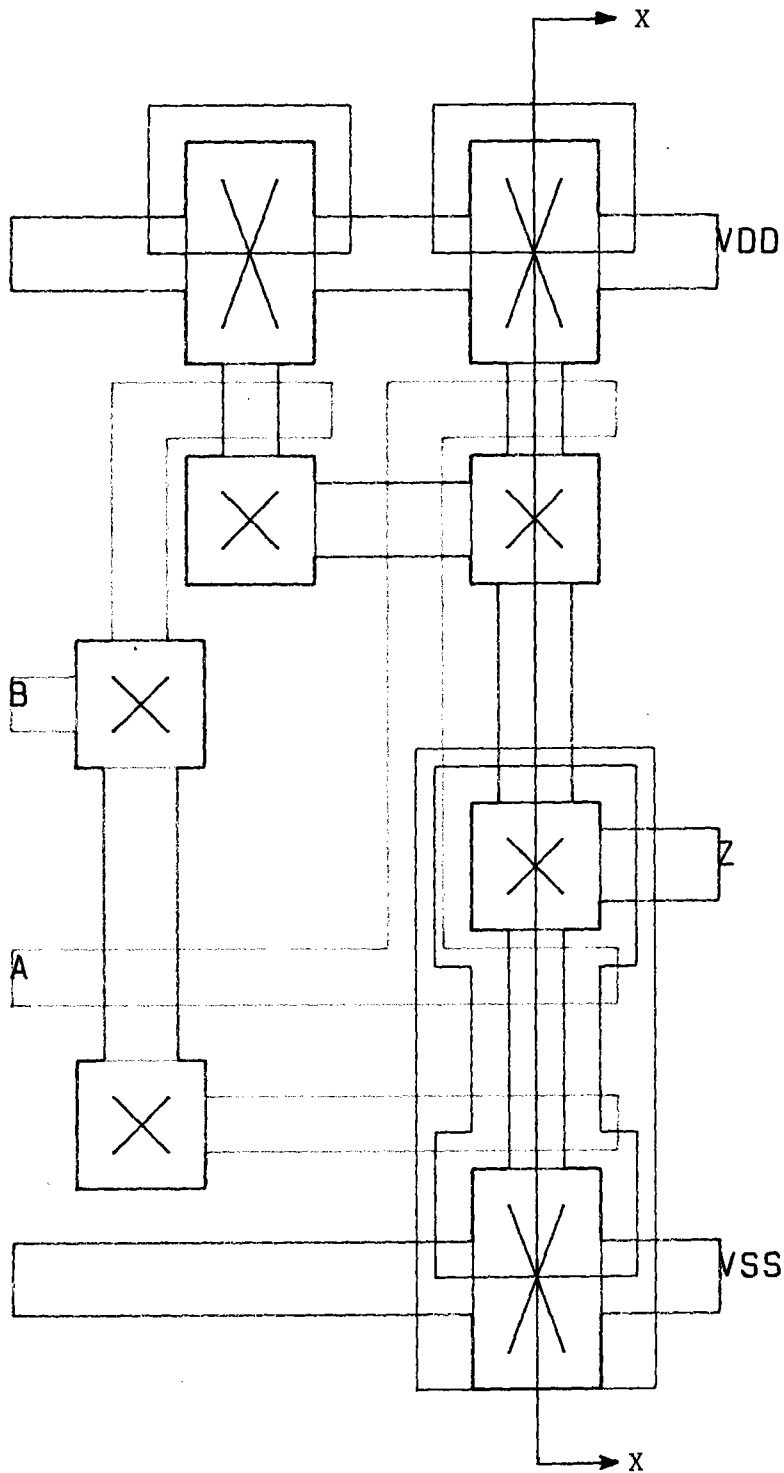
Nyatakan bagaimana anda menyusun pasukan anda dan sebutkan kaedah rekabentuk yang diikuti. Berikan kelebihan dan kekurangan kaedah tersebut.

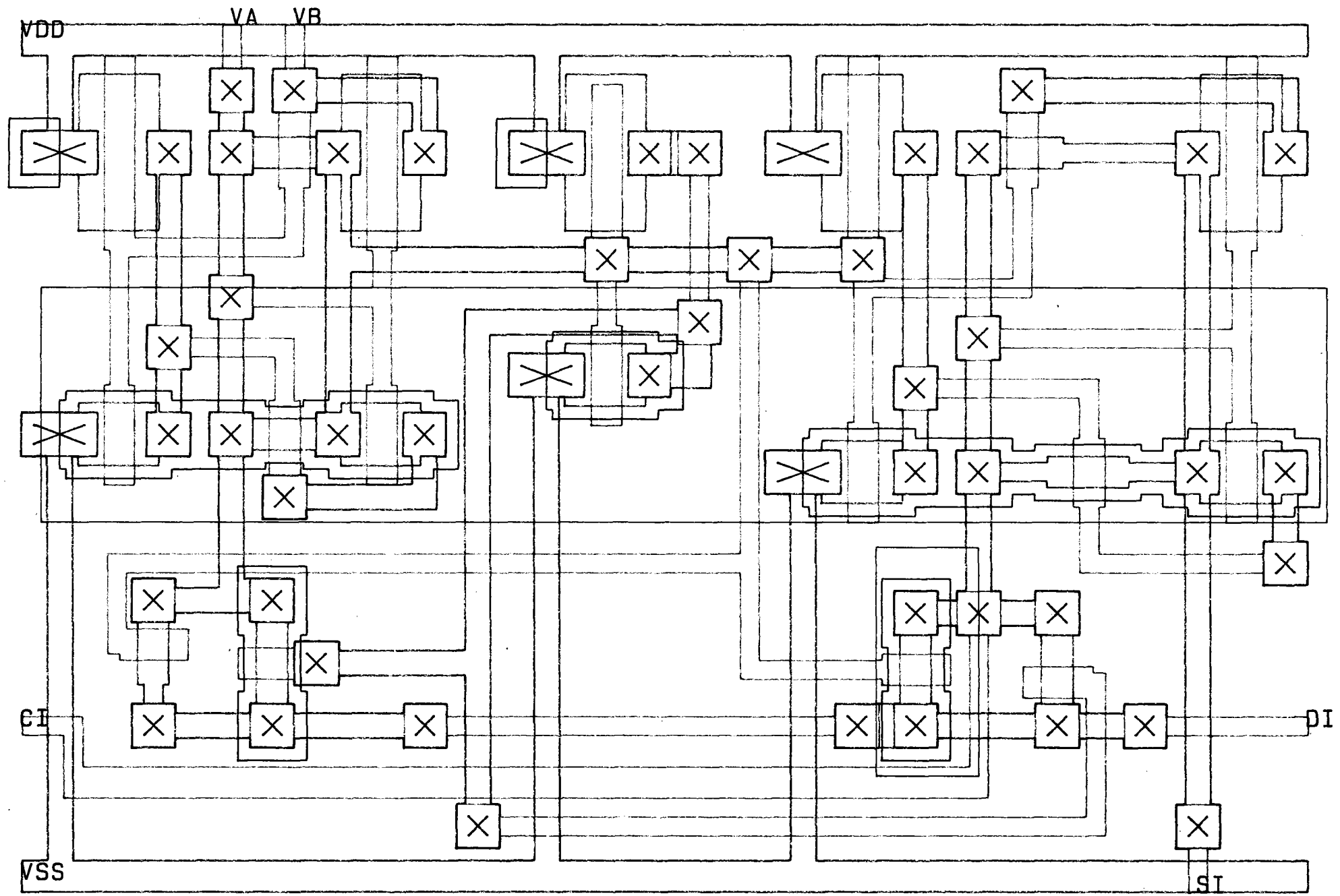
(30%)

Oleh kerana jurutera-jurutera anda tidak berpengalaman, anda terpaksa menerangkan langkah-langkah yang perlu untuk merekabentuk cip menggunakan perisian CAD bermula dengan mengenalpasti keperluan sistem sehingga cip tersebut dihantar ke loji fabrikasi untuk diproses. Nyatakan.

(30%)

-ooo0ooo-



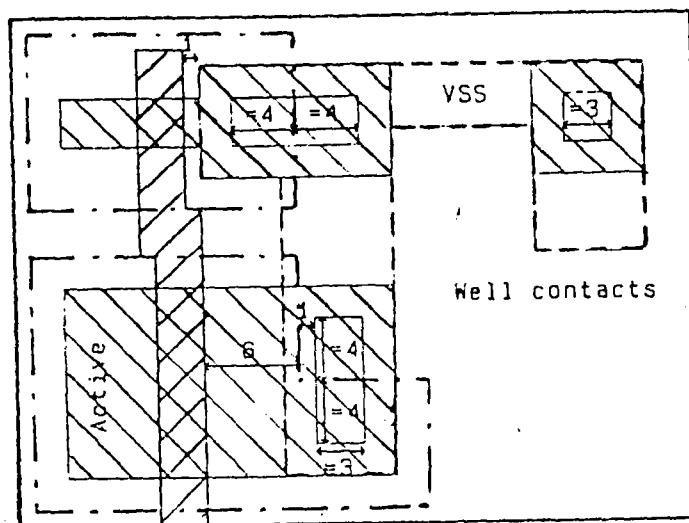
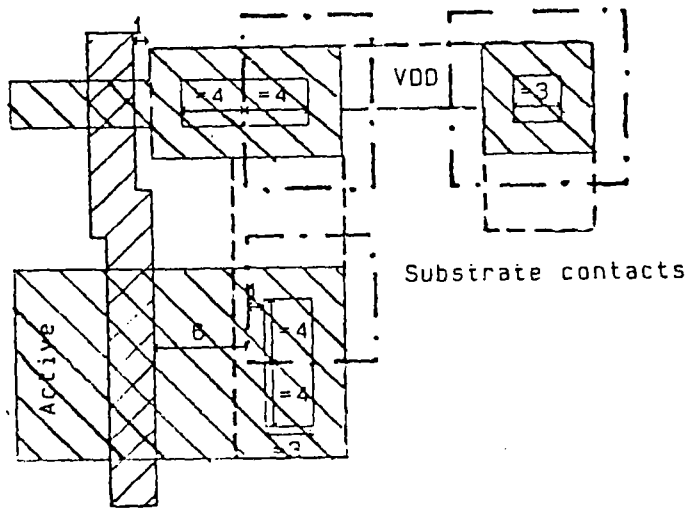


Ident: MIMOS: [GHAZIE.SYML0] USMEXAM.AF4;7 Created: 18-SEP-87 09:19:55

4.12 SUBSTRATE CONTACTS

The following rules apply to N+ to P+ butting contacts. For the other types of substrate contacts are the rules of section 4.5 valid.

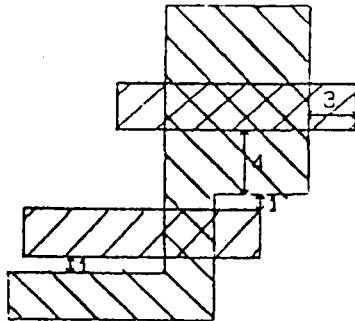
WCU	: Minimum contact overlap of P+ area.....	4 um
WCU	: Minimum contact overlap of N+ area.....	4 um
SNICH	: Minimum spacing N+implant edge to gate in direction of diffusion.....	6 um
SCUNI	: Minimum spacing N+implant edge to substrate contact (cuts).....	1 um



Contacts between VSS and P-well and VDD and substrate should be made as often as convenient, but at least one contact per well and one

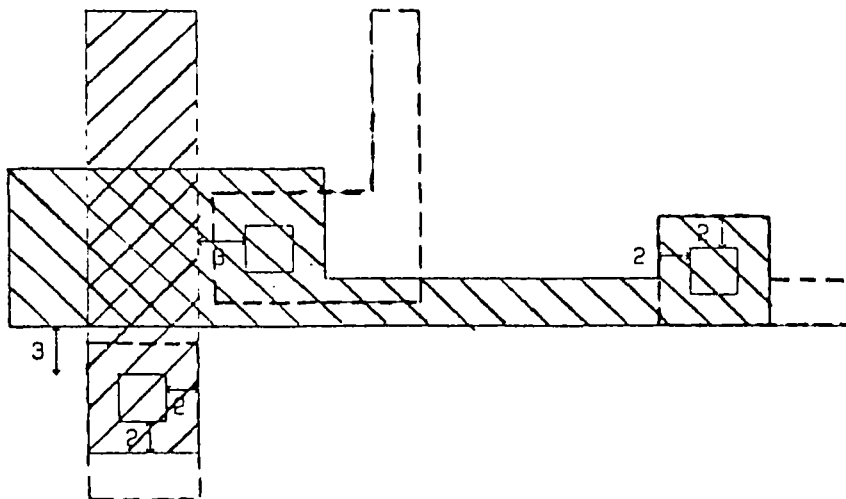
4.10 POLYSILICON TO DIFFUSION

EPOCH	: Minimum polysilicon gate extension.....	3 um
EPACH	or	
ENACH	: Minimum source or drain beyond gate.....	4 um
SPODI	: Minimum spacing polysilicon to diffusion.....	1 um



4.11 CUTS TO POLYSILICON, DIFFUSION AND METAL

OPOCU	: Minimum polysilicon overlap of cuts.....	2 um
ODICU	: Minimum diffusion overlap of cuts.....	2 um
OMECU	: Minimum metal overlap of (all) cuts.....	2 um
SCUCH	: Minimum spacing cuts to gate.....	3 um

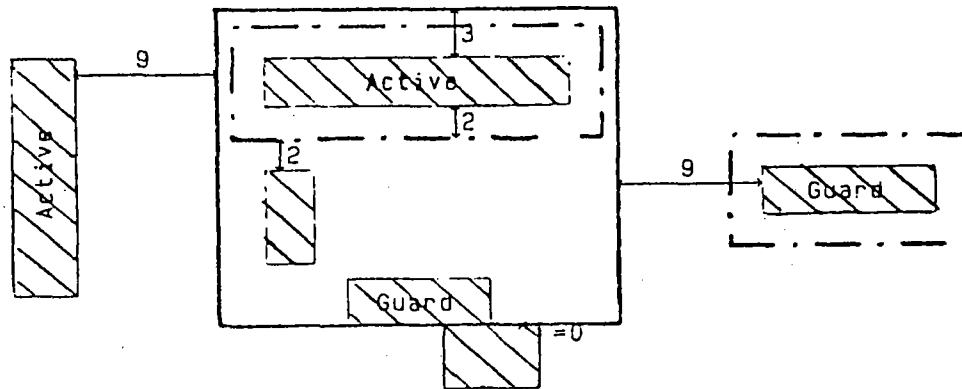


4.8 N+IMPLANT TO DIFFUSION

ONIDI : Minimum N+implant overlap of N+..... 2 um
 SNIDI : Minimum spacing N+implant to P+..... 2 um

4.9 P-WELL TO DIFFUSION

OPWNA : Minimum P-well overlap of N+ inside P-well..... 3 um
 SNGPW : Minimum spacing P-well to N+ outside P-well..... 9 um
 SPAPW : Minimum spacing P-well to P+ completely outside (edge to edge is OK) P-well..... 9 um



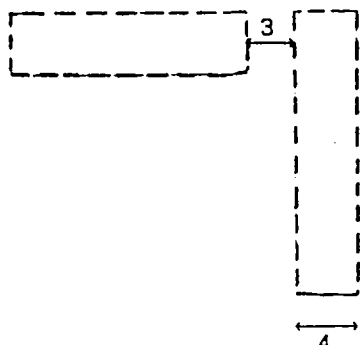
4.5 CUTS

WCU : Cuts to polysilicon or diffusion. Size .. 3 um x 3 um
 WCU : Cuts to substrate. Size 3 um x 3 um
 Or if P+ to N+ butting contact..... 8 um x 3 um
 SCUCU : Minimum spacing 3 um



4.6 METAL

WME : Minimum width 4 um
 SMEME : Minimum spacing 3 um



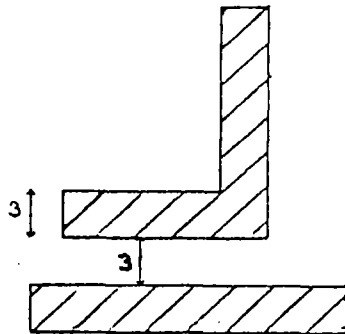
4.7 BONDCUTS

WPR : Size for probing cuts..... 15 um x 15 um
 SPRPR : Minimum spacing probing cuts..... 25 um
 WBO : Size for bonding cuts..... 130 um x 130 um
 SBOBO : Minimum spacing bondcuts..... 130 um
 OMEBO : Minimum metal overlap of bondcuts..... 10 um

(See section 5.5 for figures)

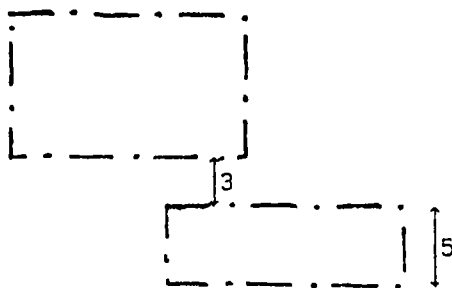
4.3 POLYSILICON

WPO	: Minimum width	3 um
SPOPO	: Minimum spacing	3 um



4.4 N+IMPLANT

WNI	: Minimum width	5 um
SNINI	: Minimum spacing	3 um

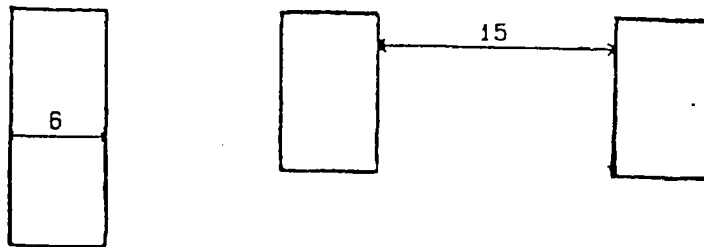


LAMPIRAN F

4. DESIGN RULES OF THE C15G PROCESS

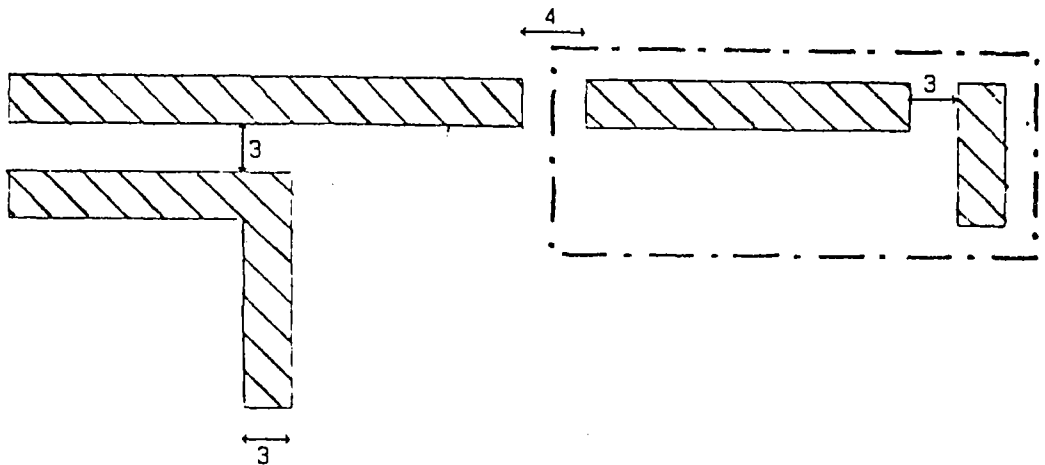
4.1 P-WELL

WPW	: Minimum P-well dimension	6 um
SPWPW	: Minimum P-well to P-well spacing for wells at different potentials.....	15 um



4.2 DIFFUSION

WDI	: Minimum width	3 um
SPDPD or		
SNDND	: Minimum spacing	3 um
SNDPD	: Minimum spacing N+ to P+.....	4 um



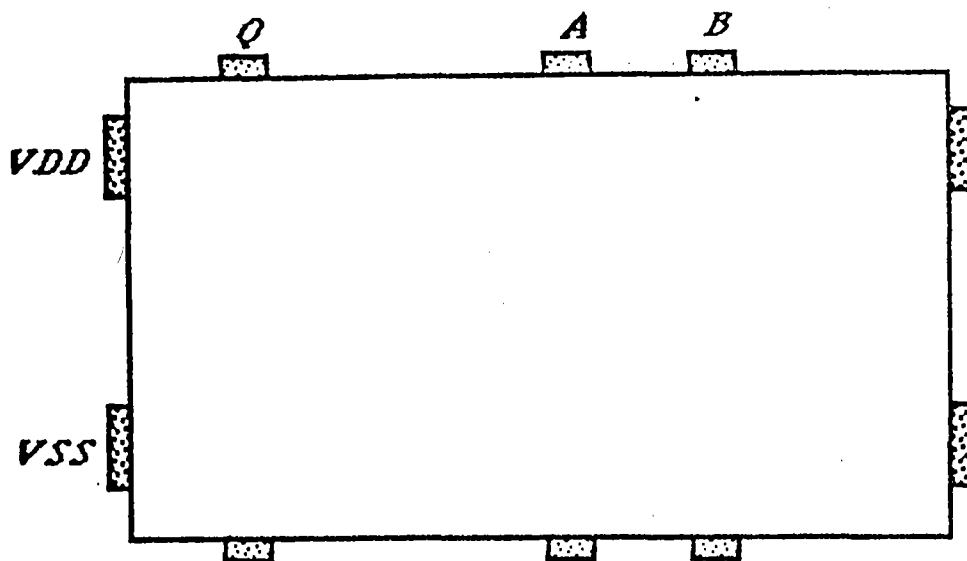
LAMPIRAN E

```
PROCEDURE ax (x : coordinate)
PROCEDURE ay (y : coordinate)
PROCEDURE branch
PROCEDURE cellref (refname,cellname,
                   instname : strtype)
PROCEDURE defcell (name : strtype)
PROCEDURE drawxy ( x,y : coordinate;
                  transformation : strtype)
PROCEDURE dy (y : coordinate)
PROCEDURE dx (x : coordinate)
PROCEDURE endb
PROCEDURE endcell
PROCEDURE getrefwire (name : strtype)
PROCEDURE inst (name : strtype)
PROCEDURE layer (name : strtype)
PROCEDURE outform (output_format : strtype)
PROCEDURE port (attribute : strtype)
PROCEDURE process (name : strtype)
PROCEDURE ref (name : strtype)
PROCEDURE ufd (start_of_ufdname : strtype)
PROCEDURE wirexy (x,y : coordinate)



FUNCTION getrefx (name : strtype) : coordinate;
FUNCTION getrefy (name : strtype) : coordinate;
```

Rajah Q.5(c) "PAC Procedure Declarations"

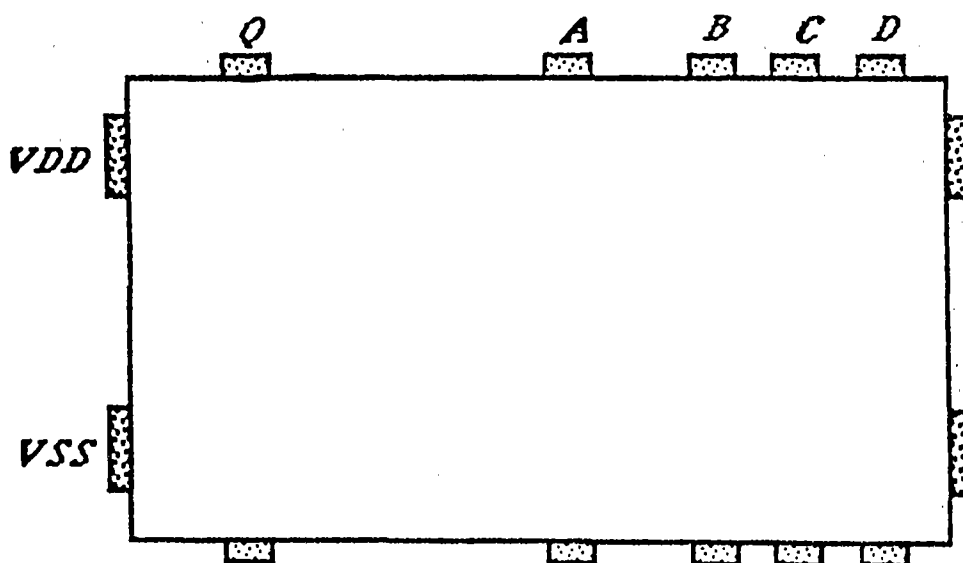
LAMPIRAN D





Key :

-  Metal2 (10 μm) Output : Q
-  Poly (3 μm) Inputs : A, B

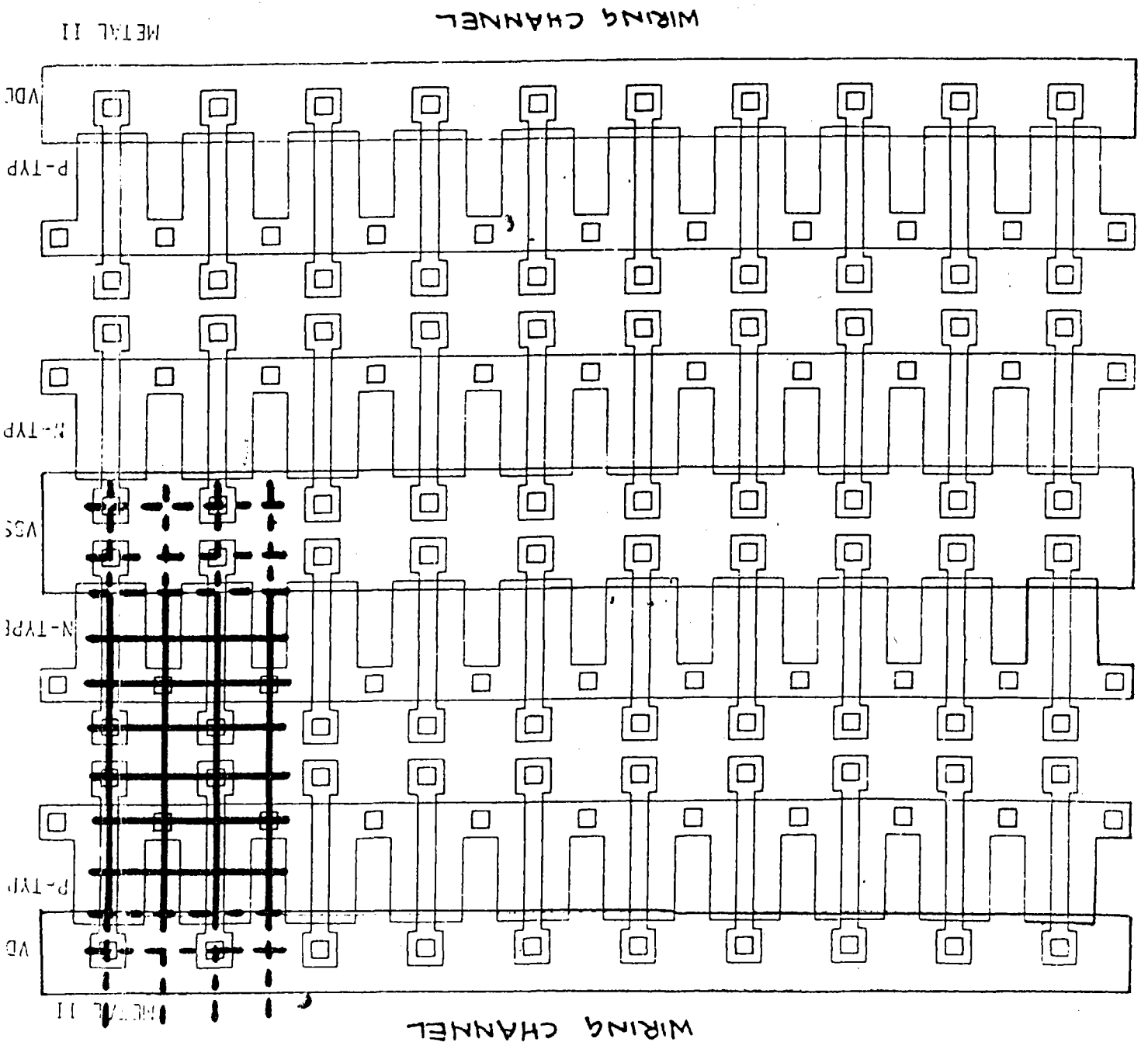
Rajah Q.5(a)



Key :

-  Metal2 (10 μm) Output : Q
-  Poly (3 μm) Inputs : A, B, C, D

Rajah Q.5(b)



DOUBLE METAL CMOS ARRAY

- UPPER RIGHT CORNER SHOWS PERMISSIBLE WIRING GRID (DOTTED = METAL I ONLY)
- POWER TRACKS ARE RESERVED IN METAL II
- CONTACT CUTS ARE TO METAL I ONLY
- METAL II CONNECTS TO METAL I ONLY, THROUGH VIAS
- CONNECT METAL II TO DIFF OR POLY THROUGH VIA/M I/CONTACT
- OFFSET VIAS & CONTACTS BY 1/2 GRID FITCH MINIMUM