

---

UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Pertama  
Sidang Akademik 2007/2008

Oktober/November 2007

**EEU 202 – ELEKTRONIK UNTUK JURUTERA**

Masa : 3 Jam

---

Sila pastikan kertas peperiksaan ini mengandungi **LIMABELAS** muka surat bercetak sebelum anda memulakan peperiksaan ini.

Kertas soalan ini mengandungi **ENAM** soalan.

Jawab **LIMA (5)** soalan.

Mulakan jawapan anda untuk setiap soalan pada muka surat yang baru.

Agihan markah diberikan di sudut sebelah kanan soalan berkenaan.

Jawab semua soalan dalam Bahasa Malaysia atau Bahasa Inggeris.

1. (a) Berdasarkan Rajah 1(a), tentukan:

*Based on Figure 1(a), determine:*

(i) Jenis litar tersebut.

*Type of the circuit.*

(10%)

(ii) Voltan puncak keseluruhan bagi gelungan sekunder.

*The total peak secondary voltage.*

(10%)

(iii) Bentuk gelombang voltan merentasi  $R_L$ .

*The waveform of the voltage across  $R_L$ .*

(20%)

(iv) Nilai voltan puncak balikan (PIV) bagi setiap diod.

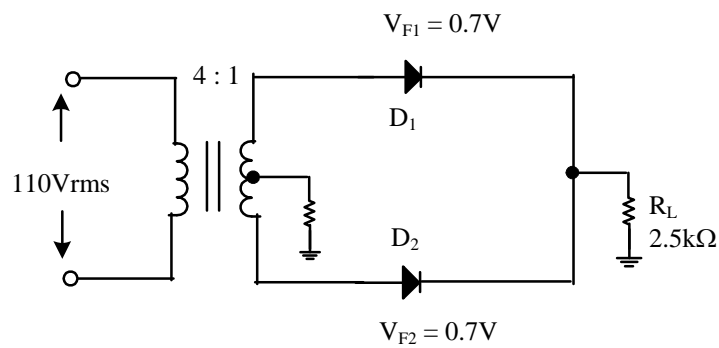
*The peak inverse voltage (PIV) for each diode.*

(20%)

(v) Nilai arus puncak yang melalui setiap diod.

*The peak current through each diode.*

(20%)

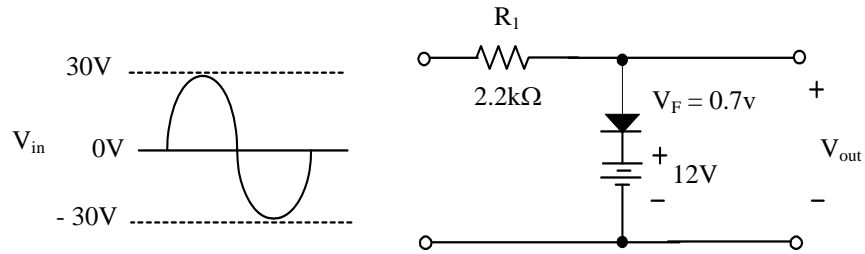


Rajah 1(a)  
Figure 1(a)

(b) Lakarkan gelombang voltan keluaran,  $V_{out}$  bagi litar Rajah 1(b).

Sketch the waveform of the output voltage,  $V_{out}$  for the circuit of Figure 1(b).

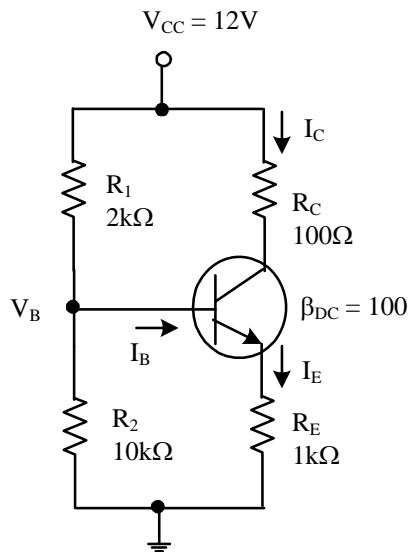
(20%)



Rajah 1(b)  
Figure 1(b)

2. Berdasarkan Rajah 2, tentukan:

Based on Figure 2, determine:

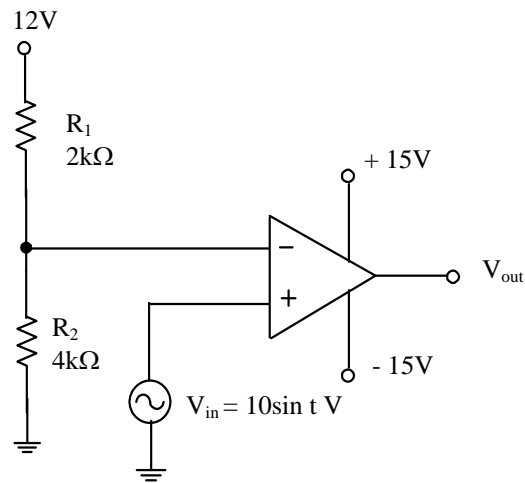


Rajah 2  
Figure 2

- (a) Nilai  $\alpha_{DC}$   
*The value of  $\alpha_{DC}$*  (10%)
- (b) Nilai  $V_B$   
*The value of  $V_B$*  (10%)
- (c) Nilai  $I_E$   
*The value of  $I_E$*  (20%)
- (d) Nilai  $I_B$   
*The value of  $I_B$*  (10%)
- (e) Nilai  $I_C$   
*The value of  $I_C$*  (10%)
- (f) Nilai  $V_{CE}$   
*The value of  $V_{CE}$*  (20%)
- (g) Kawasan pengoperasian BJT  
*The operational region of the BJT* (20%)

3. (a) Berdasarkan Rajah 3(a), lakarkan bentuk gelombang keluaran dengan menunjukkan hubungkaitnya terhadap gelombang masukan.

*Based on Figure 3(a), sketch the output waveform showing its proper relationship to the input waveform.*

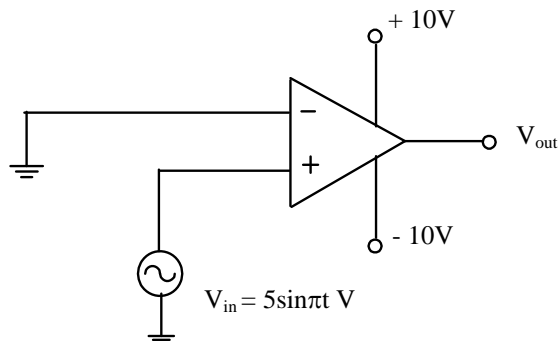


Rajah 3(a)  
Figure 3(a)

(30%)

- (b) Lakarkan gelombang keluaran bagi litar Rajah 3(b).

*Sketch the output waveform of the circuit in Figure 3(b).*

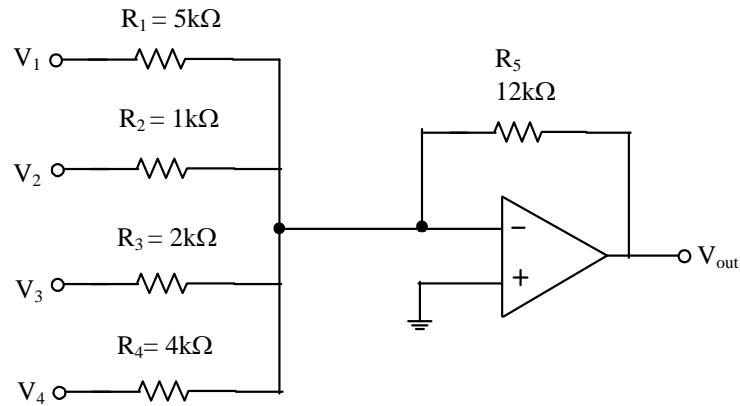


Rajah 3(b)  
Figure 3(b)

(10%)  
...6/-

- (c) Terbitkan persamaan untuk mewakili  $V_{out}$  dalam Rajah 3(c).

*Derive the equation of  $V_{out}$  in Figure 3(c).*

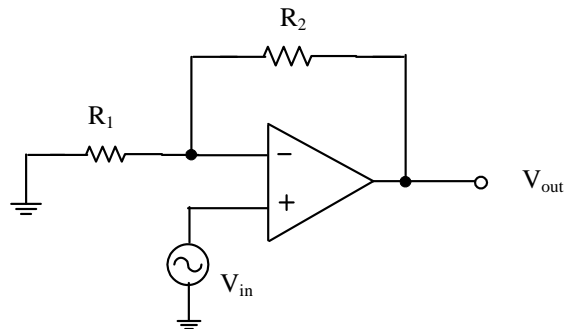


Rajah 3(c)  
Figure 3(c)

(40%)

- (d) Terbitkan persamaan untuk mewakili gandaan voltan bagi litar dalam Rajah 3(d).

*Derive the equation to present the voltage gain of the circuit in Figure 3(d).*



Rajah 3(d)  
Figure 3(d)

(20%)

...7/-

4. (a) Dua picu pinggir flip-flop SR ditunjukkan dalam Rajah 4. Jika masukannya seperti ditunjukkan, lukis keluaran Q bagi setiap flip-flop bergantung kepada jam dan terangkan perbezaan bagi kedua-duanya. Jadual kebenaran untuk flip-flop SR adalah seperti ditunjukkan dalam Jadual 1.

*Two edge triggered SR flip-flop are shown in Figure 4. If the inputs are as shown, draw the Q output of each flip-flop relative to the clock and explain the difference between the two. Truth table for SR flip-flop as shown in Table 1.*

Rajah 4  
Figure 4

Jadual 1  
Table 1

Input		Output	
S	R	Q	$\bar{Q}$
0	0	Q <sub>o</sub> (no change)	$\bar{Q}_o$
1	0	1	0
0	1	0	1
1	1	Invalid (0)	0

(20%)

...8/-

- (b) Tentukan gelombang Q berpandukan kepada jam jika isyarat yang ditunjukkan dalam Rajah 5 diberikan kepada masukan flip-flop JK. Andaikan Q pada keadaan awal adalah logik 0. Jadual kebenaran untuk JK flip-flop ditunjukkan dalam Jadual 2.

*Determine the Q waveform relative to the clock if the signals as shown in Figure 5 are applied to the inputs of the JK flip-flop. Assume that Q is initially at low. Truth table for JK flip-flop is shown in Table 2.*

Jadual 2  
Table 2

Input		Output	
J	K	Q	$\bar{Q}$
0	0	$Q_o$	$\bar{Q}_o$
0	1	0	1
1	0	1	0
1	1	$\bar{Q}_o$	$Q_o$

Rajah 5  
Figure 5

(20%)

...9/-



- (c) Lukiskan keluaran Q berpandukan kepada jam untuk flip-flop D dengan masukannya seperti ditunjukkan dalam Rajah 6. Andaikan picuan pinggir positif dan keadaan awal Q ialah logik 0. Jadual kebenaran untuk flip-flop D ditunjukkan dalam Jadual 3.

*Draw the output of Q relative to the clock for a D flip-flop where the input is shown in Figure 6. Assume a positive edge-triggering and Q is initially at low. The truth table for the D flip-flop is shown in Table 3.*

Jadual 3  
Table 3

Input	Output	
D	Q	$\bar{Q}$
0	0	1
1	1	0

Rajah 6  
Figure 6

(20%)

...10/-

- (d) Dengan menggunakan jadual peralihan bagi JK flip-flop dalam Jadual 4, rekabentuk pembilang untuk menghasilkan jujukan binari seperti berikut:

*By using transition table for JK flip-flop in Table 4, design a counter to produce the following binary sequence:*

0, 1, 3, 2, 6, 7, 5, 4, 0, 1, ...

Jadual 4  
Table 4

Output $Q_N$	Transitions $Q_{N+1}$	Flip-flop J	Inputs K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

(40%)

5. (a) Gunakan peta Karnaugh untuk minimumkan persamaan berikut:

*Use a Karnaugh map to minimize the following expression:*

$$\overline{ABC} + \overline{A}BC + \overline{A}\overline{B}C + \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C$$

(10%)

- (b) Tuliskan persamaan minimum bagi peta Karnaugh dalam Rajah 7.

*Write the minimum expression for the Karnaugh map in Figure 7.*

	CD	00	01	11	10
AB	00			1	1
	01	1	1	1	1
	11	1	1	1	1
	10		1		

Rajah 7  
Figure 7

(10%)

...11/-

(c) Gunakan teori Demorgan bagi setiap persamaan berikut:

*Apply Demorgan's theorems to each expression:*

(i)  $\overline{A + \overline{B}}$

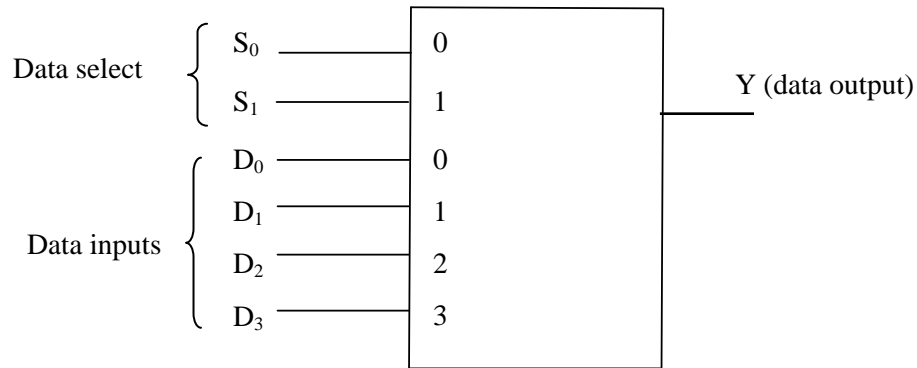
(ii)  $\overline{A + B + C}$

(iii)  $\overline{AB + CD}$

(iv)  $\overline{(A + \overline{B})(\overline{C} + D)}$  (20%)

(d) Simbol logik bagi pemultipleks 4 masukan adalah seperti ditunjukkan dalam Rajah 8. Masukan pada pilih data (S) akan membenarkan data pada masukan data dipilih untuk melepasi hingga ke data keluaran. Jika  $S_0=0$  dan  $S_1=0$  diberikan pada laluan pilih data, data pada masukan  $D_0$  akan muncul pada data keluaran. Jika  $S_1=0$  dan  $S_0=1$ , data pada masukan  $D_1$  akan muncul pada data keluaran. Jika  $S_1=1$  dan  $S_0=0$ , data pada  $D_2$  akan muncul pada keluaran. Jika  $S_1=1$  dan  $S_0=1$ , data pada  $D_3$  akan muncul pada keluaran berdasarkan pada maklumat ini, lukiskan jadual kebenaran bagi pemultipleks 4 masukan. Lukiskan litar logik untuk melakukan operasi tersebut.

*A logic symbol for a 4 input multiplexer is shown in Figure 8. Data select (S) allows data on the selected data input to pass through and appears at the data output. If the binary  $S_0=0$  and  $S_1=0$  are applied to the data select line, the data on input  $D_0$  appears on the data output line. If  $S_1=0$  and  $S_0=1$ , the data on input  $D_1$  appears on the data output line. If  $S_1=1$  and  $S_0=0$ , the data on  $D_2$  are switched to the output line. If  $S_1=1$  and  $S_0=1$ , the data on  $D_3$  are switched to the output line. Based on this information, draw a truth table for the 4 input multiplexer. Draw a logic circuitry to perform this multiplexing operation.*



Rajah 8  
Figure 8

(60%)

6. (a) Bagi daftar 8 bit dwi arah dalam Rajah 9, tentukan keadaan bagi pendaftar selepas denyutan jam diberikan kepada  $\overline{\text{RIGHT/LEFT}}$ . Andaikan yang daftar pada awalnya menyimpan nombor desimal tujuh puluh enam dalam binari dengan posisi paling kanan adalah LSB (bit paling kurang berkesan). Terdapat isyarat rendah pada data masukan.

*For an 8 bit bidirectional register as shown in Figure 9, determine the state of the register after each clock pulse for the  $\overline{\text{RIGHT/LEFT}}$  control waveform given. Assume that the register initially stores a decimal number seventy six in binary with the right most position being the LSB (least significant bit). There is a low on the data input line.*

Rajah 9  
Figure 9

(15%)

- (b) Bagi daftar anjak 10 bit masukan sesiri/keluaran sesiri seperti ditunjukkan dalam Rajah 10, tentukan gelombang data keluaran bagi gelombang data masukan dan jam dalam Rajah 10. Andaikan yang daftar pada keadaan awal ialah 0.

*For a serial in/serial out shift register 10 bit as shown in Figure 10, determine the data output waveform for the given data input and clock wave forms shown in Figure 10. Assume that the register is initially cleared.*

Rajah 10  
Figure 10

(15%)

...14/-

- (c) (i) Nyatakan dua kegunaan pembilang.  
*State two applications of a counter.*
- (10%)
- (ii) Jam berfrekuensi 10MHz digunakan pada pembilang binari 4 bit.  
Apakah frekuensi terendah bagi keluaran pembilang tersebut?
- A 10MHz clock frequency is applied to a 4 bit binary counter.  
What is the lowest output frequency of the counter?*
- (10%)
- (d) Stepper motor adalah motor yang berpusing dalam tahap-tahap tertentu, asasnya  $15^\circ$  untuk satu tahap. Gegelung magnetik mestilah diaruhkan dan dinyaharuhkan dalam jujukan yang spesifik untuk menghasilkan tahap-tahap ini. Rajah 11 menunjukkan stepper motor bersama 4 gegelung. Gegelung 1 dan 2 mestilah dalam keadaan berbeza (gegelung 1 diaruhkan, gegelung 2 tidak diaruhkan dan sebaliknya). Sama juga seperti gegelung 3 dan gegelung 4 mestilah dalam keadaan yang berbeza. Keluaran bagi pembilang segerak dua bit digunakan untuk mengawal arus dalam empat gegelung, A dan  $\bar{A}$  mengawal gegelung 1 dan gegelung 2, B dan  $\bar{B}$  mengawal gegelung 3 dan 4. Penguat arus diperlukan kerana keluaran flip-flop tidak boleh memberikan kuantiti arus yang diperlukan. Berdasarkan kepada maklumat yang diberikan, rekabentuk pembilang segerak untuk memacu stepper motor tersebut.

*A stepper motor is a motor that rotates in steps typically at 15° per step. Magnetic coils must be energized and deenergized in a specific sequence in order to produce this stepping action. Figure 11 shows the stepper motor with four coils. Coils 1 and 2 must always be in opposite states (coil 1 is energized, coil 2 is not and vice versa). Likewise, coil 3 and coil 4 must always be in opposite states. The outputs of a two bit synchronous counter are used to control the current in the four coils, A and  $\bar{A}$  control coils 1 and 2, B and  $\bar{B}$  control coils 3 and 4. The current amplifiers are needed because the flip-flop outputs cannot supply the amount of current that the coils require. Based on the information given, design the synchronous counter to drive the stepper motor.*

(50%)

Rajah 11  
Figure 11

oooOOooo