
UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Pertama
Sidang Akademik 2008/2009

November 2008

EEE 348 – PENGANTAR REKABENTUK LITAR BERSEPADU

Masa : 3 Jam

ARAHAN KEPADA CALON:-

Sila pastikan kertas peperiksaan ini mengandungi **SEMBILAN** muka surat bercetak dan **ENAM** soalan sebelum anda memulakan peperiksaan ini.

Jawab **LIMA** soalan.

Agihan markah diberikan di sudut sebelah kanan soalan berkenaan.

Semua soalan hendaklah dijawab di dalam Bahasa Malaysia atau Bahasa Inggeris.

1. (a) Apakah Hukum Moore?

What is Moore's Law?

(10 marks)

- (b) Terangkan aliran rekabentuk untuk kaedah rekabentuk VLSI berikut.

Explain design flow for the following VLSI design styles.

- (i) Full Custom Design
- (ii) Standard Cells Based Design

(30 marks)

- (c) Buat lakaran graf yang membandingkan kaedah rekabentuk VLSI berikut dari segi prestasi, saiz litar dan masa untuk merekabentuk.

Sketch a graph to show the comparison of the following VLSI design styles in terms of performance, circuit size and design time.

- (i) Full Custom Design
- (ii) Standard Cells Based Design
- (iii) FPGA

(10 marks)

- (d) 3-masukan majoriti get adalah sejenis get yang mana keluaran adalah benar apabila sekurang-kurangnya 2 masukan adalah benar.

A 3-input majority gate returns a true output if at least two of the inputs are true.

- (i) Tulis Boolean algebra untuk 3-input majoriti get dalam bentuk "sum-of-products".

Write Boolean algebra for a 3-input majority gate in "sum-of-products" form.

(10 marks)

...3/-

- (ii) Lukis lakaran PLA bagi 3-masukan majoriti get.

Sketch PLA implementation of a 3-input majority gate.

(25 marks)

- (iii) Lukis lakaran "LUT Based Programmable Logic" bagi 3-masukan majoriti get.

Sketch "LUT Based Programmable Logic" implementation of a 3-input majority gate.

(15 marks)

2. (a) Lukis lakaran bagi sebuah tiga transistor DRAM sel dan terangkan proses untuk membaca dan menulis data ke atas sel tersebut.

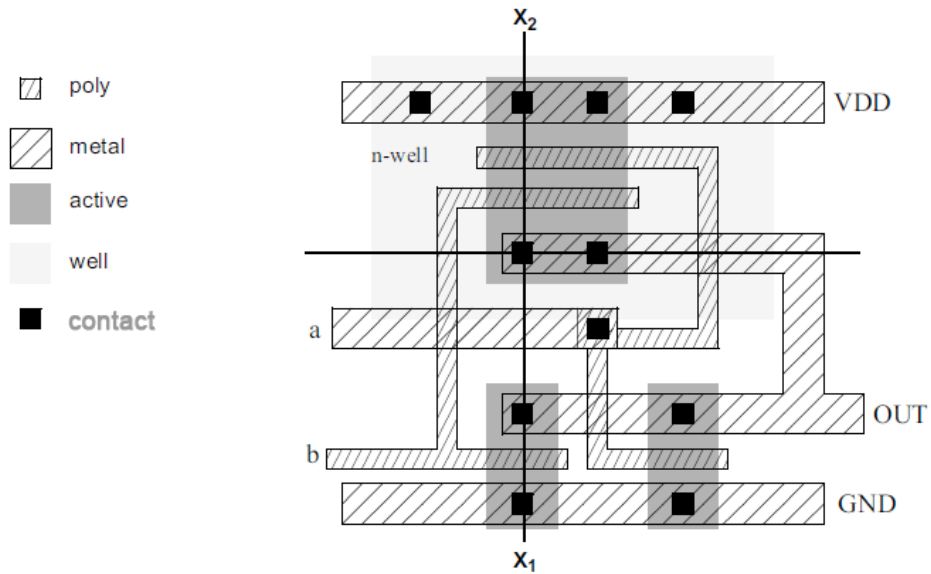
Sketch a 3 transistors DRAM cell and explain the reading and writing process to the cell.

(30 marks)

- (b) Terangkan langkah demi langkah proses fabrikasi litar sepadu seperti di Rajah 1 berikut dengan menggunakan teknologi CMOS. Tunjukkan gambarajah keratan rentas daripada X2 ke X1 dan mask yang berkaitan dengannya bagi setiap langkah.

Explain step by step the process to fabricate the following integrated circuit in CMOS technology. Show the Figure 1 cross section from X2 to X1 and the corresponding mask for every step.

(60 marks)



Rajah 1 Susunatur untuk sebuah litar sepadu
Figure 1 Layout for an integrated circuit

- (c) Apakah perbezaan utama antara fotoresis negatif dan fotoresis positif?

What is the main difference between the negative photoresist and the positive photoresist?

(10 marks)

3. (a) Rekabentuk sebuah litar logik berdasarkan fungsi Boolean berikut dengan menggunakan teknologi CMOS.

Design a logic circuit based on the following Boolean function with CMOS technology.

$$\text{out} = \overline{ab(c+d)}$$

- (i) Lukis lakaran litar skema transistor untuk fungsi Boolean di atas.

Sketch a transistor level schematic for the above Boolean function.

(15 marks)

...5/-

- (ii) Cari susunan get yang optimum berdasarkan pendekatan laluan Euler.

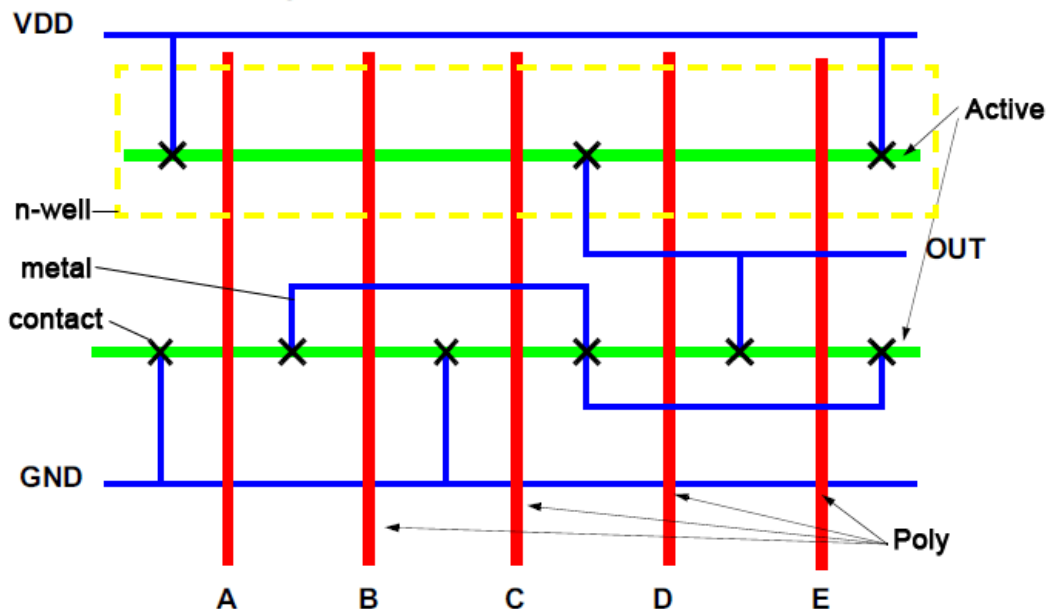
Find the optimum gate ordering based on the Euler path approach.
(10 marks)

- (iii) Lukis lakaran gambarajah lidi untuk lakaran litar skema transistor yang telah diperolehi.

Sketch a stick diagram based on the obtained transistor level schematic.
(35 marks)

- (b) Diberi sebuah Rajah 2 lidi seperti berikut. Ianya adalah susunatur sebuah litar logik yang direkabentuk berdasarkan teknologi CMOS.

Consider the following stick diagram in Figure 2. It is a layout of a logic circuit that has been designed with CMOS technology.



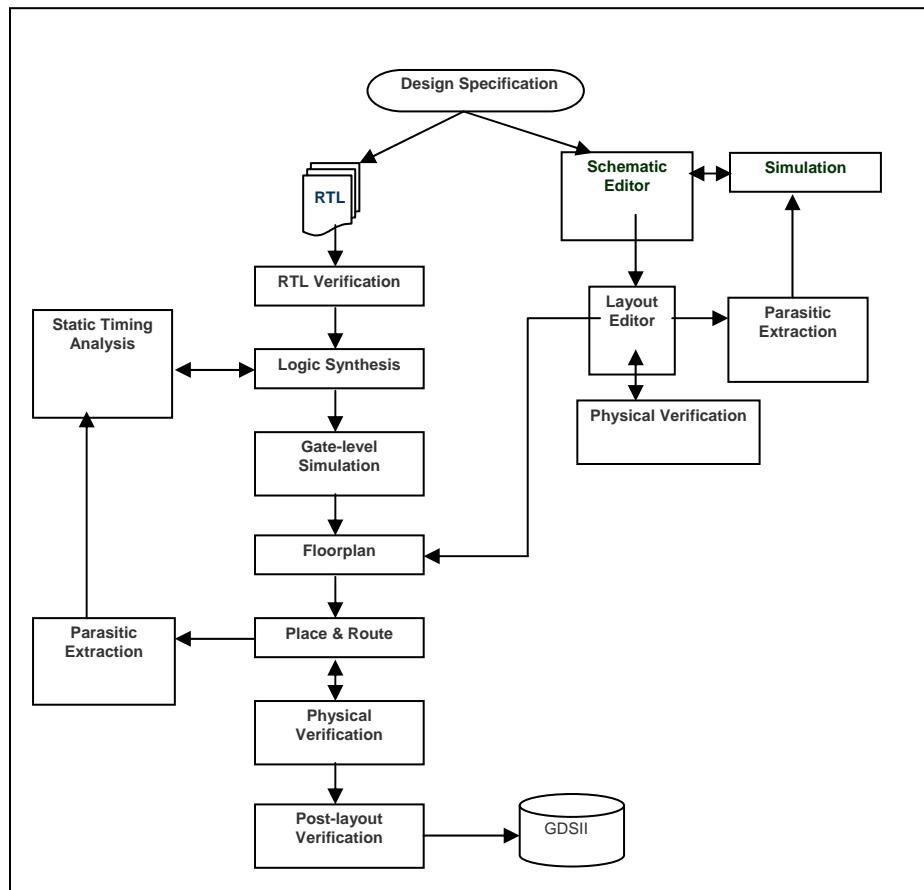
Rajah 2 Gambarajah lidi untuk sebuah litar logik
Figure 2 Stick diagram for a logic circuit

(i) Lukis lakaran litar skema transistor untuk gambarajah lidi di atas.
Sketch a transistor level schematic for the above stick diagram.
(30 marks)

(ii) Tentukan fungsi Boolean untuk gambarajah lidi di atas.
Determine the Boolean function of the above stick diagram.
(10 marks)

- 4. Rajah 3 di bawah menunjukkan aliran rekabentuk generik bagi kedua-dua pendekatan 'front-end' dan 'back-end'. Terangkan dengan terperinci kedua-dua pendekatan, menerangkan setiap blok dalam carta alir yang akan membawa rekabentuk dari spesifikasi rekabentuk ke 'tape-out'.

Figure 3 below depicts the generic design flow for both the front-end and back-end approaches. Describe at length both the approaches, with respect to the named blocks in the flowchart which would categorically brings the design from design specifications to tape-out.



Rajah 3 Aliran rekabentuk
Figure 3 IC design flow

(100 marks)

...8/-

5. Kod VHDL dalam Rajah 4 di bawah merupakan satu pembilang. Tukarkan kod VHDL pembilang tersebut untuk menambah satu masukan 'preset'. Bila 'preset' menjadi '1', pembilang ditetapkan pada '1111'.

VHDL Code as shown in the Figure 4 below is a counter. Change the VHDL code by adding an input 'preset'. When the preset is set to '1', the counter output is set to '1111'.

```
entity pembilang is
    generic (td_cnt: time:= 8NS);
    port (reset, clk : in bit; counting: out bit:= '0');
    constant limit: integer := 8;
end pembilang;
--
architecture kelakuan of pembilang is
begin
    process (clk)
        variable count: integer := limit;
    begin
        if (clk = '0' and clk'event) then
            if reset = '1' then
                count := 0;
            else
                if count < limit then count:=count + 1; end if;
            end if;
            if count = limit then
```

*Rajah 4 Pembilang
Figure 4 Counter*

(100 marks)

6. (a) Apakah perbezaan antara 'transaction' dan 'event'?
What is the difference between a transaction and an event?
(10 marks)

(b) Dengan melangkah menerusi arahan 'process', dapatkan nilai x pada kesudahan kenyataan proses bagi (i) & (ii)?

By stepping through the process, get the value of x at the end of the process statement for (i) & (ii)?

(i) architecture one of some is
begin
process
 variable x : integer := 0;
 begin
 for i in 1 to 5 loop
 x := x + i;
 end loop;
 wait for 5 ns;
 end process;
end one;
x = _____

(ii) architecture two of same is
signal x : integer := 0;
begin
process
 begin
 for i in 1 to 5 loop
 x <= x + i;
 end loop;
 wait for 5 ns;
 end process;
end two;
x = _____

(30 marks)

(c) Terangkan langkah-langkah pemprosesan rekabentuk VHDL berikut:-

Describe the VHDL design processing steps of:-

(i) Penganalisaan
Analyzation

(ii) Penghuraian
Elaboration

(iii) Pelaksanaan
Execution

(iv) Sintesis
Synthesis

(60 marks)