

UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Kedua
Sidang Akademik 1994/95

April 1995

EEE 448 - Sistem Komputer

Masa : [3 jam]

ARAHAN KEPADA CALON :

Sila pastikan bahawa kertas peperiksaan ini mengandungi **TUJUH (7)** muka surat bercetak dan **ENAM (6)** soalan sebelum anda memulakan peperiksaan ini.

Jawab mana-mana **LIMA (5)** soalan sahaja.

Agihan markah bagi soalan diberikan di sut sebelah kanan sebagai peratusan daripada markah keseluruhan yang diperuntukkan bagi soalan berkenaan.

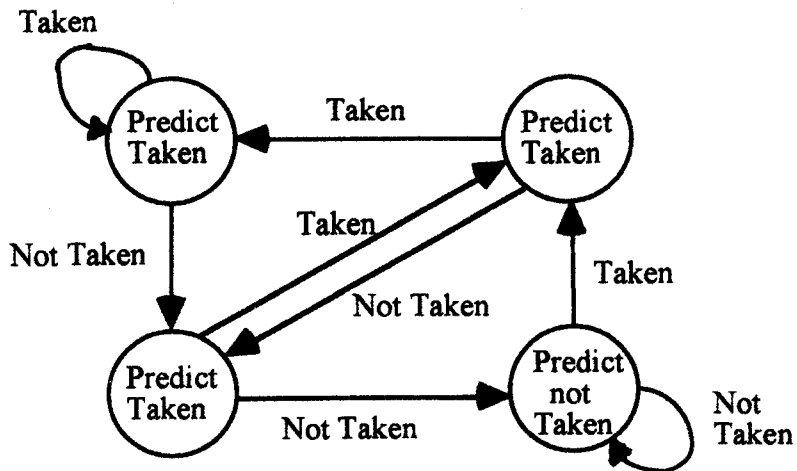
Jawab semua soalan di dalam Bahasa Malaysia.

...2/-

1. (a) Terangkan secara ringkas, mengapa 'Conditional branches' menimbulkan masalah kepada 'Pipelining', berikan garis panduan perbezaan kaedah-kaedah ramalan statik kaedah-kaedah yang digunakan untuk ramalan cabang.

(25%)

- (b) Di bawah ialah Rajah 'Finite state' yang mewakili polisi ramalan dinamik mengawal 'Conditional branches' untuk sesuatu pemproses. Tuliskan polisi yang digunakan oleh pemproses ini bagi ramalan cabangannya.



(35%)

...3/-

- (c) Aturcara yang berikut dilaksanakan oleh suatu pemproses yang mana syarat ramalan cabangnya adalah (selalunya dilakukan).

(40%)

MOVA, 04 ; move 4 into register A
 Label 1: ADD C, B ; add to the contents of C the contents of B
 DEC D ; decrement register D
 DEC A ; decrement register A
 Branch Conditional (zero) Label 2 ; branch if A contains 0
 Branch Label 1 ; branch unconditional to Label 1
 Label 2: STORE B, M ; store register B in memory

- (i) Anggarkan berapa kalikah 'Pipeline' itu akan dipancarkan
- (ii) Bagaimana anda akan menulis kembali aturcara itu untuk mengurangkan 'branch penalty'.

- 2. (a) Komen bagaimana keselarian aras arahan mempengaruhi operasi pemproses- pemproses 'Superscalar'.

(25%)

- (b) Suatu pemproses RISC 'Superscalar' mempunyai 'Pipe-lines' terdiri daripada tiga peringkat; 'Fetch and Decode (F), Execute (E), and Write back (WB)'. Peringkat F boleh 'fetch' dan 'decode' dua arahan pada sesuatu masa. 'Execute' mempunyai tiga unit berfungsi selari (u1, u2, dan u3), dan dua ketika WB.

Aturcara berikut dilaksanakan oleh pemproses ini.

I1: $MULTA \leftarrow A \times B$; multiplies A and B and puts result in A; uses u1
 I2: RR B, 1 ; rotates B right by one bit; uses u2
 I3: ADD 1, B ; adds 1 to contents of register B; uses u3
 I4: $ADD C \leftarrow A + C$; puts in C the sum of A and c; uses u3
 I5: $AND A \leftarrow A.B$; ANDs A and B and puts result in A; uses u2
 I6: $STORE M \leftarrow B$; stores A into memory; carried out through u2

Catatan: Semua arahan mengambil masa satu kitar mesin untuk diselesaikan, kecuali I1, memerlukan dua.

...4/-

Tunjukkan dalam bentuk jadual bagaimana pemproses melaksanakan aturcara ini bila:

- (i) "In-order issue with out-of-order, and
- (ii) Out-of-order with out-of-order completion instruction issue policy is adopted.

Nyatakan samada 'anti-dependency' terdapat di dalam aturcara ini.

(50%)

- (c) Untuk arahan-arahan blok (I3 ke I5) di dalam aturcara (b), apakah keselarian aras arahan?

(25%)

- 3. (a) Jelaskan prinsip-prinsip reka-bentuk

- (i) 'Cache' Pemetaan - terus dan
- (ii) 'Cache' set sekutuan

(30%)

- (b) Suatu aturcara merujuk kepada alamat ingatan berikut (setiap ingatan ialah satu byte dan alamatnya ialah 10-bit.

0010101011, 0000101111, 1011101110, 0001001100, 1010001100,
0010101011, 1011101111, 1100010101, 0010000011, 0111101111

Anda mempunyai suatu

- (i) 'Direct-mapped cache' terdiri daripada empat baris dan
- (ii) '2-way set associative cache' : dengan polisi masuk kemudian keluar dulu, mengandungi sejumlah empat baris.

Setiap baris adalah 64-byte.

Kiralah 'miss rate' untuk setiap kes di atas.

(Anggap semua cache adalah kosong pada permulaannya).

(70%)

4. (a) 'Suatu komputer multipemproses selari 'Bus-sepunya' berkongsi masa mempunyai ciri-ciri berikut:

Bilangan pemproses:	15
Lebar jalur bus:	10^6 kitar/saat
Kitar tugas setiap pemproses:	1
Halaju puncak pemproses	20×10^6 'Fetches'/saat

Setiap pemproses mempunyai ingatan 'cache' sendiri.

Apakah kadar kena yang diperlukan oleh 'cache' itu supaya bus sepunya tidak menjadi tepu.

Komen apakah yang dimaksudkan 'write through cache' bagi sesuatu komputer selari.

(50%)

- (b) '16 distributed-memory processors' disambungkan di dalam konfigurasi gelang dua dimensi.

- (i) Lakarkan rangkaiannya.
- (ii) Berapakah garispusat rangkaian itu
- (iii) Berapakah bilangan purata hop di antara sebarang dua pemproses
- (iv) Bilangan hop yang diperlukan supaya suatu pesanan pergi daripada pemproses 1 ke pemproses 11.
- (v) Sekiranya bilangan hop minima diperlukan di antara mana-mana dua pemproses, cadangkan konfigurasi rangkaian dua dimensi yang lebih baik.

(50%)

5. (a) Terangkan bagaimana 'pipe-lined ALU's' boleh digunakan untuk pengiraan-pengiraan vektor.

(25)

(b) Apakah perbezaan asas (jika ada) di antara

- (i) Pemproses-pemproses skala
- (ii) Pemproses-pemproses vektor
- (iii) Pemproses-pemproses selari

Persamaan vektor

$$x = Ub;$$

iaitu

x ialah vektor ($N \times 1$)

U ialah tatasusun ($N \times N$)

b ialah vektor ($N \times 1$)

membolehkan pengiraan x daripada U dan b .

Tunjukkan menggunakan aturcara FORTRAN atau (bentuk carta-alir) bagaimana mengira vektor x menggunakan persamaan di atas untuk

- (i) Pemproses-pemproses skala
- (ii) Pemproses-pemproses vektor
- dan (iii) Pemproses-pemproses selari

Nyatakan sebarang anggapan yang digunakan.

(75%)

6. (a) Komen teknik-teknik pengesanan rosak yang digunakan di dalam sistem boleh terima kegagalan. Jelaskan dengan terperinci, berikan contoh-contoh, bagaimana 'code cyclic' digunakan untuk penentuan ralat dalam pengurusan data.

(50%)

...7/-

- (c) Jelaskan apakah yang dimaksudkan oleh suatu sistem 'n resilient to faults'. Takrifkan keboleharapan sesuatu sistem yang tidak 'resilient to a single fault', jika kebarangkalian untuk mendapatkan satu rosak dalam sistem ialah $P_1(t)$. Jelaskan bagaimana 'the mean time between faults (MTBF)' ; dan kebolehsediaan suatu sistem boleh diterbitkan dalam sebutan-sebutan 'the mean time to recover (MTTR) dan $P_1(t)$.

(50%)

- oooOooo -