

UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Tambahan  
Sidang 1992/93

Jun 1993

EEE 215 - Teknologi Semikonduktor

Masa : [3 jam]

---

**ARAHAN KEPADA CALON:**

Sila pastikan bahawa kertas peperiksaan ini mengandungi 7 muka surat beserta Lampiran (2 muka surat) bercetak dan ENAM (6) soalan sebelum anda memulakan peperiksaan ini.

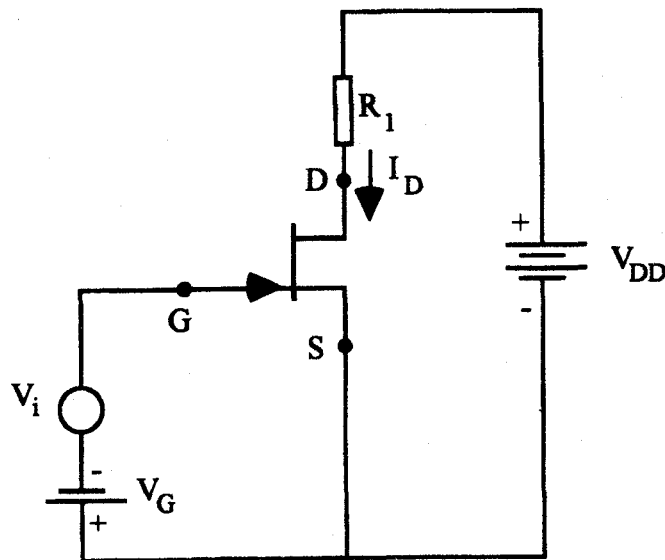
Jawab LIMA (5) soalan.

Agihan markah bagi setiap soalan diberikan di sut sebelah kanan sebagai peratusan daripada markah keseluruhan yang diperuntukkan bagi soalan berkenaan.

Jawab kesemua soalan di dalam Bahasa Malaysia.

...2/-

1. (a) Lakarkan 3 litar asas yang boleh digunakan untuk memincang satu transistor kesan medan (FET). Tunjukkan semua polariti voltan dan arah arus bagi setiap litar di atas.  
(6 markah)
  - (b) Perbandingkan litar-lingkar pincang di atas dari sudut (jurang) perbezaan antara  $I_{D(max)}$  dan  $I_{D(min)}$  dengan menggunakan lakaran ciri-pindah dan garis beban bagi setiap satu kes.  
(9 markah)
  - (c) Apakah yang dimaksudkan dengan JFET sebagai satu peranti teroperasi voltan dan kenapa ia juga dikenali sebagai peranti ciri-kutub.  
(5 markah)
- 
2. (a) Dengan menggunakan satu litar asas seperti rajah 2.1, tunjukkan bahawa FET boleh digunakan sebagai penguat voltan. Andaikan nilai  $R_1 = 6\text{ k}\Omega$ ,  $V_{DD} = 20\text{ V}$ ,  $I_b = 2\text{ mA}$  dan transkealiran  $g_m = 200\text{ }\mu\text{s}$ .



Rajah 2.1

(8 markah)

- (b) Berikan takrifan ciri pindah dan transkealiran bagi suatu FET. Seterusnya dengan menggunakan samada lakaran ciri pindah ATAU persamaan, tunjukkan bagaimana nilai transkealiran ini boleh ditentukan bagi suatu transistor kesan medan.

(6 markah)

- (c) Lakarkan satu litar suis MOSFET 'terganding-terus' jenis tertambah dan tunjukkan semua polariti voltan dan arah arus serta bentuk voltan pada terminal kemasukan dan keluaran. Terangkan dengan ringkas operasi litar pensuisan ini.

(6 markah)

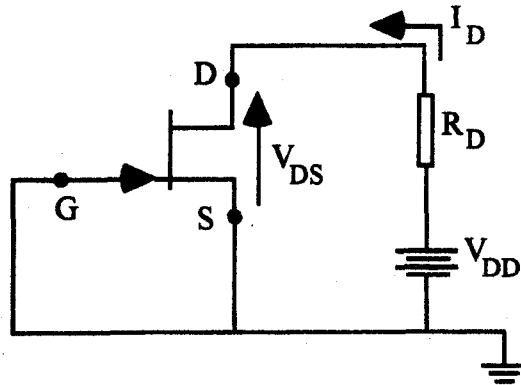
3. (a) Terangkan secara ringkas ciri-ciri dan operasi CMOS dengan menggunakan gambaran dan lakaran (tidak mengikut skala) seperti hubungan I/O, konfigurasi asas dan pandangan keratan (sectional view) peranti.

(6 markah)

- (b) Lakarkan tiga jenis litar asas bagi memincang satu peranti MOSFET tertambah jenis-n. Tandakan dengan jelas semua nilai-nilai voltan dan arus yang penting. Sebutkan kenapa litar pincang-sendiri tidak boleh digunakan dalam peranti jenis ini.

(8 markah)

(c)



Rajah 3.1

Dengan merujuk kepada rajah 3.1, sekiranya diberikan nilai  $V_{GS(off)} = -4V$  dan  $I_{DSS} = 12\text{ mA}$  tentukan  $V_{DD(min)}$  untuk operasi arus malar. Sekiranya  $V_{DD}$  dinaikkan ke  $15V$ , apakah nilai arus salir  $I_D$ ?

(6 markah)

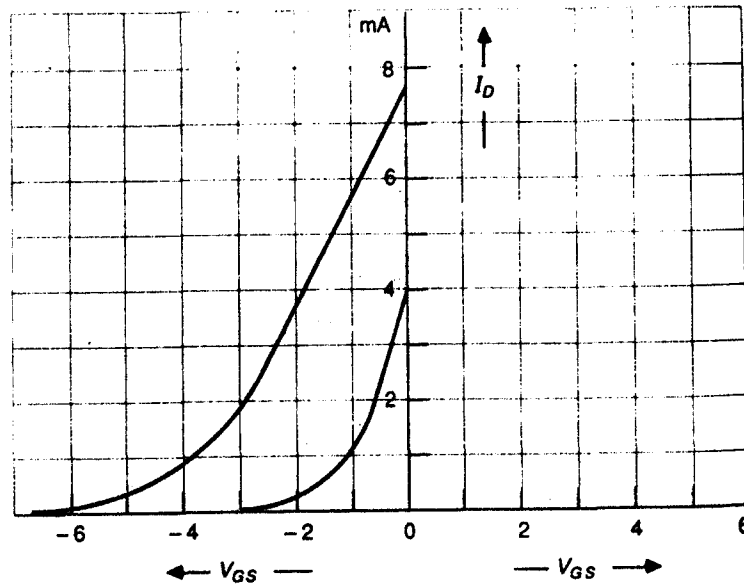
4. (a) Lukiskan pandangan keratan (sectional view) JFET saluran-n dengan dua-elektrod get bersimetri. Tunjukkan arus-arus dan bateri-bateri pincangan AT. Lukiskan satu rajah berasingan bagi menunjukkan taburan cas lapisan susutan apabila jepitan (pinch-off) berlaku.

(4 markah)

- (b) Lakarkan tidak mengikut skala, ciri-ciri 1-V JFET saluran-n apabila  $V_{GS} = 0, -1, -2$  dan  $-3V$ . Namakan kawasan-kawasan berlainan pada ciri-ciri itu dan terangkan secara ringkas.

(6 markah)

- (c) Satu litar pincang pembahagi-upaya berkehendakkan arus salir maksima  $25\text{ mA}$  dan voltan salir-punca minima  $7V$ . Sekiranya voltan sumber ialah  $25\text{ V}$  dan ciri-pindah FET seperti rajah 4.1. Rekabentuk litar ini dan pilih nilai perintang piawai.



Rajah 4.1

(10 markah)

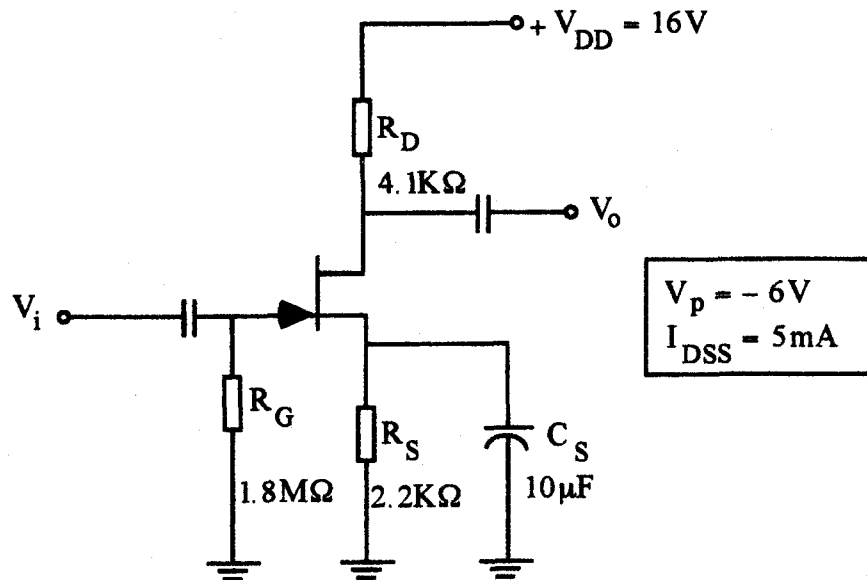
5. (a) Satu JFET saluran-n dipincang dengan nilai  $V_{GS} = -1.5$  V dan  $I_D = 2.9$  mA. Sekiranya  $I_{DSS} = 7.5$  mA tentukan nilai  $V_p$  dan  $g_m$ .

(6 markah)

- (b) Lakarkan satu pandangan keratan (section view), ciri pindah dan ciri salir bagi suatu MOSFET tersusut jenis-n. Tandakan dengan jelas semua parameter-parameter penting di atas ketiga-tiga rajah dan terangkan secara ringkas perihal peranti jenis ini.

(6 markah)

- (c) Tentukan titik operasi bagi suatu penguat FET saluran-n seperti Rajah 5.1.



Rajah 5.1

(8 markah)

6. (a) Dengan menggunakan persamaan antara  $I_D$  dan  $V_{GS}$  seperti berikut:-

$$I_D = I_{DSS} \left( 1 - \frac{V_{GS}}{V_p} \right)^2$$

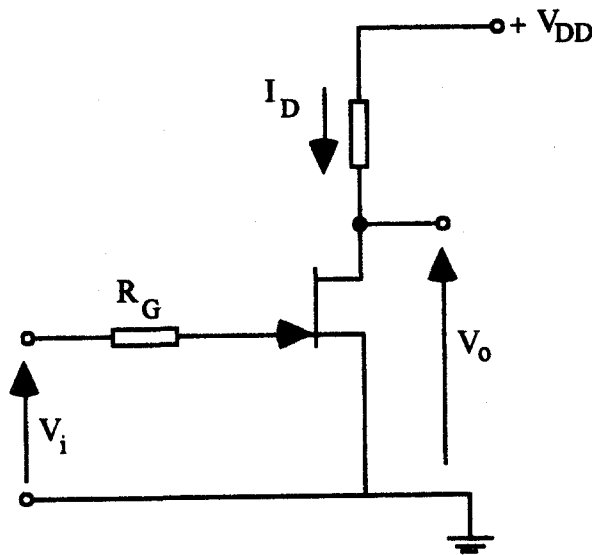
Lakarkan lengkung ciri-pindah bagi suatu FET yang mempunyai nilai arus salir-punca 12 mA pada nilai  $V_{GS} = 0V$  dan voltan jepit -4V.

(6 markah)

(b) Tentukan nilai  $R_S$  yang diperlukan bagi memincang sendiri suatu JFET dengan nilai  $I_{DSS} = 25 \text{ mA}$  dan  $V_{GS(off)} = 15 \text{ V}$ .  $V_{GS}$  dikehendaki bernilai  $5 \text{ V}$ .

(6 markah)

(c) Satu litar suis JFET seperti Rajah 6.1 mesti mempunyai nilai  $V_{DS}$  tidak melebihi  $100 \text{ mV}$  apabila transistor dihidupkan (transistor ON). Voltan sumber  $V_{DD} = 18 \text{ V}$  dan JFET 2N4861 perlu digunakan. Cari nilai  $R_D$  dan pilih nilai piawai. Tentukan juga amplitud voltan masuk yang bersesuaian dan pilih nilai rintangan untuk  $R_G$ .



Rajah 6.1

(8 markah)

- oooOooo -

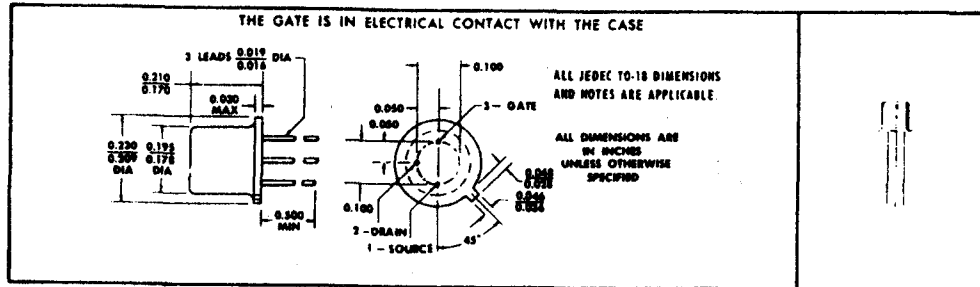
## Types 2N4856 Through 2N4861 N-Channel Field-Effect Transistors

SYMMETRICAL N-CHANNEL FIELD-EFFECT TRANSISTORS  
FOR HIGH-SPEED COMMUTATOR AND CHOPPER APPLICATIONS

2N4859 Formerly TIXS41

- Low  $r_{ds(on)}$ : 25  $\Omega$  Max (2N4856, 2N4859)
- Low  $I_{D(off)}$ : 0.25 nA Max

**\*mechanical data**



**\*absolute maximum ratings at 25°C free-air temperature (unless otherwise noted)**

	2N4856	2N4859
	2N4857	2N4860
	2N4858	2N4861
Drain-Gate Voltage	40 V	30 V
Drain-Source Voltage	40 V	30 V
Reverse Gate-Source Voltage	-40 V	-30 V
Forward Gate Current	← 50 mA →	
Continuous Device Dissipation at (or below) 25°C Free-Air Temperature (See Note 1)	← 360 mW →	
Storage Temperature Range	-65°C to 200°C	
Lead Temperature $\frac{1}{16}$ Inch from Case for 10 Seconds	← 300°C →	

NOTE 1: Derate linearly to 175°C free-air temperature at the rate of 2.4 mW/deg.  
\*Indicates JEDEC registered data

\*Courtesy of Texas Instruments, Incorporated



(Continued)

\*electrical characteristics at 25°C free-air temperature (unless otherwise noted)

PARAMETER	TEST CONDITIONS	2N4856		2N4857		2N4858		2N4859		2N4860		2N4861		UNIT
		MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
$V_{(BR)SS}$ Gate-Source Breakdown Voltage	$I_G = -1 \mu A, V_{DS} = 0$	-40		-40		-40		-30		-30		-30		V
$I_{GSS}$ Gate Reverse Current	$V_{GS} = -20 V, V_{DS} = 0$	-0.25		-0.25		-0.25								nA
	$V_{GS} = -20 V, V_{DS} = 0,$ $T_A = 150^\circ C$	-0.5		-0.5		-0.5								$\mu A$
	$V_{GS} = -15 V, V_{DS} = 0$							-0.25		-0.25		-0.25		nA
	$V_{GS} = -15 V, V_{DS} = 0,$ $T_A = 150^\circ C$							-0.5		-0.5		-0.5		$\mu A$
$I_{D(off)}$ Drain Cutoff Current	$V_{DS} = 15 V, V_{GS} = -10 V$	0.25		0.25		0.25		0.25		0.25		0.25		nA
	$V_{DS} = 15 V, V_{GS} = -10 V,$ $T_A = 150^\circ C$	0.5		0.5		0.5		0.5		0.5		0.5		$\mu A$
$V_{GS(off)}$ Gate-Source Cutoff Voltage	$V_{DS} = 15 V, I_D = 0.5 nA$	-4	-10	-2	-6	-0.8	-4	-4	-10	-2	-6	-0.8	-4	V
$I_{DSS}$ Zero-Gate- Voltage Drain Current	$V_{DS} = 15 V, V_{GS} = 0,$ See Note 2	50		20	100	0	80	50		20	100	0	80	mA
$V_{DS(sat)}$ Drain-Source On-State Voltage	$I_D = 20 mA, V_{GS} = 0$		0.75						0.75					V
	$I_D = 10 mA, V_{GS} = 0$				0.50						0.50			V
	$I_D = 5 mA, V_{GS} = 0$						0.50						0.50	V
$r_{ds(on)}$ Small-Signal Drain-Source On-State Resistance	$V_{GS} = 0, I_D = 0,$ $f = 1 kHz$		25		40		60		25		40		60	$\Omega$
$C_{iss}$ Common-Source Short-Circuit Input Capacitance	$V_{GS} = -10 V, V_{DS} = 0,$ $f = 1 MHz$		18		18		18		18		18		18	pF
$C_{riss}$ Common-Source Short-Circuit Reverse Transfer Capacitance	$V_{GS} = -10 V, V_{DS} = 0,$ $f = 1 MHz$		8		8		8		8		8		8	pF

\*switching characteristics at 25°C free-air temperature

PARAMETER	TEST CONDITIONS	2N4856	2N4857	2N4858	UNIT
		2N4859	2N4860	2N4861	
		MAX	MAX	MAX	
$t_{(on)}$ Turn-On Delay Time	$V_{DD} = 10 V,$ $I_{D(on)}^\dagger = \begin{cases} 20 mA & (2N4856, 2N4859) \\ 10 mA & (2N4857, 2N4860) \\ 5 mA & (2N4858, 2N4861) \end{cases}$	6	6	10	ns
$t_r$ Rise Time	$V_{GS(off)} = 0,$	3	4	10	ns
$t_{(off)}$ Turn-Off Time	See Figure 1 $V_{GS(off)} = \begin{cases} -10 V & (2N4856, 2N4859) \\ -6 V & (2N4857, 2N4860) \\ -4 V & (2N4858, 2N4861) \end{cases}$	25	50	100	ns

NOTE 2: This parameter must be measured using pulse techniques.  $I_p \approx 100 ms,$  duty cycle  $\leq 10\%$ .

\*Indicates JEDEC registered data

†These are nominal values; exact values vary slightly with transistor parameters.