

UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Tambahan  
Sidang Akademik 1991/92

Jun 1992

EEE 206 - Litar Elektronik I

Masa : [3 jam]

---

ARAHAN KEPADA CALON:

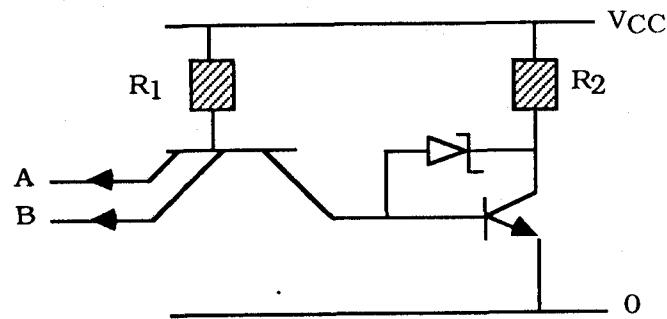
Sila pastikan bahawa kertas peperiksaan ini mengandungi 6 muka surat bercetak dan LIMA (5) soalan sebelum anda memulakan peperiksaan ini.

Jawab SEMUA soalan.

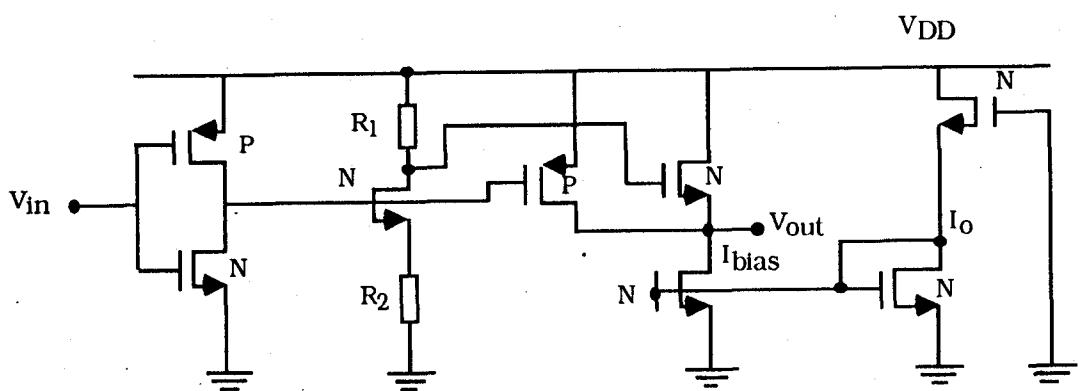
Agihan markah bagi setiap soalan diberikan di sisi sebelah kanan sebagai peratusan daripada markah keseluruhan yang diperuntukkan bagi soalan berkenaan.

Jawab kesemua soalan dalam Bahasa Malaysia.

1. (a) Apakah perbezaan di antara litar-litar logik tenu dan tak tenu?  
Beri gambarajah.
- (b) Terangkan dengan menggunakan gambarajah litar-litar logik bagi I<sup>2</sup>L, Schottky I<sup>2</sup>L dan ISL.
- (c) Lukiskan arus dan ketumpatan pembawa minoriti di simpang-simpang T1 dan T2 bagi litar di bawah bagi buai logik di antara "0" dan "1".



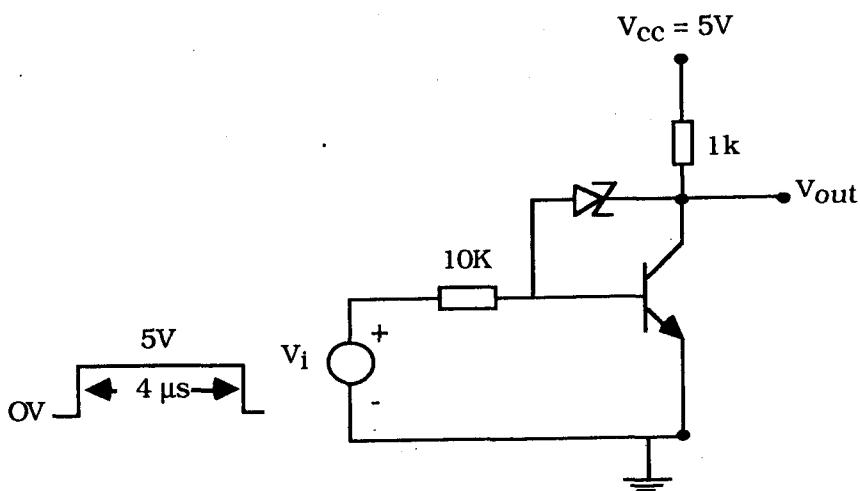
(d)



Terangkan operasi litar di atas. Beri cadangan bagi satu penggunaan yang sesuai di dalam pengantaramukaan logik.

(20%)

2. Lakukan analisis kawalan cas dan tentukan lengah perambatan bagi get logik di bawah:



$$V_{BE(ON)} = .7V$$

$$V_{BE(SAT)} = .8V$$

$$V_{CE(SAT)} = .4V$$

$$V_{BE(SBD)} = .4V$$

$$\tau_F = .2ns,$$

$$\tau_{BF} = 14ns, \quad \tau_S = 20ns$$

$$C_{jeo} = .3PF,$$

$$C_{jco} = .15PF$$

$$\phi_e = .9V,$$

$$\phi_c = .7V$$

$$m_e = .5,$$

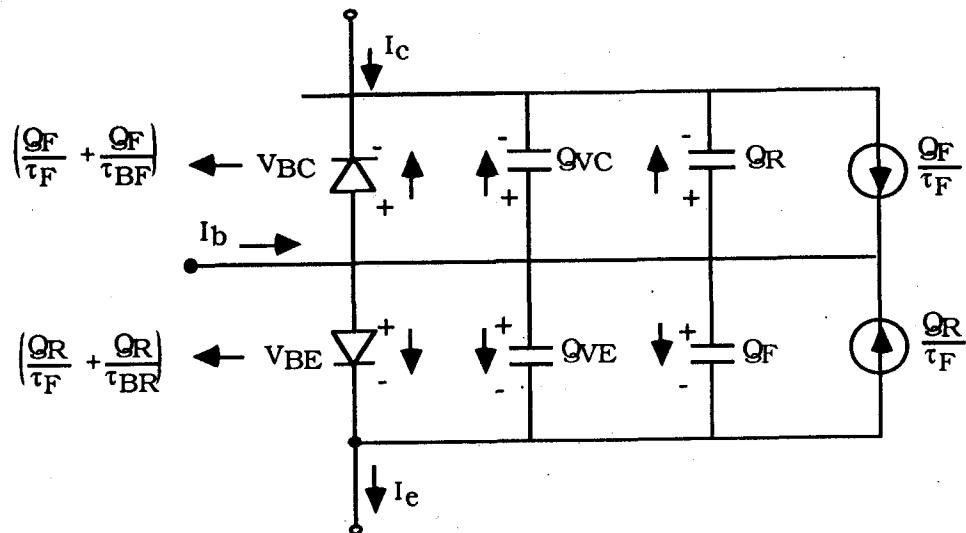
$$m_c = .33$$

Kemuatan susutan di simpang adalah diberikan oleh

$$C_{eq} = -C_{jo} \cdot \frac{\phi}{(\Delta V)(1-m)} \left\{ \left[ 1 - \frac{V(t_1)}{\phi} \right]^{1-m} - \left[ 1 - \frac{V(t_2)}{\phi} \right]^{1-m} \right\}$$

...4/-

Model kawalan cas yang umum bagi satu transistor adalah seperti di bawah:



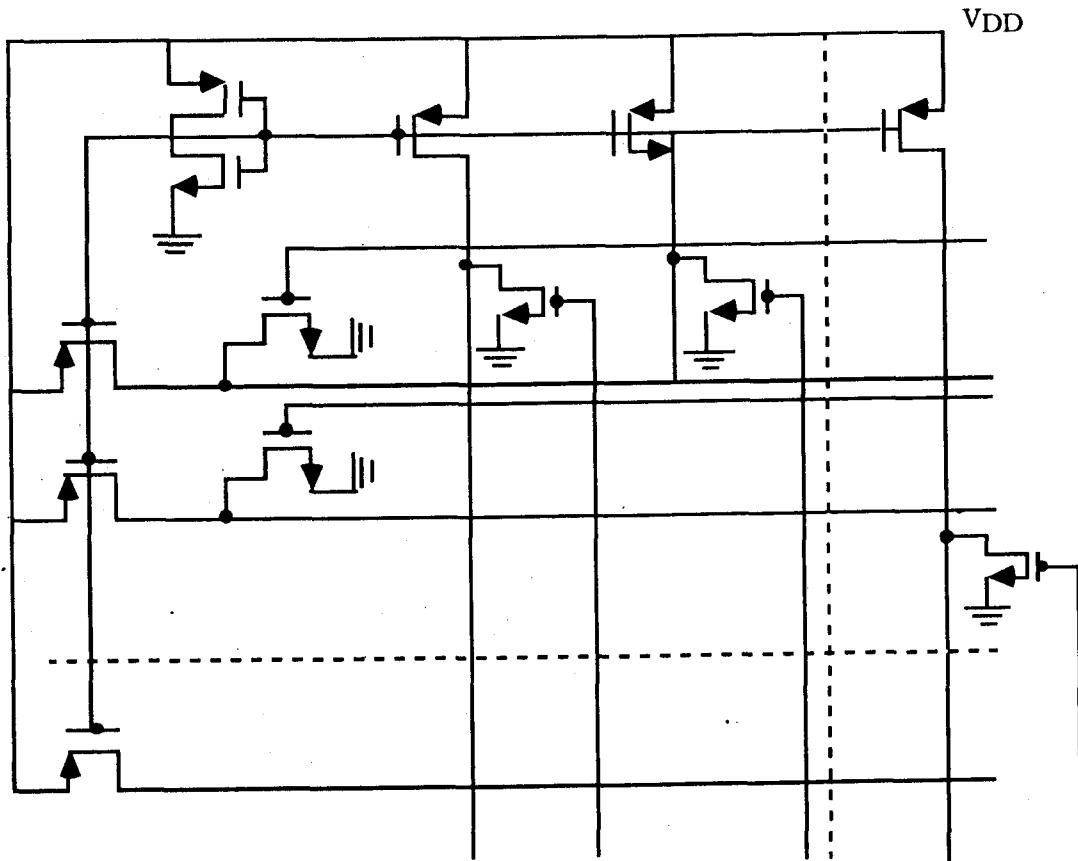
(20%)

3. Rekabentuk suatu pseudo Nmos PLA bagi melaksanakan pengawal lampu isyarat dengan jadual peralihan keadaan yang berikut:

Distor ketika $\phi_1$ dalam In-Reg			Distor ketika $\phi_2$ dalam Out-Reg			Produk					
Masukan		keadaan sekarang	keadaan berikut		Keluaran				R1 R2 R3 R4 R5 R6 R7 R8 R9 R10		
C	PL	TS	YP0	YP1	YN0	YN1	ST	HL0	HL1	FL0	FL1
0	X	X	0,	0	0,	0	0	0	0	1	0
X	0	X	0,	0	0,	0	0	0	0	1	0
1	1	X	0,	0	0,	0	1	0	0	1	0
X	X	0	0,	1	0,	1	0	0	1	1	0
X	X	1	0,	1	1,	1	1	0	1	1	0
1	0	X	1,	1	1,	1	0	1	0	0	0
0	X	X	1,	1	1,	0	1	1	0	0	0
X	1	X	1,	1	1,	0	1	1	0	0	0
X	X	0	1,	0	1,	0	0	1	0	0	1
X	X	1	1,	0	0,	0	1	1	0	0	1

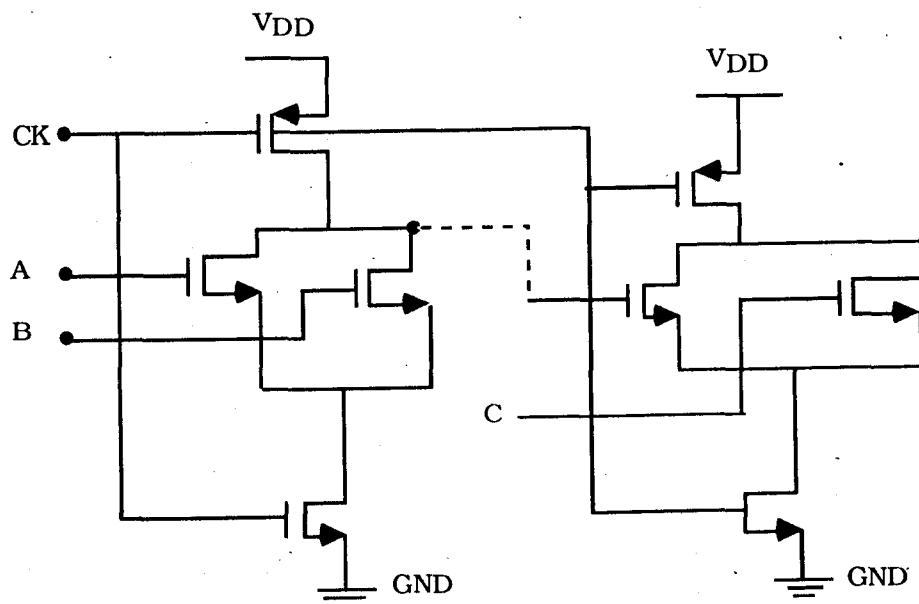
...5/-

Garis kasar umum bagi suatu pseudo Nmos PLA adalah seperti di bawah



(20%)

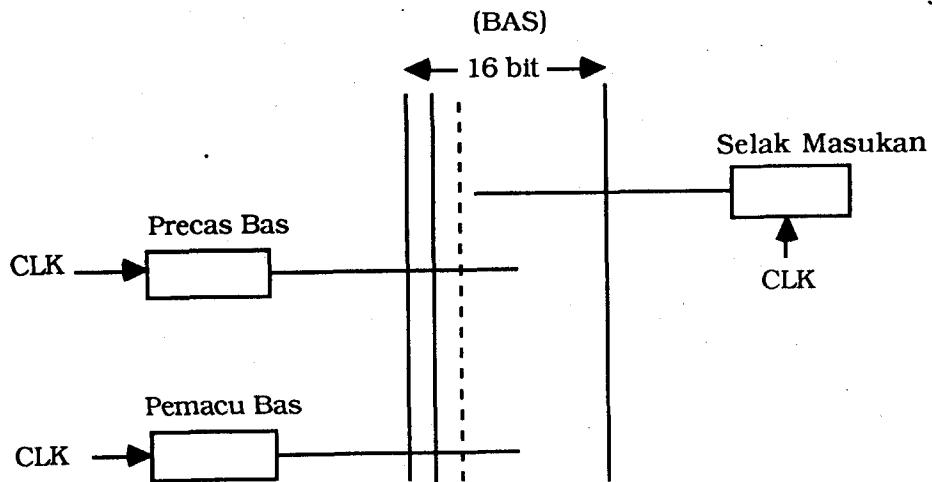
4.



- (a) Lukiskan get-get logik bagi litar di atas.
- (b) Lukiskan gambarajah pemasaan bagi CK, A, B bagi operasi-operasi logik yang dikehendaki.
- (c) Adakah terdapat kemungkinan bagi operasi salah ("faulty")? Terangkan.
- (d) Beri cadangan bagi memperbaiki litar logik di atas.  
Beri gambarajah.

(20%)

5.



Gambarajah di atas adalah rekabentuk yang dikehendaki bagi operasi bas dalam suatu mikropemproses.

- (a) Lukiskan gambarajah-gambarajah logik dan litar bagi memenuhi kotak-kotak kosong di atas.
- (b) Lukiskan analisis pemasaan bagi jam, precas, BAS, Pemacu dan voltan-voltan masukan.

(20%)